



FIG. 3

ment le branchement des secondaires des deux transformateurs de sortie, le commutateur d'inversion de phase, le dispositif indicateur de balance et les circuits de commutation I_2 , I'_2 du dispositif indicateur de balance. Ces deux circuits I_2 , I'_2 font partie du commu-

tateur d'entrée I_1 , I'_1 à une galette, 4 circuits (I_1 , I'_1 , I_2 , I'_2) et 3 positions: 1: entrée PU magnétique bas niveau; 2: balance; 3: entrée radio, tuner ou PU haut niveau.

Revenons au schéma de la figure 1. Les tensions délivrées par

le pick-up magnétique sont appliquées sur chaque canal aux grilles de commande d'une EF86 dont la résistance de fuite est choisie volontairement assez faible (47 k Ω) afin de constituer un filtre correcteur. La résistance de polarisation cathodique, de 3,3 k Ω est shuntée

par un condensateur électrochimique de 25 μ F. L'écran est alimenté par une résistance série de 1 M Ω , découplée par un condensateur au papier de 0,47 μ F et la résistance de charge de plaque, de 470 k Ω , retourne au + HT3, c'est-à-dire au