

L'expression d'un nombre décimal de sept chiffres se traduit par :

- . sept mises à la masse successives des entrées correspondant aux chiffres du nombre décimal désigné par la frappe sur le clavier.
- . sept configurations successives en sortie, chacune correspondant au chiffre du nombre décimal et constituant l'information codée
- . sept départs successifs des informations codées vers la carte AFFICHAGE.
Le départ est commandé après chaque frappe par le circuit intégré IC 05

Départ de l'information codée

Le circuit intégré IC 05 contrôle le départ de l'information codée pour la rendre indépendante de la durée de pression sur la touche du clavier:

Il reçoit sur ses entrées 15, 2, 4 et 6 un créneau négatif, calibré à 1 milliseconde, dès qu'une information codée est appliquée sur ses entrées 1, 3, 5 et 7.

- . En l'absence d'information à l'entrée, les sorties 13, 12, 11 et 10 sont à l'état 1.
- . En présence d'une information chacune de ces sorties prend l'état de l'entrée correspondante pendant 1 ms seulement.

En résumé seules les informations "0" apparaissent en AA11, AA12, AA6 ou AA7 du circuit COMMANDE D'AFFICHAGE et leur durée est uniformément de 1 ms.

Elaboration des créneaux de commande

Ce sont :

- . les créneaux de 1 ms limitant la durée de l'information (voir § b)
- . les créneaux de 0,5 ms destinés à la carte AFFICHAGE (voir § 3-2-8-3)

Le créneau négatif de 1 ms est obtenu à partir de l'état 0 qui apparaît sur les sorties digit 2³ ou 2² de IC02, quelle que soit la touche pressée lors de l'affichage de la fréquence.

Cet état 0 transmis par les diodes CR 03 ou CR 04 en 6 de IC 07 se retrouve (mise à la masse) en TP 04 et sur C 07 lorsque + 12 V (1 logique) sont appliqués :

- . en 1 de IC 07 c'est à dire lorsque le commutateur S 21003 est sur la position C de mise en service du clavier
- . en 5 de IC 07 c'est à dire lorsque la touche de remise à zéro n'est pas pressée.

Cette mise à la masse de C 07, qui c
 touche, donne une impulsion négati
 C 07) en 8 de IC 07 et un créneau i
 après mise en forme et calibrage par

Le créneau négatif de 0,5 ms est obt
 précédemment, appliquée en 5 de IC
 calibrage sont faits par CR 11, R 32 e

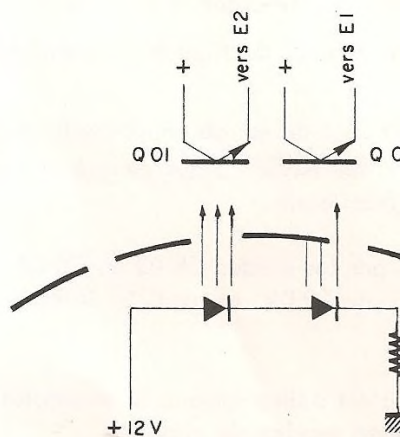
Elaboration de la remise à zéro

La remise à zéro (R.A.Z.) de l'affi
 (+ 12 V). Cette tension apparait en
 des entrées 8 et 9 de IC 03 est mise à

. lorsque BB 8 est mis à la masse (p
 clavier d'affichage).

ations du balayage de fréquence

tation du tambour entraîné par le bou
 : entrées E 1 et E 2 de la carte COM.
 u passage de palettes entre les diodes
 les photocoupleurs Q 01 et Q 02 de l

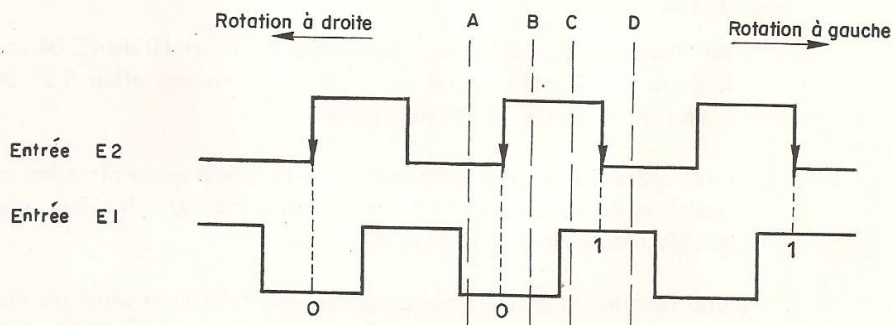


La mise en forme de ces impulsions est assurée par le circuit intégré IC 01, de sorte qu'en TP 01 et TP 02 apparaissent des signaux rectangulaires identiques mais déphasés entre eux en raison du décalage des photocoupleurs

a) Discrimination du sens de rotation

La figure suivante permet de voir que quel que soit l'état initial A, B, C ou D, des deux entrées :

- . si la rotation est à droite, E 1 est à 0 lorsque se présente le premier front descendant ainsi que tous les suivants, en E 2.
- . si la rotation est à gauche, E 1 est à 1 lorsque se présente le premier front descendant, ainsi que tous les suivants, en E 2.



Cette particularité permet de discriminer le sens de variation (accroissement ou diminution) de la fréquence.

En l'absence de variation, les points 1 et 13 de IC 03 étant au 1 logique à travers R 13, les sorties 3 et 11 sont au 0 logique. Les fronts descendants en TP 01 provoquent de breves impulsions négatives (charge de C 02 à travers CR 01) en 5, 6, 1 et 13 de IC 03 qui par ailleurs sont au 1 logique à travers R 13.

Les impulsions négatives arrivent en 13 en même temps que :

- . un 0 logique en 12, pour une rotation à droite : ces impulsions se retrouvent alors en 11, positives

- . un 1 logique en 12, pour une rotation à gauche: la sortie 11 reste au 0 logique. Les points 2 et 12 de IC 03 sont toujours complémentaires de sorte que l'inverse se produit en 3 :

Les impulsions négatives arrivent en 1 en même temps que :

- . un 1 logique en 2, pour une rotation à droite : la sortie 3 reste au 0 logique
- . un 0 logique en 2, pour une rotation à gauche: ces impulsions se retrouvent alors en 3, positives.

En résumé :

- . rotation à gauche (diminution de la fréquence)= impulsions en 3
- . rotation à droite (augmentation de la fréquence)= impulsions en 11

b) Information de comptage/décomptage

Cette information sortant en AB 7 de la carte, est élaborée par une bascule (circuit intégré IC 04) à partir des impulsions des sorties 3 et 11 de IC 03.

- . en l'absence de variation, les entrées 4, 11 et 10 de IC 04 sont au 0 logique (+ 12 volts coupé en AA 5 par le commutateur S 21 003)
L'état de la sortie 13 est indifférent
- . une rotation à gauche (décomptage $\leftarrow F_o$) fait apparaître les impulsions positives en 4. La première d'entre elles met au 1 logique la sortie 13 qui s'y maintient par le bouclage en 5.
- . une rotation à droite (comptage $F_o \rightarrow$) fait apparaître les impulsions positives en 11. La première d'entre elles met au 0 logique la sortie 13 qui s'y maintient par le bouclage en 5.

En résumé :

rotation à gauche = décomptage = 1 en AB7

rotation à droite = comptage = 0 en AB7

c) Limitation dans la transmission des impulsions

Les impulsions négatives appliquées en 5 et 6 de IC 03, inversées par la porte NAND et remises en forme par CR 02, R 22 et C 03, constituent les impulsions de comptage ou de décomptage qui font progresser les fréquences du synthétiseur. Ces impulsions provenant de la commande manuelle $\leftarrow F_o \rightarrow$ se trouvent bloquées par la seconde porte NAND de IC 11, comme nous allons le voir,

- . lors du décomptage, lorsque la fréquence de réception atteint 399 kHz
- . lors du comptage, lorsque la fréquence de réception atteint 30 MHz

Soit une fréquence affichée F comprise dans la gamme e ce qui se passe lors d'un accroissement de la fréquence (rotation) puis d'une diminution de la fréquence (rotation inverse).

Accroissement de la fréquence (comptage)

Le comptage établit un 1 logique en 12 de IC 06
 donc un 0 logique en 4 de IC 11
 donc un 1 logique en 11 de IC 11

Cette dernière porte NAND transmettra les impulsions de ses entrées 9 et 10, vers TP 03, tant que son entrée 12 : à-dire tant que AA4 ou AB6 seront à 0.

Ces entrées correspondent à AA2 et AA3 de la carte AFFICHAGE, c'est-à-dire aux digits 2^0 et 2^1 du compteur des 10 MHz.

La table de vérité (§ 3.2.7.1) montre que la condition est remplie pour l'affichage des chiffres 0, 1 et 2 mais cesse d'être remplie à partir du chiffre 3.

Les impulsions de comptage cesseront d'être transmises dès que le chiffre 3 sur les 10 MHz, donc elles seront transmises jusqu'à la fréquence limite supérieure.

2	9	9	9	9	9	9
---	---	---	---	---	---	---

Diminution de la fréquence (décomptage)

Le décomptage établit un 1 logique en 12 de IC 11 (à l'entrée 12). Cette porte NAND transmettra les impulsions de décomptage de ses entrées 9, et 10, vers TP 03, tant que son entrée 11 sera à 0. Elle cessera de les transmettre dès que cette entrée passera à 1, c'est-à-dire dès que les entrées 2, 4 et 5 de la porte précédente passeront à 1.

Le blocage se produira donc lorsque les trois conditions ci-dessus seront remplies (l'entrée 3 étant en permanence au 1 logique).

Le passage à 1 en 2 de IC 11, par apparition du chiffre 3 sur les 10 MHz.

En effet la valeur affichée 0 correspond à un 0 logique sur les digits 2^0 et 2^1 (table de vérité § 3.2.7.1) du compteur des 10 MHz. L'entrée 11 de IC 11 est donc au 0 alors que 13 est au 1 permanent : cette porte transmettra un 1 à IC 11 à travers CR 07.

Le passage à 1 en 5 de IC 11 par apparition du chiffre 3 sur les 10 MHz.

En effet la valeur affichée 0 correspond à un 0 logique sur les digits 2^2 , 2^3 , 2^4 et 2^5 (table de vérité § 3.2.7.1) du compteur des 10 MHz. L'entrée 11 de IC 11 est donc au 0 alors que 13 est au 1 permanent : cette porte transmettra un 1 à IC 11 à travers CR 07.

de la carte COMMANDE D'AFFICHAGE, donc en 2, 3, 4 et 5 de IC 06. Cette porte NOR donne donc un 1 logique qui est transmis à 5 de IC 11.

- . passage à 1 en 4 de IC 11, c'est-à-dire décomptage jusqu'à l'apparition du chiffre 3 sur l'affichage des 100 kHz.

En effet, la sortie 13 de IC 06 passe à 1 lorsque toutes les entrées de la porte NOR sont à 0 c'est à dire :

- 0 logique en 12 provenant du mouvement de décomptage
- 0 logiques en 9 et en 10, donc en AA 2 et AA 3, provenant du compteur des 100 kHz (digits 2^2 et 2^3) de la carte AFFICHAGE, lorsque son affichage passe à 3 (table de vérité § 3.2.7.1)

En résumé : les impulsions de décomptage cesseront d'être transmises dès l'apparition des chiffres 0 sur les 10 MHz, 0 sur les MHz et 3 sur les 100 kHz, donc elles seront transmises jusqu'à, y compris, la fréquence limite inférieure

| 0 | 0 | 4 | 0 | 0 | 0 | 0 | MHz

d) Choix du pas de progression (10 Hz ou 1 kHz)

Les impulsions négatives de comptage (ou de décomptage) qui se présentent en TP 03 sont inversées en 3 de IC 12 par la porte NAND puis sont aiguillées vers la carte AFFICHAGE soit vers le compteur des KHz soit vers le compteur des 10 Hz selon le pas de progression choisi au moyen du commutateur ΔF_0 . S 21 003.

- Pas de 1 kHz

- . sur la position "1 kHz" du commutateur, la tension + 12 volts appliquée en BA12 de la carte COMMANDE D'AFFICHAGE et en 6 de IC 12, permet aux impulsions positives de se retrouver en 8 de IC 14 et, inversées, en 10 car l'entrée 9 est alors au 1 logique.

En effet, le point BA 11 de la carte est mis à la masse par la sortie V_{SH} du compteur des 100 kHz de la carte AFFICHAGE, ce qui donne un 1 logique en 11 et en 9 de IC 14.

- . D'autre part, l'état 0 de l'entrée 2 de IC 14 interdit le passage des impulsions vers la sortie BA 8.
- . Les impulsions de comptage (ou décomptage) sortant en 10 de IC 14 sont transmises par BA 10 vers BA 2 de la carte AFFICHAGE. La chaîne des compteurs de cette carte étant partiellement utilisée, chaque impulsion correspond à une progression de 1 kHz avec une carte AFFICHAGE référence 16 609 072 et à une progression de 100 Hz ou de 1 kHz avec une carte AFFICHAGE référence 16 892 940 (voir § 3.2.17.9).

- Sur la position "10 Hz" du commutateur, la tension + 12 volts appliquées en BA9 de la carte COMMANDE D'AFFICHAGE et celle de IC 14, permet aux impulsions positives de se retrouver en 3 de IC 14 et, inversées, en 4 de IC 14 donc en BA8.
- L'état 0 de l'entrée 6 de IC 12 interdit le passage des impulsions vers la sortie BA10.
- D'autre part, des impulsions positives entrant en BA11 se retrouvent en BA10 (l'entrée 8 de IC 14 étant mise au 1 logique par la sortie 4 de IC 12) : ceci permet de refermer, sur la carte AFFICHAGE, la chaîne BA7 sur l'entrée BA2, c'est-à-dire de mettre en service la chaîne complète des compteurs.
- Les impulsions de comptage (ou décomptage) sont transmises par l'entrée horloge du compteur des 10 Hz de la carte AFFICHAGE. Chacune correspond à une progression de 10 Hz.

2.8 - Circuit affichage (Pl. 25a)*

3.2.8.1 - Tubes d'affichage

Les tubes d'affichage V01 à V07 sont des indicateurs numériques à sept segments de phosphore, permettant de faire apparaître les chiffres de 0 à 9 selon les segments reliés au + 12 volts. Les filaments des tubes sont alimentés en série avec la résistance R02 de la carte AFFICHAGE, à partir de la tension - 10 volts du point de commutation. La commutation des segments vers le + 12 volts est réalisée par les compteurs décimaux.

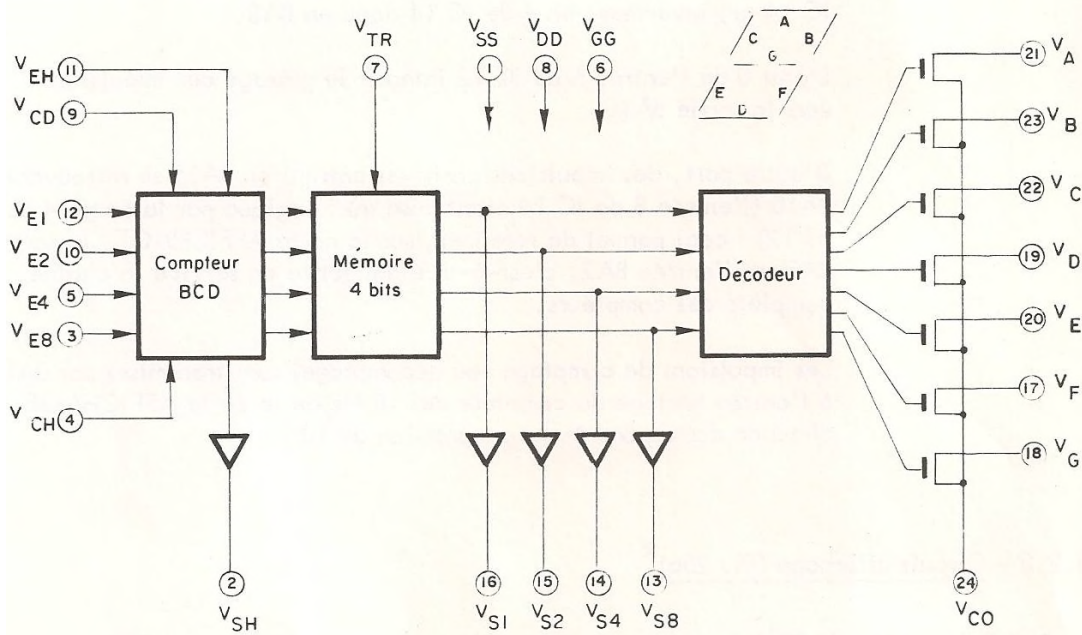
3.2.8.2 - Compteurs décimaux

Les circuits intégrés IC03, IC04, IC05, IC06, IC07, IC11 et IC12 sont des compteurs avec commande d'affichage. Ils comprennent :

- un compteur décimal (code BCD) avec commandes de comptage/décomptage et chargement parallèle.
- une mémoire 4 bits dans laquelle peut être transféré le contenu du compteur sans perturber le fonctionnement de celui-ci.
- un décodage permettant à l'état logique de la mémoire de commander la commutation des sept segments d'un tube d'affichage.

Les entrées V_{TR} et V_{CO} étant à + 12 V, la mémoire est reliée en permanence au compteur et les sept commutateurs des segments du tube d'affichage sont en service.

* Ce paragraphe 3.2.8 traite du fonctionnement du circuit AFFICHAGE référence 16 609 072. Le fonctionnement du circuit AFFICHAGE référence 16 892 940 est décrit au paragraphe 3.2.17.

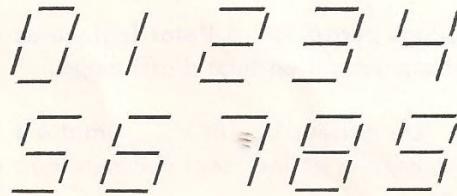


L'entrée VCH commande le chargement parallèle du compteur :

- lorsqu'elle est à 0, les entrées de prépositionnement VE1, VE2, VE4, VE8 sont inhibées.
- lorsqu'elle est à 1, les entrées de prépositionnement VE1, VE2, VE4, VE8, sont actives, c'est-à-dire que l'information codée binaire est transférée vers les sorties VS1, VS2, VS4, VS8 sous la même forme et vers les sorties VA à VG sous la forme qui convient au tube d'affichage pour faire apparaître le chiffre correspondant.

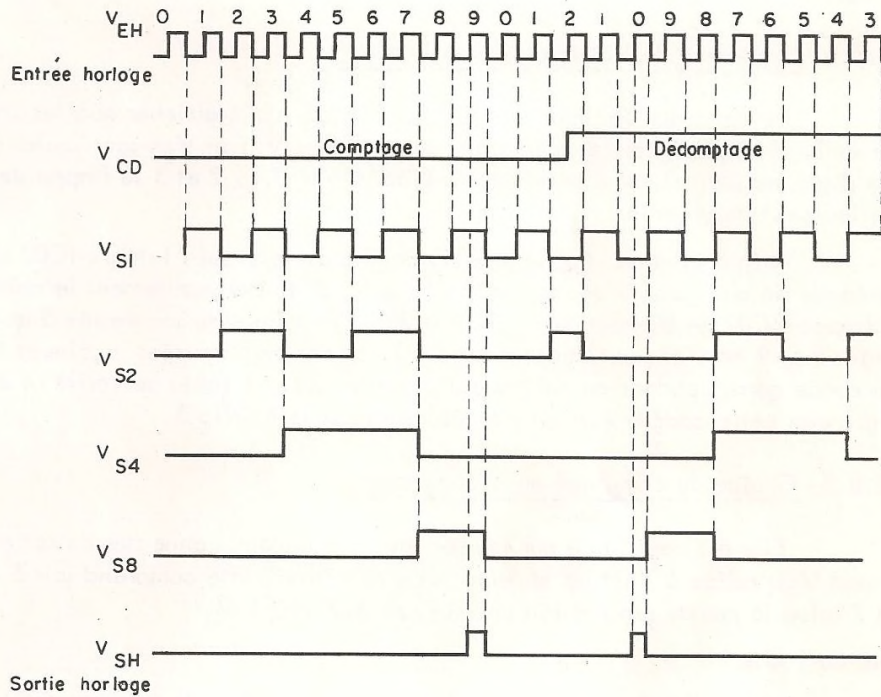
Contenu mémoire				Sortie						
8	4	2	1	A	B	C	D	E	F	G
0	0	0	0	C	C	C	C	C	C	B
1	0	0	0	B	C	C	B	B	B	B
2	0	0	1	C	C	B	C	C	B	C
3	0	0	1	C	C	C	C	B	B	C
4	0	1	0	B	C	C	B	B	C	C
5	0	1	0	C	B	C	C	B	C	C
6	0	1	1	C	B	C	C	C	C	C
7	0	1	1	C	C	C	B	B	B	B
8	1	0	0	C	C	C	C	C	C	C
9	1	0	0	C	C	C	C	B	C	C

C = conducteur
B = bloque



L'entrée V_{EH} reçoit les impulsions horloge susceptibles de faire progresser pas à pas les sorties, à partir de la valeur de répositionnement:

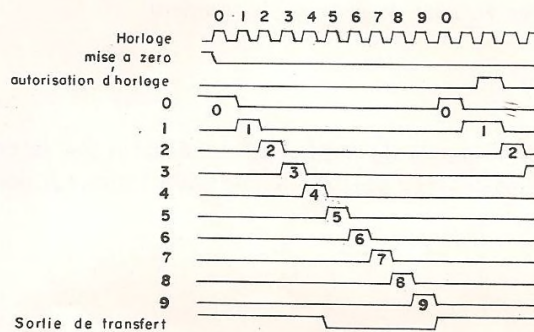
- dans le sens du comptage lorsque V_{CD} est au 0 logique
- dans le sens décomptage lorsque V_{CD} est au 1 logique



3.2.8.3- Aiguillage de l'information codée

A chaque frappe d'un chiffre sur le clavier, un compteur différent prend en compte l'information codée correspondante présente sur toutes les entrées parallèles BCD. Ce compteur est celui qui reçoit le 1 logique qui lui est adressé en V_{CH} par le circuit intégré IC01.

Le créneau négatif de 0,5 ms issu de la carte COMMANDE D'AFFICHAGE au moment de chaque frappe, appliqué à l'entrée horloge 14 de IC01, fait progresser d'un pas le 1 logique sur les sorties de ce même circuit intégré.



Chacune de ces sorties étant reliée à l'entrée V_{CH} d'un compteur décimal, les frappes successives commandent tour à tour les chargements des compteurs, dans l'ordre, en commençant par celui des 10 MHz.

Le 1 logique apparaissant sur la sortie de rang 7, à la 7ème frappe, est appliqué à l'entrée 13 pour bloquer IC01 jusqu'à l'apparition de la remise à zéro en 15.

3.2.8.4- Limitation de l'affichage des 10 MHz

Le compteur décimal des 10 MHz, IC03, n'a à afficher que les chiffres 0, 1 et 2, c'est pourquoi les deux entrées parallèles V_{E1} et V_{E2} sont seules utilisées: deux digits ne permettant d'exprimer en binaire que 0, 1, 2 et 3 la frappe de chiffres supérieurs est inopérante.

Afin d'éliminer l'affichage du chiffre 3, le circuit intégré IC02 bloque la commande de chargement venant de IC01 (sortie 3) si éventuellement le chiffre 3 a été frappé: IC02 ne transmet à V_{CH} de IC03 le 1 logique de son entrée 5 que si ses entrées 8 et 9 ne sont pas simultanément à 1, or ces deux entrées reçoivent l'information codée correspondant au chiffre qui a été frappé. La table de vérité (§ 3.2.7.1) montre que cette condition n'est pas réalisée pour le chiffre 3.

3.2.8.5- Chaîne de comptage ou décomptage

Elle est constituée par les compteurs décimaux connectés en série (sortie horloge V_{SH} reliée à l'entrée horloge V_{EH} suivante). Elle comprend soit 5 compteurs, soit 7 selon le pas de progression choisi (voir 3.2.7.2 § d):

- pas de 1 kHz

L'entrée BA2 reçoit les impulsions issues de BA10 de la carte COMMANDE D'AFFICHAGE

L'entrée BA12 ne reçoit rien

Seuls les compteurs IC05 à IC07 sont utilisés

- pas de 10 Hz

L'entrée BA12 reçoit les impulsions issues de BA8 de la carte COMMANDE D'AFFICHAGE

L'entrée BA2 est refermée sur la sortie BA7 et tous les compteurs sont utilisés

La chaîne compte lorsque AB5 est au 0 logique
et décompte lorsque AB5 est au 1 logique

ceci à partir des valeurs de prépositionnement

3.2.9- Carte mémoire (Pl. 27 b)

La tension + 12 V (1 logique) du point A13, établie par le commutateur S06 (panneau avant du récepteur), est dirigée vers des sorties que l'on peut porter au 1 logique par des diodes.

	10 MHz	1 MHz	100 kHz	10 kHz	1 kHz	100 Hz
Décimal	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Binaire	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Sortie	B2 B1	B6 B5 B4 B3	B10 B9 B8 B7	A9 B13 B12 B11	A4 A3 A2 A1	A8 A7 A6 A5

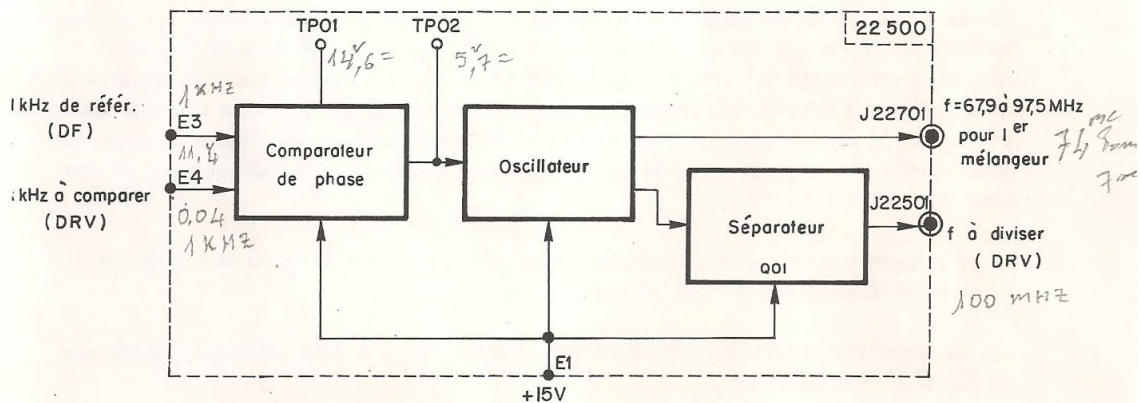
Chacun des chiffres exprimant la fréquence dans le système décimal sera converti dans le système binaire.

Chaque 1 logique sera réalisé au moyen d'une diode entre A13 (anode) et la sortie correspondante (cathode).

3.2.10- Circuit asservissement et V.C.O (Pl.24)

Le circuit groupe:

- un boîtier "oscillateur"
- une étage séparateur
- un boîtier "comparateur de phase"



3.2.10.1- Boîtier oscillateur

Le boîtier renferme un oscillateur, un amplificateur cascade et un premier étage séparateur. Le tout est enrobé et le boîtier est soudé

a)- Oscillateur

C'est un oscillateur dont la fréquence, asservie par une tension continue (V.C.O), est variable entre 67900 et 97500 kHz. Il est constitué d'un transistor PNP base à la masse et la commande de fréquence est obtenue par la variation de polarisation de diodes à capacité variables (tension venant du boîtier "comparateur de

b)- Amplificateur cascode

Le signal de l'oscillateur est amplifié par un transistor à effet de champ

c)- Premier séparateur

C'est un transistor NPN base à la masse, comportant:

- une sortie directe vers le second séparateur (point 14)
- une sortie adaptée à l'impédance d'entrée du 1er MELANGEUR (J22701), pour la fréquence O.L.P.

La tension continue d'alimentation (+12 V) provenant de E1 est appliquée en 10, 11, 12, 13 et 14 du boîtier, chacun de ces points étant découplé par une cellule RC.

3.2.10.2- Etage séparateur

Le transistor Q01 monté base commune constitue un étage séparateur entre les deux sorties de l'oscillateur (sortie vers 1er MELANGEUR et sortie vers DRV).

Le transformateur T01 adapte l'impédance de sortie élevée de Q01 à celle de l'entrée du DIVISEUR A RANG VARIABLE.

La fréquence O.L.P. à diviser par le D.R.V. sort en J22501

3.2.10.3- Boîtier comparateur de phase

Le boîtier étanche, soudé après insuflation d'azote, renferme un comparateur de phase suivi d'un intégrateur et d'un étage à transistor.

a)- Le comparateur de phase est un circuit digital à mémoire, commandé sur les fronts positifs des signaux présents aux points 1 (signal de boucle issu du D.R.V.) et 2 (signal de référence à 1 kHz issu du DIVISEUR FIXE). La tension positive apparaissant à sa sortie, est fonction du rapport de fréquence et de phase des deux signaux appliqués en 1 et 2. Si les fréquences et les phases sont rigoureusement identiques le point de fonctionnement est stable: cette condition de verrouillage est indiquée par un état haut de la sortie 7 (TP01).

b)- L'intégrateur comporte un condensateur qui se trouve chargé ou déchargé par la tension positive ou nulle issue du comparateur

c)- Un transistor à effet de champ, à forte impédance d'entrée abaisse l'impédance du signal d'asservissement.

3.2.11- Circuit DIVISEUR A RANG VARIABLE (PI.19)

Ce diviseur fournit une fréquence $\frac{F}{n}$ qui sera comparée à la fréquence de référence F_R pour l'asservissement de l'oscillateur O.L.P.

$$F = 67900 \text{ kHz à } 97500 \text{ kHz}$$
$$F_R = 1 \text{ kHz}$$

Le rang de division n , variable, est déterminé par les états issus de l'affichage (carte AFFICHAGE ou roues codeuses).

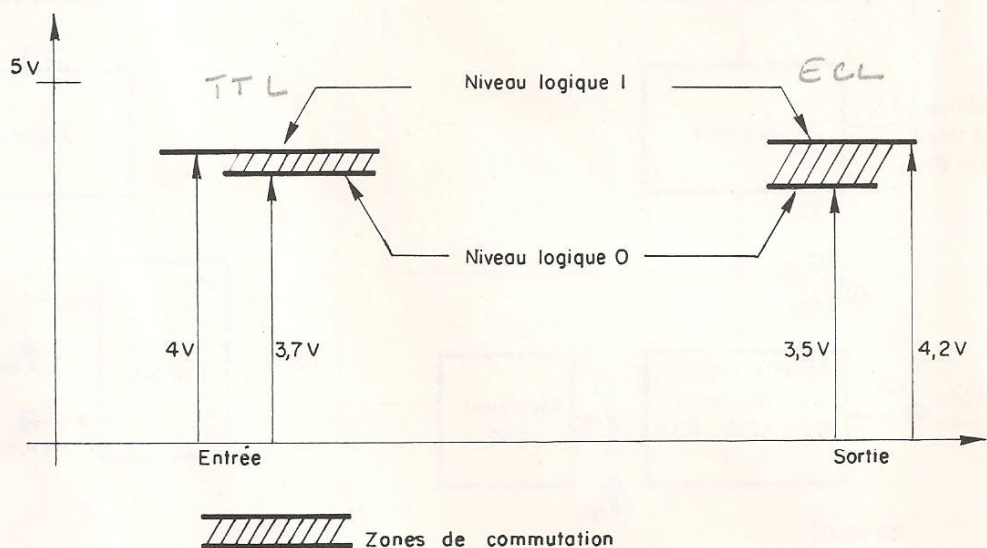
- soit par $(9 \times 10) + (1 \times 11) = 101$
- soit par $10 \times 10 = 100$

Le passage de modulo 101 à modulo 100 est réalisé par la "commande 2" (TP02) lorsqu'elle passe de l'état "0" à l'état "1". Cette commande 2 est issue du décodage des sorties du compteur auxiliaire.

a)- Interface TTL/ECL

Le signal à diviser, EDRV (embase J01), étant un signal HF de fréquence maximale égale à 97,5 MHz, la technologie utilisée pour le circuit d'entrée du DRV est la technologie ECL (Emitter Coupled, Logic) dans laquelle :

- les états logiques "0" et "1" ne correspondent pas à des fonctionnements "bloqué" et "saturé" des semi-conducteurs
- les performances (au point de vue rapidité) sont accrues par rapport à la technologie TTL.
- l'ordre de grandeur des niveaux des états logiques est le suivant :



Le centrage en continu du signal EDRV, destiné à assurer la compatibilité entre la sortie de l'OLP et l'entrée du DRV, est résolu par le pont de résistances R02-R03 qui suit la liaison par le condensateur C01.

b)- Diviseur modulo 10/11

Le circuit intégré IC04 délivre un front descendant en 8 (sortie Q) tous les 10 ou tous les 11 fronts montants appliqués en 16 (entrée horloge CP), selon l'état logique en 2 (commande 1) et en 3 (commande 2), conformément au tableau suivant :