

electronique

**RADIO
PLANS**

MENSUEL DES TECHNIQUES ET APPLICATIONS

NUMÉRO 553 DECEMBRE 1993

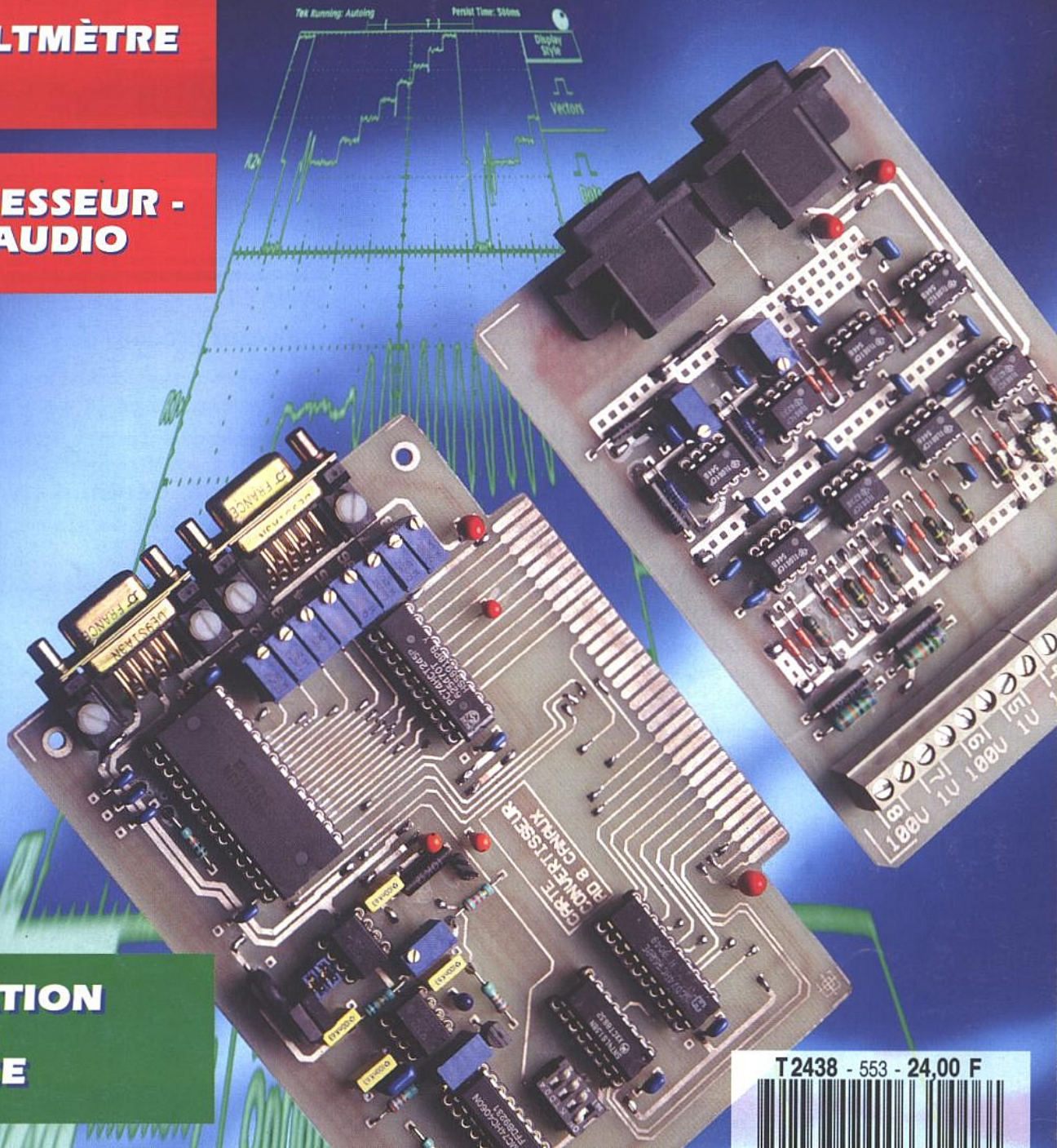
**BOOSTER 2X40W
A TDA 1560Q**

**CARTE VOLTMÈTRE
SUR PC**

**UN COMPRESSEUR -
LIMITEUR AUDIO**

**LA SIMULATION
DES TUBES
AVEC ISPICE**

**LA SYNTHÈSE
DIGITALE DIRECTE**



T2438 - 553 - 24,00 F



S o m m a i r e

ELECTRONIQUE APPLICATIONS

MENSUEL édité par
PUBLICATIONS GEORGES VENTILLARD
S.A. au Capital de 5 160 000 F
2 à 12, rue de Bellevue, 75019 PARIS
Tél. : 42.00.33.05 - Fax : 42.41.89.40
Télex : 220409 F
Principaux Actionnaires :
- M. Jean-Pierre Ventillard
- Mme Paule Ventillard

Président-Directeur-Général,

Directeur de la Publication :
Jean-Pierre VENTILLARD

Directeur de la Rédaction :
Bernard FIGHIERA

Rédacteur en Chef :
Claude DUCROS

Marketing/Ventes :
Jean-Louis PARBOT
Tél. : 42.00.33.05.

Création maquette :
Rachid MARAI

Inspection des Ventes :
Société PROMEVENTE - M. Michel IATCA
11, rue de Wattignies - 75012 PARIS.
Tél. : 43.44.77.77 - Fax : 43.44.82.14.

Publicité :
Société Auxiliaire de Publicité
70, rue Compans, 75019 PARIS
Tél. : 42.00.33.05
C.C.P. PARIS 37 93 60

Directeur commercial : Jean-Pierre REITER

Chef de publicité : Francine FIGHIERA

Assistée de : Laurence BRESNU

Abonnement : Marie-Christine TOUSSAINT
Voir notre tarif «spécial abonnement».
Pour tout changement d'adresse,
envoyer la dernière bande accompagnée
de 2,80 F en timbres.

IMPORTANT : ne pas mentionner notre
numéro de compte pour les paiements
par chèque postal.

Electronique Radio Plans décline toute responsabilité
quant aux opinions formulées dans les articles,
celles-ci n'engageant que leurs auteurs. Les
manuscrits publiés ou non ne sont pas retournés.
«La loi du 11 mars 1957 n'autorisant aux termes des
alinéas 2 et 3 de l'article 41, d'une part que «copies ou
reproductions strictement réservées à l'usage privé du
copiste et non destinées à une utilisation collective» et
d'autre part, que les analyses et les courtes citations
dans un but d'exemple et d'illustration, «toute
représentation ou reproduction intégrale, ou partielle,
faite sans le consentement de l'auteur ou de ses
ayants-droit ou ayants-cause, est illicite» (alinéa
premier de l'article 40). Cette représentation ou
reproduction, par quelque procédé que ce soit,
constituerait donc une contrefaçon sanctionnée par les
articles 425 et suivants du Code Pénal».

Ce numéro a été tiré à 37 600 exemplaires
Dépôt légal décembre 93 - éditeur 1735
Mensuel paraissant en fin de mois.
Distribué par S.A.E.M. Transports-Presse
Photocomposition :
COMPOGRAPHIA - 75011 PARIS -
Photo de couverture : E. Malemanche.



Numéro 553 - Décembre 1993

ISSN 1144-5742

ETUDES ET CONCEPTION

- 43 UN BOOSTER 2 X 40 W AVEC LE TDA 1560 Q.
- 50 RÉCEPTEUR FM VIDÉO 430 MHZ

REALISATION

- 25 PROGRAMMATEUR DE 68 HC705 J2
- 39 CIRCUIT INTÉGRÉ POUR ONDULEUR DE TENSION
- 55 CARTE VOLTMÈTRE POUR PC
- 83 COMPRESSEUR-LIMITEUR L8TC

TECHNIQUE

- 9 L'ACCESS-BUS : LE PROTOCOLE

MESURE ET INSTRUMENTATION

- 19 LA SYNTHÈSE DIGITALE DIRECTE ET LES GÉNÉRATEURS ARBITRAIRES

CIRCUITS D'APPLICATION

- 63 LE JEU D'INSTRUCTIONS DES MICROCONTRÔLEURS RISC PIC 16CXX

COMPOSANTS ET TECHNOLOGIE

- 75 FABRICATION DES CATHOSCOPES COULEUR PHILIPS À DREUX

C.D.A.O.

- 33 PROLOGIC : LE MODE D'EMPLOI
- 69 LA SIMULATION DES CIRCUITS À TUBES AVEC INTUSOFT SPICE

COMMUNICATION

- 81 LE SEPT : DIX ANS DE CARTES À PUCE

IDEES ET METHODE

- 17 GÉNÉRATION DE SIGNAUX PÉRIODIQUES PAR MICROCONTRÔLEUR

INFOS

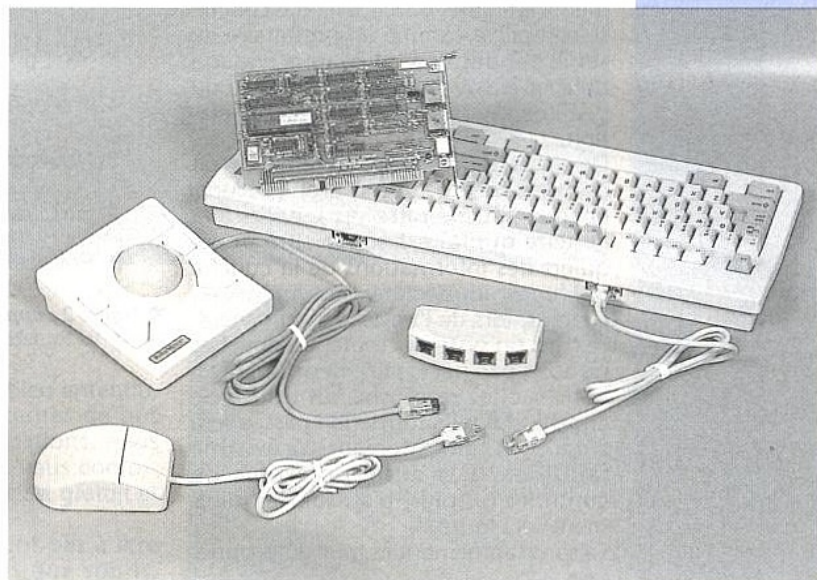
- 90 LE HAS332 : DOUBLE SHA 100 ns HARRIS
- INTERRUPTEURS MOS DE PUISSANCE ST SÉRIE VN
- 92 ACQUISITION DE DONNÉES PAR RECONNAISSANCE VOCALE : LE TALKMAN EIF ET LE RANGEMENT INDUSTRIEL
- DOUBLES DAC 12 BITS MX 7837/47
- 93 CARTES DE COMMUNICATION SÉRIE SELIA
- CONDENSATEURS CÉRAMIQUE DE PUISSANCE AVX
- IMPRIMANTES THERMIQUES INDUSTRIELLES AFEISA
- 96 L'EXTENSION DE BUS PC, PCFACE III
- UNE LIBRAIRIE ÉTENDUE DE MODÈLES RF INTUSOFT
- RENDEZ-VOUS EDUCATEC 93

Ont participé à ce numéro : J. Alary, R. de Bailliencourt, C. Basso,
F. Broyde, F. de Dieuleveult, C. Djabian, A. Garrigou,
P. Gueulle, J.-P. Jacquet, P. Oguic, Ch. Pannel, D. Paret.



ACCESS.BUS : LE PROTOCOLE

Dans le précédent article (n° 551), nous vous avons présenté le concept ACCESS.bus. Ce concept repose sur la «couche physique» du bus I2C et ne demande donc aucune autre connaissance électronique que celle que vous connaissez bien au travers des nombreux articles que ERP a déjà publiés.



Se reposant électriquement sur le bus I2C, aucun composant spécifique ACCESS. bus n'a été développé, pour la bonne et unique raison que tous ceux qui sont I2C conviennent et fonctionnent parfaitement. La spécificité du protocole ACCESS. bus réside dans le fait qu'il est plus orienté vers la communication entre un mini-ordinateur (ou une grosse CPU) et des éléments périphériques interactifs.

Comme vous avez pu le remarquer sur les photos déjà présentées, de nombreux ACCESSoires compatibles à ce bus sont déjà commercialisés aux États-Unis.

Notre but, au sein de cette revue, n'est pas de vous vanter ces équipements mais de vous indiquer comment faire en sorte que tous les équipements que vous avez déjà réalisés «compatibles I2C» puissent, en plus, devenir un jour un «périphérique interactif» sans toucher au hardware mais en implémentant des couches logicielles de plus haut niveau au cœur de la CPU.

Passons au thème que nous allons aborder aujourd'hui et que nous avons défloré lors du précédent numéro (551). Il s'agit de pénétrer plus en profondeur dans la structure du protocole de l'ACCESS. bus. Nous terminerons cette série le mois prochain avec des exemples de réalisations matérielles en décrivant les composants (I2C), les plus fréquemment rencontrés dans des réalisations industrielles de l'ACCESS. bus.

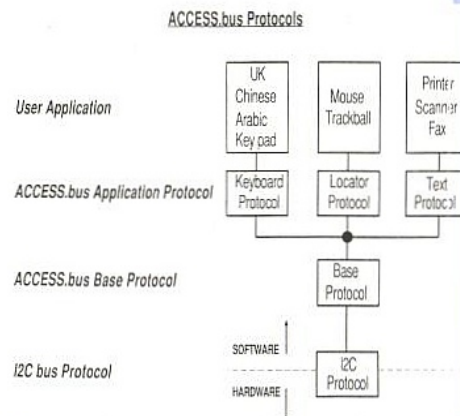
LE CONTENANT

Effectuons le grand plongeon ! L'architecture générale du protocole est donnée figure 1.

Avant de rentrer dans le plus petit détail et les commentaires associés à chacune des parties représentées sur cette figure, rappelons que tout système de communication bien conçu se plie aux fameuses couches ISO/OSI (Open System Interconnexion/International Standard Organisation) et que, comme un enfant bien sage, l'ACCESS.bus s'y conforme.

Au nombre de sept, qui sont et que disent ces fameuses couches ? Bien souvent, les gens en parlent mais bien rares sont ceux capables d'en donner leur signification clairement.

Evidemment, nous pourrions passer totalement sous silence les relations qui existent entre les couches ISO/OSI et l'ACCESS.bus, mais alors vous éprouveriez sans doute une gêne au



■ Figure 1 : architecture du protocole.

moment de l'implémentation du protocole dans l'environnement PC, ne sachant plus très bien qui fait quoi ou qui doit faire quoi.

Aussi, sans considérer cela comme une punition suprême que vous ne méritez certainement pas et afin d'éviter tout

problème, il est préférable, pour une fois au moins, de bien savoir de quoi on parle.

La **figure 2** vous indique les appellations ISO/OSI des différentes couches. Rappelons succinctement leurs fonctions.

Tout d'abord, sachez qu'il n'existe aucune hiérarchie entre les couches des différents niveaux et appartenant à un même système. En fait, chaque couche se comporte comme un prestataire de service indépendant et ne s'engage qu'avec la couche de même niveau du système avec laquelle elle est en relation.

De ce fait, dans chaque système mis en œuvre avec ce type d'architecture, chaque couche offre ses services à la couche qui lui est supérieure et requiert des informations de la couche qui lui est immédiatement inférieure. De plus, lors de l'implantation concrète dans un système, toutes les couches ne sont pas nécessairement utilisées. Mais sachez que, plus on utilise de couches, plus l'information passée sera sûre et le taux d'erreurs prévisible faible car il y aura alors plus de contrôles (et plus, bien sûr, le traitement sera lourd).

Faisons rapidement le tour du propriétaire.

La couche physique n° 1

Elle assure le transport de l'information (c'est rare qu'elle n'y soit pas !).

L'unité d'information utilisée dans cette couche est le bit.

La couche fournit les procédures et les fonctions mécaniques, électriques, électroniques nécessaires pour établir, maintenir et libérer des connexions physiques entre les Équipements Terminaux de Traitement des Données (ETTD), les Équipements Terminaux de Circuits de Données (ETCD) et/ou les Centres de Communication de Données (CCD).

Comme nous le verrons plus loin, en ce qui concerne l'ACCESS.bus, une partie du protocole I2C remplit cette couche.

La couche liaison n° 2

Elle est responsable de l'acheminement sans erreur de blocs d'informations sur des liaisons de données.

L'unité de base est la trame.

En effet, les supports de transmission introduisent des erreurs dans les informations transportées et le but de cette couche est d'assurer un taux d'erreurs résiduel négligeable. Différents moyens sont utilisés et utilisables pour effectuer ces contrôles. Citons par exemple les parités, le CRC (Cyclic Redundancy Code)...

Cette couche est divisée en deux sous-couches :

- MAC (Medium Access Control).
- LLC (Logical Link Control).

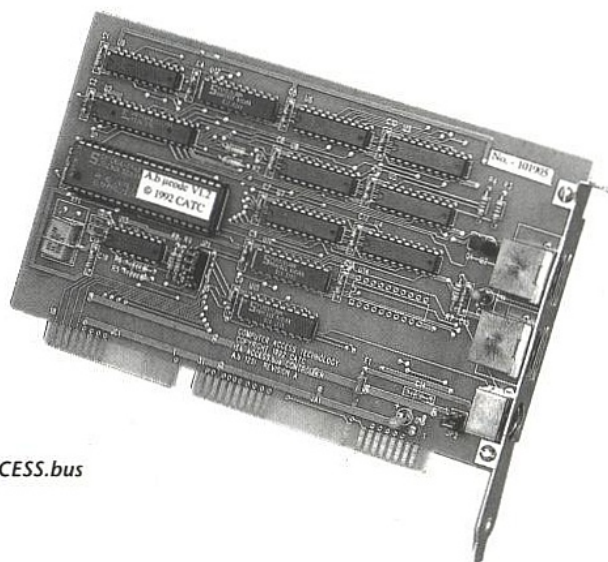
Comme nous le verrons plus loin en ce qui concerne l'ACCESS.bus, une partie du protocole I2C remplit cette couche.

OSI Model of ACCESS.bus Application

OSI = Open System Interconnection model

OSI Model	ACCESS.bus system
7: Application Layer	PC / Workstation
6: Presentation Layer	PC / Workstation
5: Session Layer	PC / Workstation
4: Transport Layer	ACCESS.bus
3: Network Layer	I2C / ACCESS.bus
2: Link Layer	I2C
1: Physical Layer	I2C

■ **Figure 2 : appellation des différentes couches ISO.**



■ **La carte PC ACCESS.bus**

La couche réseau n° 3

Elle est responsable de l'acheminement des paquets de données qui transiteront à l'intérieur du système (par exemple d'un nœud à l'autre).

Un « routeur » est nécessaire. Un contrôle de flux est contenu dans cette couche pour éviter des pertes de données et éviter l'encombrement de certains chemins. Enfin, un adressage est nécessaire pour permettre l'acheminement des paquets.

Comme nous le verrons plus loin, en ce qui concerne l'ACCESS.bus, une partie du protocole I2C remplit cette couche ainsi qu'une partie du protocole spécifique ACCESS.bus.

La couche transport n° 4

Elle est responsable du contrôle du transport des informations de bout en bout au travers du réseau.

Cette couche doit assurer que les messages des utilisateurs connectés à un réseau sont correctement parvenus à leurs destinataires. Une qualité de service sera définie et devra être respec-

tée. Une autre fonction de cette couche est de rassembler les messages qui ont été découpés en morceaux par commodité pour le transport.

Comme nous le verrons plus loin, en ce qui concerne l'ACCESS.bus, seule une partie du protocole spécifique ACCESS.bus remplit cette couche.

Pratiquement, le protocole ACCESS.bus s'arrête à ce niveau de l'architecture OSI/ISO et les couches supérieures sont assurées par l'ensemble mini-ordinateur/ workstation.

Ce sont :

La couche session

Elle est responsable de la mise en place et du contrôle du dialogue entre les tâches distantes.

Cette couche a pour but d'activer et de synchroniser certains événements. Les contrôles seront assurés par des mécanismes qui utilisent des jetons. Seule l'interface qui possède un jeton pourra assurer la fonction assurée par le jeton.

La couche présentation

Elle est responsable de la présentation

des données échangées par les applications. Elle assure la compatibilité entre tous les matériels raccordés au réseau. Elle s'occupe de la syntaxe des données.

La couche application

Elle est responsable de la sémantique de l'information et complète la partie syntaxe prise en charge par la couche de présentation.

Et c'est tout... ouf ! Mais c'était nécessaire pour que tous les points soient sur les «i» !

La figure 2 indique donc où sont affectées et remplies les différentes couches OSI/OSI dans le cas de l'ACCESS.bus et en résumé, on peut dire que :

- les couches supérieures («session, présentation, application») sont directement reliées à l'environnement logiciel ou machine ;
- la couche «transport» dépend directement du protocole ACCESS.bus, mais un protocole n'est rien si personne ne le transporte. Or, pour le transporter, il est nécessaire d'avoir un moyen de transport fiable, connu, économique, d'emploi facile, de sources multiples, pour trouver des composants utilisables, de nombreuses fonctionnalités, etc.

C'est donc pour ces nombreuses raisons qu'il a été choisi d'employer, pour les couches «réseau, liaison et physique», le mécanisme du protocole du Bus I2C sans en changer une ligne (ni de données : SDA, ni d'horloge : SCL). La figure 1 présente d'une façon plus concrète les séparations «hard»/«soft» ainsi que les zones dédiées à chaque partie.

La couche encore plus basse (et pas du tout ISO:OSI) est la partie matérielle du réseau.

Avant de nous lancer dans la partie logicielle, commençons par le côté visible de l'iceberg que constitue la partie mécanique de l'ACCESS.bus.

SPÉCIFICATIONS MATÉRIELLES

Connecteurs et câblage de la prise

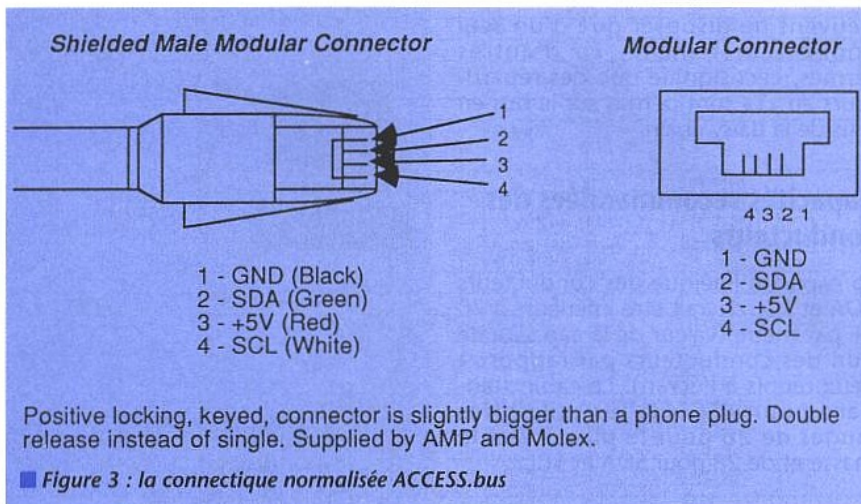
A ce jour, deux prises quasi similaires provenant de deux sociétés de réputation mondiale (il s'agit des sociétés Molex - Semconn - et AMP - SDL - ont été homologuées.

Ces prises possèdent un écran. La version de Molex n'a pas de verrou alors que celle de AMP en possède un, mais les deux sont compatibles.

Ces prises mâles et femelles, semblables aux prises téléphoniques, sont équipées de quatre fils, comme l'indique le figure 3.

Une seule prise est nécessaire par ordinateur.

On reconnaît les fils Serial Data (SDA) et Serial Clock (SCL) du bus I2C, au

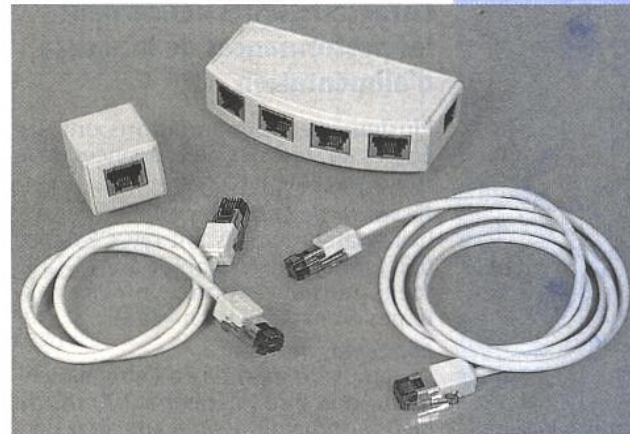


quel on a adjoint une masse et un plus 5 V.

Remarque de l'auteur : bien entendu, en cas d'extensions externes de bus I2C de vos propres réalisations, nous vous recommandons de vous conformer à ce type de prise... c'est gratuit et on ne sait jamais !

Les ACCESSoires qui n'ont pas à être tenus dans la main, tels que souris, etc., devraient posséder deux prises femelles, de façon à pouvoir satisfaire le montage daisy chain.

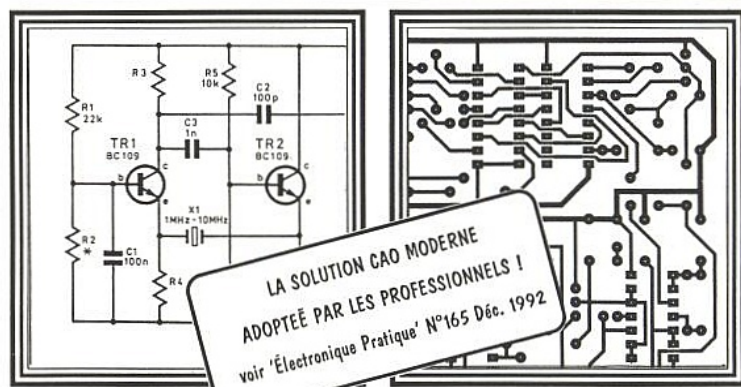
Par contre, ceux qui doivent être tenus en main (souris, lecteur de barcode...)



CAO "CADPAK" = SAISIE DE SCHEMAS
ET
DESSIN ET ROUTAGE DE CIRCUITS-IMPRIMES

SUR PC AT
et
'386/'486

NE SOYEZ PAS UN DINOSAURE..
...pour 1490 F TTC franco
achetez "CADPAK"...



Interface utilisateur graphique moderne (icônes et souris)-Ecrans CGA, EGA, VGA, SVGA, avec ZOOMS - Export de fichiers vers PAO/TT - PCB en simple et double-face - Bibliothèques standards et CMS (extensibles par l'utilisateur) - Sorties sur matricielles, Lasers, plotters, Gerber, perçage à CN. NOTICE EN FRANCAIS. (version Démo contre chèque 50 Francs)

Multipower

22 Rue Emile Baudot
91120-Palaiseau
Tel: (1) 69 30 13 79
Fax: (1) 69 20 60 41

peuvent ne disposer que d'un seul connecteur femelle. En d'autres termes, ceci signifie que des répartiteurs en «T» sont permis sur le bus en plus de la daisy chain.

Capacités recommandées des conducteurs

La capacité linéique des conducteurs SDA et SCL devrait être inférieure à 70 pF par mètre (valeur de la capacité de l'un des conducteurs par rapport à ceux réunis à l'écran). Le câble standard pour ACCESS.bus utilise des jauges de 26 pour le plus 5 V et la masse et de 28 pour SDA et SCL.

Caractéristiques concernant les performances de la source d'alimentation

Plusieurs recommandations ont été émises au sujet des performances de la source d'alimentation.

La valeur de la tension

L'ordinateur fournissant l'ACCESS.bus doit fournir une tension de 5 V +/- 5 % (ceci permet de concevoir des systèmes en basse tension «3V»).

Son temps de montée

Le temps de montée de cette alimentation doit être inférieur à 100 ms de façon à pouvoir assurer un reset correct des différents ACCESSoires présents sur le bus lors de la mise sous tension.

Sa charge capacitive

La source d'alimentation doit être capable de commander les diverses capacités de découplages présentes sur chacun des ACCESSoires. Une capacité de 10 µF par ACCESSoire est recommandée.

Les caractéristiques d'isolement

Deux ordinateurs équipés d'ACCESS.bus ne doivent pas être connectés entre eux sans avoir isolé tout d'abord les 5 Volts.

Les possibilités d'alimentation auxiliaire

Des ACCESSoires nécessitant des courants importants peuvent posséder leur propre alimentation si cela est nécessaire. Dans ce cas, et de façon à satisfaire le protocole, il est nécessaire de prévoir un circuit de power on reset capable de «reseter» l'ACCESSoire quand l'alimentation du bus est présente.

Les valeurs de courants disponibles

Les (alimentations) ordinateurs équipés de port ACCESS.bus doivent être capables de fournir un minimum de 50 mA et un maximum de 1 A. Une limitation de courant (ou de sur-courant) doit être prévue et des informations sur le produit lui-même doit indiquer ses performances.

Les courants consommés et capacités par ACCESSoires

Chacun des «ACCESSoires» compatible à l'ACCESS.bus doit comporter clairement sur son boîtier la valeur du courant qu'il est sensé consommer et la capacité de charge qu'il représente sur les fils SDA et SCL.

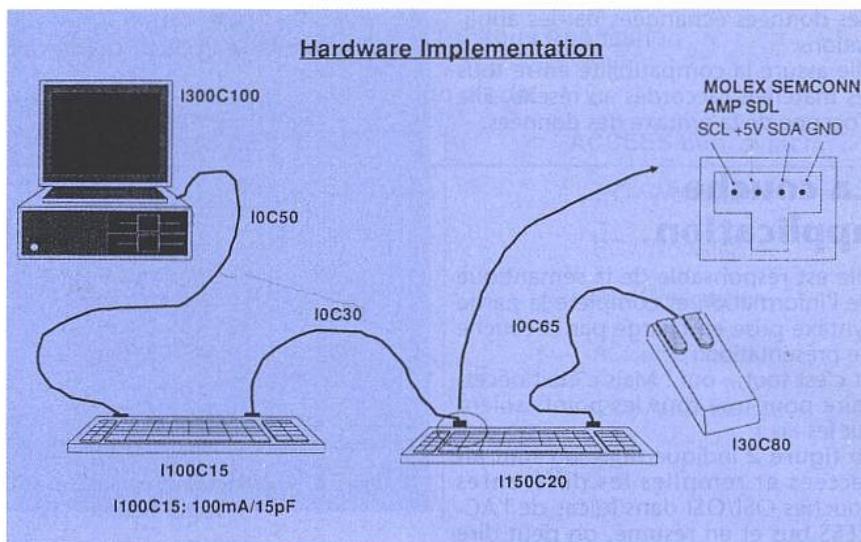


Figure 4 : chainage de plusieurs périphériques ACCESS.bus.

Cette recommandation permet rapidement de quantifier un réseau. Un exemple de concept est donné en figure 4.

Configuration du réseau

Le nombre maximal d'éléments

Le nombre maximal d'éléments ACCESS.bus permis sur le bus est de 125. Contrairement à ce que vous pourriez croire, la limite ne vient pas du fait qu'avec 125 éléments on ne voit plus son bureau, mais simplement de la limite de la gamme d'adressage des composants et du courant maximal que peut fournir l'ordinateur.

La configuration

La configuration physique du réseau doit satisfaire (au moins) les deux conditions suivantes :

- a) La somme des courants consommés par tous les éléments branchés sur le réseau ne doit pas excéder le courant maximal que peut fournir l'ordinateur (ah !, que c'est beau le bon sens...).
- b) La somme des capacités de «charge» de tous les éléments (câbles inclus) ne doit pas dépasser 800 pF (avec une source de courant de 3 mA).

Bien que le débit nominal de l'ACCESS.bus soit inférieur à 100 kbits par seconde, vous pourrez remarquer, au chapitre concernant l'I2C, que cette valeur correspond à celle de l'I2C en mode rapide 400 kbits par seconde.

La longueur des câbles

Il n'y a pas de contrainte théorique et officielle de longueur maximale de câble. Les seules limitations physiques sont celles imposées d'une part par les spécifications du bus I2C (principalement pour satisfaire la valeur de son temps de montée entraînant la valeur de 800 pF sous 3 mA max.) et, d'autre part, que la chute de tension du 5 V reste dans les spécifications des +/- 10 % pour les ACCESSoires en dépit de leurs consommations maximales.

Généralement, sans autres formes de procès, la longueur «maximale» des câbles est de l'ordre de 8 m.

Les EMC et ESD

Les EMC

L'écran du câble et le boîtier de la prise ET de l'alimentation en UN SEUL point DANS l'ordinateur.

L'écran devrait être gardé séparé de la masse de l'alimentation et de la masse logique à l'intérieur des câbles ACCESS.bus.

L'écran est isolé de la masse logique par une résistance de valeur minimale de 100 Ω à l'intérieur de chaque élément du réseau.

Le filtrage radio-fréquence doit être assuré par l'ordinateur au départ des fils du bus.

Les ESD (résistances série)

Du fait de l'emploi de sources de courant (pour augmenter la charge capacitive du bus), la valeur maximale des résistances à insérer en série, pour chacun des éléments connectables sur le bus avec chaque fil SDA et SCL (voir figure 5) est limitée à 100 Ω.

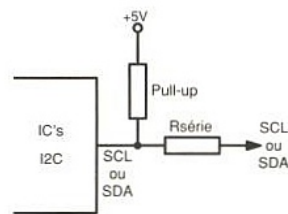


Figure 5

Ces résistances ont pour effet de filtrer légèrement les signaux et d'assurer une meilleure protection contre les phénomènes engendrés par les décharges électrostatiques.

Et, pour terminer cette partie, le niveau de compatibilité I2C.

«Sans autre indication mentionnée dans cette spécification (ACCESS.bus), les interfaces matérielles reliées à l'ACCESS.bus doivent être compatibles et conformes à toutes les spécifications du bus I2C publiées par Philips».

C'est clair et sans équivoque ! Après ce hors-d'œuvres à fortes tendances hardware, nous allons passer à la partie un peu plus délicate orientée software.

LE CONTENU DU PROTOCOLE

Ce contenu est le second fondement profond de l'ACCESS.bus.

Il se compose de deux grandes parties très distinctes qui ont pour nom : ACCESS.bus BASE PROTOCOL et ACCESS.bus APPLICATION PROTOCOL.

L'ACCESS.bus Base Protocol

Autant le protocole I2C était le cœur de la partie électrique, autant le BASE PROTOCOL sera l'âme de l'ACCESS.bus.

Il assure, comme indiqué précédemment, les couches 2 et 3 du modèle OSI/ISO.

A ce titre, sa fonction est commune à tous les périphériques (ACCESSoires) et définit les messages de COMMANDES et de STATUS échangés entre les éléments et le contrôleur de protocole qui sont utilisés principalement pour :

- reconnaître et configurer chaque périphérique relié au système (à la mise sous tension ou pendant la marche normale) ;
- assigner à chaque périphérique un identificateur unique.
- connecter le «device drivers» approprié pour mettre en action le programme d'application spécifique associé pour qu'il puisse discuter avec son périphérique dédié.

Axiome numéro 1

Dans le cadre du protocole ACCESS.bus, chaque élément participant est foncièrement un maître tacite (donc un «maître émetteur») qui, lorsqu'il n'a rien à dire, se positionne en «esclave récepteur».

Ceci sous-entend donc que, dans l'éventail des possibilités que possède le protocole I2C (représenté au tableau de la figure 6), deux d'entre elles sont ignorées, au moins, pour des applications directes de l'ACCESS.bus mais, par contre, peuvent très bien être utilisées par le même micro-ordinateur pour commander à l'aide des mêmes fils (mais à des adresses différentes), comme nous le verrons plus loin, pour commander des composants I2C standards.

Axiome numéro 2

Le fait, pour chacun des éléments, de devoir être un «maître» impose directement de structurer le protocole et le réseau sous sa forme «multimaster» et donc de gérer les problèmes de synchronisation et d'arbitrage du bus. Que fait un réseau, sinon que de transporter des messages ?

Alors, pour commencer, examinons le format de ceux-ci.

PC ADDRESS ALLOCATION TABLE

A6-A3	A2-A0							
	0	1	2	3	4	5	6	7
0	General call address	Reserved						
1								
2	PCF8200* SAF1135	SAA5243* SAA5245*	SAA9068L		SAA9020*			
3							SAA1136!	
4	SAA1300L TDA8444L PCF8574L							
5								
6								
7	PCF8576L PCF8574L SAA1064L		PCF8577!	PCF8577A!	PCF8576* PCF8579*		PCF8566L	
8	TDA8420L TDA8421L TEA6300(T) TEA6310(T)	TDA8425!	TDA8045*		TDA8422! TDA8461L	SAA9050* SAA9051*	SAA9062* SAA9063* SAA9064*	
9	TDA8440L PCF8591*							
A	PCF8583* PCF8570* PCF8571* PCF8572* PCF8582A!							
B	PCF8570*							
C	TSA5511* SAB3035* SAB3036* SAB3037*							
D	TDA8400L	TEA6000* TEA6100*	TSA6057L					
E	TDA8433L TDA8443A! TDA8573*							
F	Reserved							

Address Format: A6 A5 A4 A3 A2 A1 A0 RW Legend: * - R/W, ! - W, - R

Figure 6 : allocation des adresses selon les circuits I2C.

CAO
sur PC/AT et compatibles

PRIX "en promotion d'été"
au lieu de 4950^{FHT}

3950^{FHT}
ESSAYEZ... ET VOUS SEREZ CONVAINCUS !

COMMENT ECONOMISER SANS COMPROMIS ?

«SPICEAGE POUR WINDOWS»
logiciel de simulation & d'analyse analogique sur PC

Une documentation complète et une disquette de démonstration interactive sont à la disposition GRATUITE des établissements d'enseignement et les professionnels de l'électronique, et au prix de 150 F TTC franco pour les particuliers.

Multipower

22, rue Emile Baudot
91120 PALAISEAU
FRANCE

Tél. : (33) 1.69.30.13.79
Fax : (33) 1.69.20.60.41
Télex : 603 103 F

DISTRIBUTEUR EXCLUSIF DE TATUM LABS

Format du message

Le format du message est présenté sous deux formes différentes aux figures 7 et 8, la première sous sa forme conventionnelle I2C et l'autre sous une forme plus spécifique «ACCESS.bus» (décrite ici octet par octet), dans laquelle ont été omises volontairement les représentations des conditions de START, de STOP ainsi que les ACKnowledges, pour rendre plus lisible le contenu des octets.

Fréquemment, nous utiliserons cette dernière présentation pour décrire les valeurs à charger dans ces octets.

Comme vous avez pu vous en rendre compte, le contenu des octets n'a plus le même sens que celui du protocole I2C stricto-sensus.

La seule chose conservée à ce niveau est le fait que les bits de poids FORT sont envoyés en TÊTE.

Le premier octet

En effet, bien que le premier octet décrive encore l'adresse du destinataire (esclave récepteur) du message (127 adresses disponibles mais, attention, seulement 14 ACCESSoires auront seulement le droit d'être présents en même temps), le deuxième octet a pour mission d'indiquer l'adresse du maître émettant.

Le dernier bit de ce premier octet est toujours un zéro, ce qui signifie que celui qui vient de démarrer un échange désire «écrire» ou, encore, souhaiterait démarrer un échange.

Nous avons donc affaire à un système potentiellement multi-maîtres.

Le deuxième octet

Le deuxième octet déclare l'adresse de la source qui désire émettre. A noter que cette possibilité n'existait pas précédemment de façon explicite dans le protocole I2C et que de nombreux utilisateurs, fonctionnant en mode multi-maîtres, l'avaient déjà instaurée.

Le troisième octet

Le MSB du troisième octet contient un «Protocol Flag» (Pr) ayant pour but de déclarer le type de contenu du message envoyé :

Pr = 0 : ce ne sont que des données.
Pr = 1 : ce ne sont que des ordres de commandes ou d'états.

Les autres bits de cet octet indiquent le nombre d'octets de données qui vont suivre (de 0 au maximum de 127 octets).

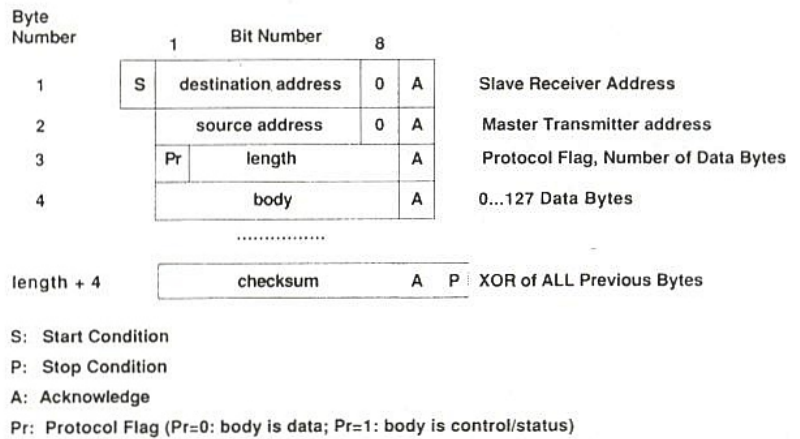
Les autres

Suivent ensuite les octets transportant les informations désirées.

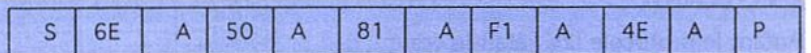
Le dernier

Enfin, le wagon de queue de tout ce petit train contient une «checksum» construit en faisant un XOR (un «OU exclusif») de TOUS les octets précédents (y compris l'octet d'adresse). La checksum doit être calculée de sorte que le XOR de tous les octets précédents soit égal à zéro.

Message Format



■ Figure 7 : format du message I2C.



S - START signal

6E - destination address (device default)

A - acknowledge pulse from receiver

50 - source address (computer)

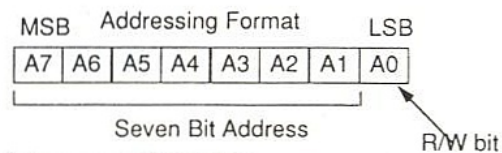
81 - control/status length 1

F1 - Identification Request

4E - checksum

P - STOP signal

- Follows I2C addressing format
 - bits 7 through 1 form a 7 bit address
 - bit 0 is always zero indicating a master transmitter (write) operation



■ Figure 8 : format du message ACCESS.bus.

Un exemple de ce petit train est donné figure 8.

Tout cela n'étant pas trop compliqué dans son principe, commençons maintenant à examiner les contenus des deux premiers octets des messages (le jeu d'adresses) qui ne sont pas aussi innocents que l'on pourrait le croire à première vue.

Le jeu d'adresses disponibles

Les adresses de l'ACCESS.bus suivent celles de l'I2C standard sur 7 bits (voir figure 9). Les adresses sur 10 bits ne sont pas permises.

Le huitième (LSB) sera toujours à zéro, comme indiqué précédemment, afin d'être en position de maître émetteur (ou d'écrire). Nous aurons donc toujours des adresses paires pour les adresses destinataires ou sources.

Pour les ACCESSoires de l'ACCESS.bus, un champ d'adresses a été réservé parmi les 128 possibles. Il s'agit (voir figure 6) de :

50 h pour l'ordinateur «host» d'accueil (mini, PC workstation...), puis 6 Eh comme adresse par défaut de TOUS les ACCESSoires à leur première mise sous tension et, enfin, 52 h à 6 Ch, soit quatorze adresses possibles qui seront assignées par le host à l'ACCESSoire selon son bon vouloir.

A noter que ce champ était laissé libre dans la table d'allocation des adresses proposées par PHILIPS pour l'usage de microcontrôleurs sans faire de recouvrement d'espaces avec d'autres types de composants I2C.

L'implémentation de l'ACCESS.bus sur un système doit au minimum tenir compte de ces adresses mais peut aussi tenir compte de l'intégralité du champ offert par l'I2C après s'être assuré que ces adresses ne sont pas utilisées par d'autres équipements.

Dernière remarque concernant les adresses : le bit de poids le plus faible de l'adresse source a été positionné à zéro mais n'a pas de signification particulière (à ce jour) en attendant une extension du bus si jamais elle ait lieu un jour.

Passons donc aux différents types de messages pouvant se présenter.

Les différents types de messages

Le protocole ACCESS.bus définit huit types de messages différents qui sont résumés sur le tableau de la figure 10. Tel quel, ce tableau n'avoue pas du tout toutes ses subtilités cachées. Pour bien en saisir les nuances, il est nécessaire d'entrevoir ce tableau sous deux éclairages distincts.

1) En un premier temps, quel est le sens profond individuel de chacun des messages ?

2) En une deuxième étape, quelles sont les imbrications qui peuvent et/ou doivent exister entre eux par tranche de temps, notamment lors des différentes procédures de configuration (à la mise sous tension ou bien pendant le fonctionnement normal de la machine) ou encore pendant l'activité normale du système ?

Signification individuelle des messages

Les messages qu'envoie le mini-ordinateur VERS l'élément :

a) Requête d'identification

L'ACCESS.bus est un réseau à topologie de bus qui utilise une chaîne unique d'identification pour distinguer les éléments entre eux.

Ces chaînes de caractères sont structurées de la façon suivante :

Révision de protocole : 1 octet ex «A»
Révision du module : 7 octets ex «V1.0»

Nom du fabricant : 8 octets ex «DEC»
Nom du module : 8 octets ex «LK501»
Numéro de l'élément : 32 bits, entier signé de 32 bits.

La révision du protocole devra être utilisée pour indentifier l'implémentation du protocole pour le mini-ordinateur host. Cette spécification définit la révision «A» (41 h). Les nouvelles révisions devront être approuvées par l'ACCESS.bus Industry Group.

La révision du modèle, du nom du module, du nom du vendeur, sont justifiés en chaînes de caractères ASCII. Le contenu de ces champs devrait être déterminé par le nom du fabricant.

La chaîne de caractères représentant le numéro de l'élément devra être un entier signé de 32 bits complété à 2 et, à ce titre, sera soit un nombre aléatoire si il est négatif, soit un numéro de série unique s'il est positif.

Ceci demande quelques explications : Il est important de remarquer que le host computer ne devrait jamais se fier uniquement à la chaîne de caractères «hardware» d'un élément pour définir qui il est. En effet, pour définir avec précision qui il est vraiment, l'host computer a besoin de recevoir la chaîne de caractères de ses «possibilités» spécifiques pour savoir réellement à qui il a affaire.

Nombre aléatoire ou numéro de série unique ?

Souvent, les numéros de série «uniques» sont difficiles à gérer et coûtent

Pr = 1

Command byte is byte # 4 of message

COMPUTER-TO-DEVICE		DEVICE-TO-COMPUTER	
COMMAND	OPCODE	COMMAND	OPCODE
Reset ()	0 X F0	Attention (status)	0 X E0
Identification Request ()	0 X F1	Identification Reply (ID String)	0 X E1
Capabilities Request (offset)	0 X F3	Capabilities Reply (offset, data fragment)	0 X E3
Assign Address (ID string, new address)	0 X F2	Interface Error ()	0 X E4

■ Figure 10 : messages du protocole de base standard, Access.bus.

tent cher à implémenter, mais permettent une identification aisée et rapide entre deux sessions de travail (par exemple lorsque tout l'ensemble a été arrêté puis remis en route).

Le but d'un nombre aléatoire de 32 bits (négatif) consiste à ce que le logiciel de «management» de l'ACCESS.bus puisse différencier plus facilement deux éléments qui auraient le même firmware. Pour information, compte tenu des dispersions pouvant exister dans les quartz et résonateurs en céramique, un «pseudo» nombre aléatoire peut être créé et comptant, pendant un certain temps, les coups d'horloge du quartz au démarrage du microcontrôleur gérant le protocole de l'access-bus.

Attention donc, si vous voulez créer vous-même un composant I2C relié à l'ACCESS.bus.

b) La requête d'information de performance de l'élément («capabilities»). Les performances d'un élément consistent en un jeu d'informations qui décrit avec précision les caractéristiques fonctionnelles d'un périphérique ACCESS.bus.

Le but de ces informations servent au logiciel pour qu'il reconnaisse et utilise au mieux les qualités spécifiques de l'élément considéré.

Les informations de performances fournissent ainsi un niveau d'indépendance et de modularité à l'élément.

La structure de l'information de performances est conçue pour être simple, compacte, efficace mais aussi extensible pour supporter de nouveaux éléments sans qu'il soit nécessaire de changer les logiciels ou des éléments existant précédemment.

Les informations de performance seront représentées par une chaîne de caractères ASCII construite à partir d'une grammaire simple et facile à lire. Ces informations seront permanentes et décriront les modes potentiels d'opérations et les caractéristiques spécifiques de l'élément.

Du point de vue du périphérique ACCESS.bus concerné, ces informations consisteront en une simple chaîne de caractères (octets) qui sera transférée vers le host-computer à sa demande lors des phases de requête et d'envoi des informations de performances.

Tous les objectifs exposés ci-dessus sont supportés en élaborant une chaîne de caractères structurée, hiérarchisée, représentant ces performances et

dont les trois premiers paramètres doivent être envoyés impérativement dans l'ordre suivant lors des 64 premiers caractères émis :

prot ()
type ()
model ()
...
...

Voir plus loin un exemple détaillé.

Syntaxe et sémantique

Examinons maintenant plus en détails la syntaxe et la sémantique de cet échange.

Les informations de performances sont construites autour d'une chaîne de caractères ASCII (la totalité des 8 bits étant prise en compte) et de la grammaire suivante :

1) Les termes utilisés pour la grammaire sont : «STRING», «TAG», «WS», "((", "et")".

2) «WS» est une séquence de un ou plusieurs caractères «blancs» d'espace-temps SPACE, TAB, RETURN ou LF.

3) Un STRING est une chaîne de caractères ne comprenant pas de blanc.

4) Un TAG est un STRING suivi immédiatement par une "("

5) Les parenthèses ouvertes et fermées "(("et")" sont utilisées pour former des groupes.

6) La grammaire permet les constructions suivantes :

performances ::= (chaîne de performances)

(chaîne de performances) ::= STRING

(chaîne de performances) ::= STRING WS STRING

(chaîne de performances) ::= TAG STRING

(chaîne de performances) ::= TAG STRING)STRING

Les messages qu'envoie l'élément vers le computer

Ces messages seront détaillés ultérieurement. Ce sont :

- a) message d'attention
- b) réponse d'identification
- c) réponse d'éléments de performance
- d) message d'erreur

Voici terminé le descriptif général des différents types de messages qui s'échangent entre le mini-ordinateur et les éléments du réseau local répondant au protocole ACCESS.bus.

Comme nous vous l'avons signalé, maintenant que vous connaissez la signification du contenu de ces messages, il s'agit alors d'en connaître la grammaire permettant de les lier entre

eux pour former des phases particulières intelligentes et structurées d'échanges d'informations.

Les différentes phases de configuration du système

Les grands principes étant acquis, il est bien naturel d'espérer que le système puisse un jour fonctionner ! Pour cela, aucun des éléments n'ayant des dons de double vue (que ce soit l'host ou les éléments potentiellement instables sur le bus), aucun d'entre eux ne sait avec qui il aura l'insigne honneur d'être en relation. De ce fait, un jeu de «questions-réponses» devra s'instaurer afin d'établir les présentations de bon aloi nécessaires au bon fonctionnement de l'ensemble.

Aussi, afin de connecter le bon élément présent sur le bus, lui assigner une adresse unique, lui associer son «driver» logiciel adéquat, veiller sans arrêt à la configuration instantanée mais évolutive des participants, il est indispensable de créer des règles... du jeu qui commence dès la mise sous tension du mini-ordinateur.

a) Phase de power up et/ou d'initialisation (reset)

Lors d'une mise sous tension ou lors d'un reset, afin de s'assurer qu'il n'y ait pas de vilains petits éléments qui répondent par autre chose que leurs adresses par défaut, le mini-ordinateur enverra un message de reset vers toutes les adresses I2C dans la gamme de toutes les adresses possibles pour l'ACCESS.bus.

Si, lors de son utilisation, l'utilisateur reconfigure l'ACCESSoire, celui-ci, lors de cette manœuvre, devra reprendre son adresse par défaut et signaler à nouveau sa présence par un message d'attention sans changer ni sa chaîne d'identification, ni son numéro de série.

b) Phase d'identification

Cette phase est assez intéressante car elle met en lumière certaines particularités du protocole I2C.

En effet, pour commencer à assigner les adresses spécifiques et uniques aux différents éléments, l'ordinateur envoie un message de requête d'identification à l'adresse par défaut des éléments.

A la première mise sous tension (et il y en a toujours une !), catastrophe, la totalité des éléments répondent en chœur !

Ce chœur est parfait. Non seulement ils se sont tous reconnus, mais, en plus, tous veulent répondre en même temps et si, par exemple, vous avez plusieurs éléments identiques, peut-être la même chose !

Eh bien non ! Ouf, nous avons eu chaud !

Ceci, pour au moins deux raisons : Dans la chaîne d'identification, à même type d'élément, le numéro de série (ou le nombre aléatoire) de chacun d'entre eux sera unique et, bien que pendant une longue série d'octets tous les messages renvoyés puissent être les mêmes et se chevaucher, il y aura forcément un «certain» bit dont le contenu sera différent.

A cet instant précis, la procédure d'arbitrage du protocole du bus I2C (qui, jusque-là, n'avait pas eu de raison d'intervenir) remplira alors intégralement sa mission et, ne laissant passer que le message de l'élément à poids binaire le plus faible, permettra totalement d'identifier et repérer par l'ordinateur cet élément particulier.

Ceci étant effectué, ce dernier se fera un malin plaisir, lors de l'envoi de son message d'assignation d'adresse, de tenir compte de cette singularité afin que seul l'élément en question puisse se reconnaître et en profite sournoisement pour lui assigner une adresse à son goût bien définie en se disant : «et d'un, au suivant !»

Et ainsi de suite pour tous les éléments connectés.

c) Phase des performances

Durant cette phase, un échange a lieu pour indiquer au mini-ordinateur quelles sont les performances exactes de l'élément (résolution, vitesse...).

La phase de fonctionnement normal

Après toutes ces opérations, espérons-le réussies, le système tourne normalement avec son ron-ron normal. Que se passe-t-il pendant cette phase ? L'ACCESS.bus se serait-il endormi ? Que nenni. Il ne doit dormir que d'un œil car il part en phase de surveillance du réseau.

Les timings

Après cette longue litanie concernant du protocole à forte consonnance logique, revenons à des considérations «hardware» en ce qui concerne les timings de tout ce beau monde.

Temps d'occupation du bus

Les éléments interactifs

Tout d'abord, rappelons que l'ACCESS.bus a été conçu avec pour but principal de relier des éléments d'entrées/sorties interactifs à un ordinateur.

On peut définir un élément interactif comme étant un élément qui génère des flots de données sur le bus en réponse à certaines manipulations d'un utilisateur.

De façon à assurer au mieux cette interactivité, les éléments souhaitant répondre au protocole ACCESS.bus doivent se conformer à certaines règles temporelles, à savoir :

- en tant que «maître du bus», les éléments interactifs ne doivent pas occuper le bus plus de 8 ms à la fois.

Cette valeur a été définie de façon à s'assurer que d'autres éléments aient aussi la chance d'avoir le temps de pouvoir rafraîchir l'affichage des informations présentées sur l'écran (ce qui a lieu 60 fois par seconde : 60 trames par seconde, c'est-à-dire toutes les 16,66 ms).

De même, les éléments interactifs doivent aussi laisser libre l'accès au bus pendant un minimum de 50 ms entre deux tentatives de prise de bus successives. Le but de cette démarche consis-

te à pouvoir donner, ici aussi, une chance d'accès au bus pour d'autres éléments sans avoir systématiquement à utiliser la procédure d'arbitrage électronique du bus.

Les éléments non interactifs

Les éléments non interactifs ne doivent pas occuper le bus en tant que «maître» plus de 5 ms à la fois. Cette valeur permet d'estimer facilement la limite maximale de la dimension d'un paquet de données.

Exemple : dans le cas où le bus (I2C) fonctionne à son débit maximal autorisé de 100 kbits/s, la dimension maximale d'un paquet sera de 50 caractères.

De même, les éléments non interactifs doivent laisser le bus libre pendant un temps minimum de 12 ms entre la fin d'un message et la demande pour devenir à nouveau maître.

Ces valeurs ont été choisies de façon à ce que les éléments non interactifs ne pénalisent que très peu les éléments interactifs dans leurs performances.

Avec ce choix, les éléments non interactifs sont contraints à n'utiliser que 30 % de la bande passante du bus.

Blocage du bus

Les interfaces disposées sur l'ACCESS.bus ne doivent pas maintenir plus de 2 ms la ligne SCL à l'état bas, ceci afin d'éviter le blocage des communications. Il sera donc nécessaire de prévoir dans chaque élément un chien de garde ou autre dispositif apte à surveiller et remettre le bus en état en cas de défaillance.

Les limites temporelles

Il sort du cadre de cet article de vous détailler toutes les subtilités des valeurs de «time out» qui sont prévues dans le protocole lors des resets, réponses, commandes...

Nous renvoyons les lecteurs intéressés par ce sujet à la spécification officielle du protocole.

Voilà, c'est tout (et beaucoup) pour aujourd'hui mais «protocole est protocole».

Retrouvez-vous au mois prochain pour retrouver la partie électronique de l'ACCESS.bus.

A bientôt donc.

Dominique PARET

NDLR : Notre ami Dominique Paret ayant publié chez Dunod (collection Dimotech) un ouvrage regroupant tout ce qu'il faut savoir sur l'I2C et ses extensions futures, le lecteur désireux d'approfondir ses connaissances dans le domaine s'y reportera avec profit.

GÉNÉRATION DE SIGNAUX PÉRIODIQUES PAR MICROCONTRÔLEUR

La génération de signaux périodiques

est habituellement une tâche qui est

dévolue à un processeur ou un

périphérique spécialisé. Contrairement

à ce que l'on pourrait penser, les

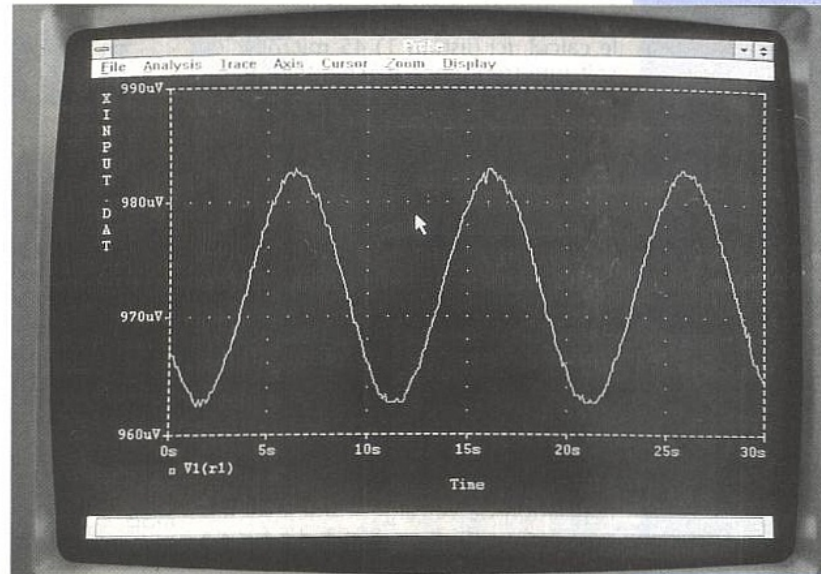
microprocesseurs modernes se prêtent

bien à la génération de signaux et ce à

des fréquences pouvant aller jusqu'à quelques kHz.

L'idée qui vient immédiatement à l'esprit quand on désire générer un signal

(pour simplifier, supposons-le rectangulaire) est d'utiliser des compteurs.



On utilise ainsi un compteur que l'on charge avec une valeur proportionnelle à la période que l'on désire obtenir, on décrémente ce compteur jusqu'à ce qu'il atteigne zéro, à ce moment-là on bascule la ligne de sortie de signal, on recharge le compteur et on recommence.

Le temps de décompte étant proportionnel à la valeur initialement chargée, on obtiendra un signal dont la période est variable et dépend de la valeur de chargement. Les microprocesseurs ont souvent des périphériques (Timers et autres Time Processus Unit) qui réalisent la fonction de décompte et de rechargement automatiquement, et qui permettent donc de réaliser ces fonctions très simplement.

Pour simple qu'elle soit, cette technique n'est souvent pas appropriée et ce pour plusieurs raisons :

- Le signal créé a une période proportionnelle à une valeur donnée, ce qui veut dire que l'on aura une bonne précision relative pour les périodes importantes, mais pour les périodes courtes la précision s'effondrera.

- Le temps de boucle dépendant de la valeur de la période, il est donc difficile de générer une salve dont la fréquence pourra être variable mais d'une durée fixe.

Une alternative existe qui permet de résoudre ces problèmes.

Sur la **figure 1**, un additionneur est rebouclé sur lui-même sur une de ses entrées via une mémoire, sur l'autre entrée est appliquée une valeur proportionnelle à la fréquence que l'on veut générer. Supposons que le nombre de bits P de l'additionneur soit 8 et que (pour simplifier les calculs) $F_c = 25,6$ kHz. Supposons encore que la valeur initiale de la mémoire soit 0.

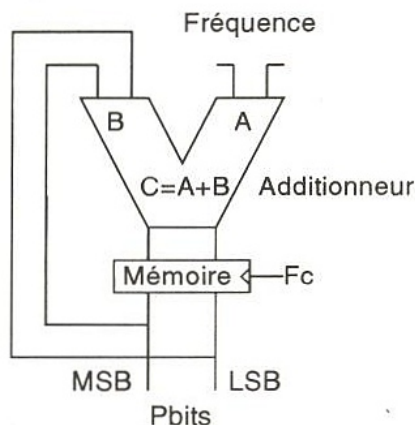


Figure 1 : la technique exploitée avec un additionneur.

Si on met la valeur 1 à l'entrée, on aura en sortie de la mémoire successivement les valeurs 0, 1, 2, ...255, 0, 1...

On fera donc «le tour complet» en 256 coups d'horloge, et donc à $25,6 \text{ kHz} / 256 = 100 \text{ Hz}$.

Si on met la valeur 2 : 0, 2, 4, 6... 254, 0... le tour complet sera donc effectué en $25,6 \text{ kHz} \times 2 / 256$ soit 200 Hz, et si on met la valeur n :

$$F = 25,6 \text{ kHz} \times n / 256 \text{ soit } F = n \times 100 \text{ Hz.}$$

Si on s'intéresse au dernier bit de l'additionneur, on voit qu'il vaut 0 pour les valeurs inférieures à 128 et 1 pour les valeurs supérieures. Il passe donc alternativement de la valeur 0 à 1 à une fréquence proportionnelle à la valeur entrée sur l'additionneur. De la même manière, si on prend l'ensemble des bits disponibles en sortie de l'additionneur, on pourra se servir de la sortie de celui-ci pour servir d'index dans un tableau dans lequel on aura préalablement stocké la forme d'onde que l'on désire générer. Si $P = 16$, le tableau aura 65536 éléments, ce qui dépasse les capacités d'adressage de microprocesseurs 8 bits, aussi on utilisera seulement une partie de la sortie de l'additionneur (les bits de poids forts) comme index dans le tableau. Si on

prend uniquement le dernier bit, on ne pourra générer que des formes rectangulaires, deux bits permettront de définir un signal comportant quatre valeurs différentes, etc.

Nous savons que l'on ne peut pas générer de fréquence supérieure à la moitié de la fréquence d'échantillonnage F_c , les valeurs d'entrée seront donc obligatoirement inférieures ou égales à $2^{(P-1)}$.

La fréquence F_c est donnée par l'inverse du temps nécessaire pour effectuer le calcul, ici (listing 1) 45 microcycles soit une fréquence d'échantillonnage de 20,48 kHz. La résolution sera donnée suivant le nombre de bits de l'additionneur par la formule suivante :
 $r = F_c / 2^p$.

Il suffit donc de prendre l'additionneur de taille suffisante pour le couple résolution/fréquence maximum que l'on désire. Dans l'exemple précédent, si on prend un additionneur sur 16 bits, on aura une résolution :
 $FC / 2^p = 0,3125$ Hz

Le LA 3 (440 Hz) correspondra donc à la valeur 1408 présentée à l'entrée de l'additionneur. Le listing 1 montre la réalisation de cet algorithme avec un processeur de type 8051. La forme d'onde générée est ici un sinus. Nous n'avons pas mis le tableau complet des valeurs du sinus (256 valeurs), aussi il faudra le compléter avant d'exécuter le sous-programme. Bien entendu, on pourra utiliser d'autres formes d'ondes ou bien même modifier celle-ci de manière dynamique... Un exemple complet de générateur de mélodie est disponible sur le serveur ERP...

J.-L VERN

Listing 1 ▶

Erratum

Plusieurs petites erreurs se sont glissées dans l'article sur l'étude des filtres en double T du N°552 (novembre). Nous vous livrons ci-après les rectifications avec toutes nos excuses.

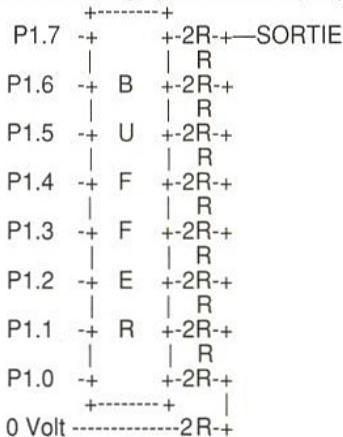
La figure 14 est donnée deux fois, la bonne est celle du bas, mais le commentaire est bon.

La figure 15 et son commentaire manquent.

Il y a deux figures 17, en fait la deuxième est la figure 20 avec son commentaire comme tout le monde l'aura compris.

Enfin la figure 30 de la page 67 reproduit la figure 28 mais le commentaire est bon (cette figure manque donc).

; La valeur binaire du signal de sortie est envoyée sur le port P1.
; Un convertisseur D/A en sortie permettra de transformer le signal digital en signal analogique. On pourra utiliser soit un convertisseur du commerce du type AD7533 ou autre ou bien plus simplement un ensemble de réseau de résistances. Dans ce cas, il faudra mettre entre le réseau de résistances et le port, des buffers CMOS de type 74HC541 ou 74HC241.
; On prendra par exemple pour la valeur 2R 22kohms, la valeur R étant obtenue en mettant deux résistances de 22k en parallèle. 6 réseaux identiques seront nécessaires, 2 pour les 8 résistances 2R, et 4 pour les 7 résistances R et la 9ième 2R. L'impédance de sortie étant élevée, il est souhaitable de faire suivre le montage par un buffer (Ampli op en suiveur ou collecteur commun).



```
RSEG SEGMENT_DATA
FREQ: DS 2
CUMUL: DS 2
DUREE: DS 2
DELAI: DS 2
MSB EQU 0
LSB EQU 1
```

; tableau des 256 valeurs de sinus obtenues de manière suivante :
; $V_i = (127 \times \sin(2 \times \text{PI} \times i / 256)) + 128$
; les 256 valeurs du sinus sont calculées avec la valeur 128 pour 0, 255 pour 1 et 1 pour -1.

```
SINUS: DB 128+0,128+3,128+6,128+9,128+12,128+16,128+19,128+22,...
```

; Génère pendant le temps DUREE la note de fréquence FREQ

```
JOUE: CLR A
```

; si la phase est remise à 0 entre chaque notes, il y a un claquement à chaque changement de notes...

```
MOV CUMUL+MSB,A ; commence avec la phase à 0
MOV CUMUL+LSB,A
MOV DUREE+LSB,A ; et une durée de 0.4 sec par note
MOV DUREE+MSB,#20H ; 8192 * 48.83 us = 0.4
MOV DPTR,#SINUS ; table des sinus
```

```
JOUEF0: NOP ; égalisation du temps de boucle
NOP
```

```
JOUEFR: MOV A,FREQ+LSB ; fréquence 1
ADD A,CUMUL+LSB ; cumul 1 + fréquence 1
MOV CUMUL+LSB,A
MOV A,FREQ+MSB ; calcule sur 16 bits
ADDC A,CUMUL+MSB
MOV CUMUL+MSB,A
MOVC A,@A+DPTR ; prend la valeur de la sinusoïde
MOV P1,A
```

; boucle d'attente de 32 cycles (peut être remplacée par la gestion d'un autre oscillateur ou par la gestion de l'enveloppe du signal ...). Cette boucle d'attente amène la durée de la boucle de calcul de la forme d'onde à 45 cycles, soit, en utilisant un quartz de 11.0592 MHz, une fréquence d'échantillonnage de 11.0592 MHz / (12 * 45) = 20.48 kHz (un cycle demande 12 périodes d'horloge). On peut augmenter ou abaisser la fréquence d'échantillonnage en diminuant ou augmentant la durée de la temporisation. La fréquence de 20.48kHz permet d'avoir le LA 440 Hz juste avec une valeur de FREQ = 1408. (1408 X 0.3125 Hz = 440 Hz)

```
MOV R0,#15 ; 1
NOP ; 1
DELAY: DJNZ R0,DELAY ; 2 * 15
```

; décrémente le compteur (sur 16 bits) de durée de la note.
; la boucle met DUREE / 20.48 kHz = DUREE * 48.83uS pour s'exécuter.

```
DJNZ DUREE+LSB,JOUEF0
DJNZ DUREE+MSB,JOUEFR
```

; 45 cycles @ 11.0592 MHz => $F_c = 20.48$ kHz. Résolution : $F_c / (2^{\wedge} 16)$

; Résolution : $F_c / 65536 = 0.3125$ Hz

```
RET
```

GÉNÉRATEURS ARBITRAIRES ET SYNTHÈSE DIGITALE DIRECTE

Les générateurs de fonctions font

depuis longtemps partie de notre

environnement en laboratoire.

Au cours du temps, ils ont bénéficié

d'un grand nombre d'améliorations. Au

départ, on trouvait juste quelques

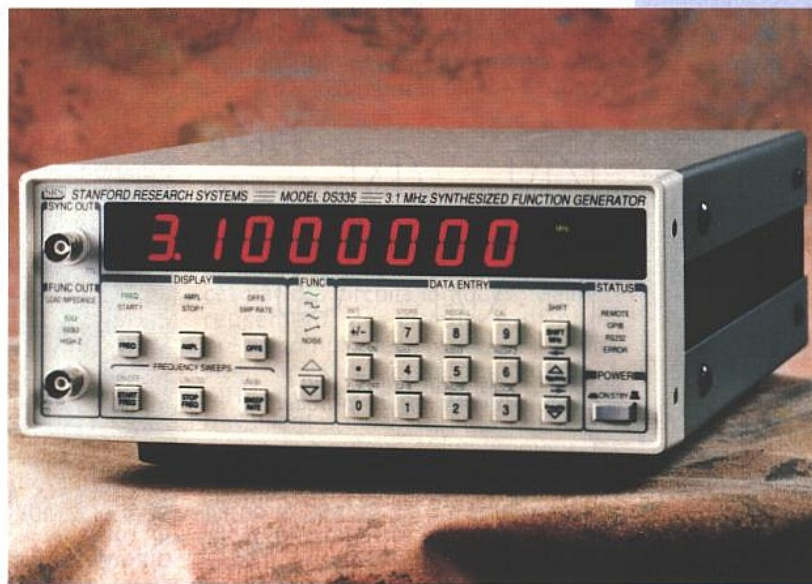
boutons pour régler l'amplitude et la

fréquence d'une sinusoïde. Aujourd'hui, les générateurs de fonctions possèdent

une gamme de fréquence plus large, des niveaux de sortie calibrés, de

nombreuses formes d'ondes, divers modes de modulation, des interfaces pour

calculateur et, dans certains cas, des fonctions arbitraires.



LA SYNTHÈSE DIGITALE DIRECTE (DDS)

Le concept de la DDS est illustré en figure 1 par le moyen dont on génère une sinusoïde. Le bloc diagramme représente un générateur DDS simplifié. La fonction sinus est mémorisée dans une RAM et convertie en sinusoïde analogique par un convertisseur numérique analogique (DAC). Les marches d'escalier visibles en sortie de DAC sont filtrées par un filtre passe-bas pour obtenir une sinusoïde propre.

La fréquence de la sinusoïde dépend de la vitesse à laquelle on change les adresses de la RAM. Les adresses sont générées en ajoutant une constante mémorisée dans le registre à décalage de phase (PIR) dans l'accumulateur de phase. Normalement, la vitesse d'addi-

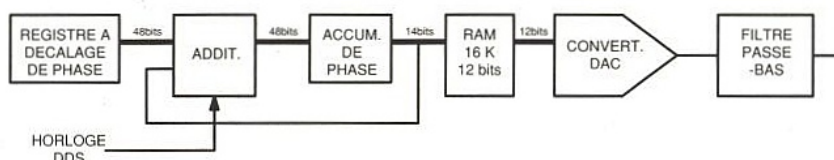
tion est constante et on change la fréquence en changeant le nombre dans le PIR.

La résolution en fréquence dépend du nombre de bits dans le PIR. Si le PIR, l'additionneur et l'accumulateur de phase supportent des additions sur 48 bits, alors la résolution en fréquence sera de une part sur 2^{47} , soit à peu près une part sur 10^{14} . Cela veut dire qu'un générateur de fonctions DDS 48 bits a une résolution meilleure que 1 μ Hz sur un signal de sortie de 10 MHz.

Quelques détails

Il y a quelques détails supplémentaires qu'il faut prendre en compte pour comprendre la DDS dans cette application.

Des questions se posent sur la fréquence d'échantillonnage, la taille de la RAM, la résolution du DAC, les caractéristiques du filtre et la pureté spectrale en sortie.



■ Figure 1 : Schéma simplifié d'un générateur DDS.

Nombre d'échantillons par cycle

Intuitivement, on peut supposer qu'un grand nombre d'échantillons par cycle sont nécessaires pour obtenir une bonne pureté spectrale en sortie. Une sinusoïde représentée par un faible nombre d'échantillons ressemble difficilement à une onde sinus. Paradoxalement, seulement trois échantillons par cycle sont nécessaires. En fait, si l'on pouvait faire un filtre passe-bas réglable de forte pente et de faible coût, deux échantillons par cycle suffiraient. Pour expliquer cela, considérons le cas où l'on a quatre échantillons par cycle (voir figure 2). La sinusoïde échantillonnée est réduite à un train d'impulsions (ou un carré, si l'échantillonnage débute à 45° au lieu de 0°).

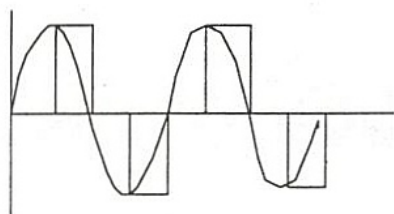


Figure 2 : Echantillonnage d'une sinusoïde quatre fois par période.

La décomposition en série de Fourier de ce train d'impulsions donne des composantes à f , $2f$, $3f$, etc. Si on élimine, à l'aide du filtre passe-bas, les composantes harmoniques, il nous reste alors le fondamental, qui est une sinusoïde pure à la fréquence f .

Dans un cas plus général, si l'on veut générer une sortie à la fréquence f en échantillonnant à la fréquence f_e , la plus basse fréquence de décomposition en série de Fourier sera $f_e - f$. Ce simple résultat devient la spécification de base du filtre passe-bas qui devra laisser passer f mais bloquer $f_e - f$.

LE FILTRE PASSE-BAS

La figure 3 montre la fonction de transfert d'un filtre passe-bas. Comme nous l'avons vu, le filtre doit laisser passer la plus haute fréquence que nous voulons générer (f_{max}), mais doit commencer à couper à $f_e - f_{max}$. Un filtre réglable à forte pente est difficile à construire et un compromis rai-

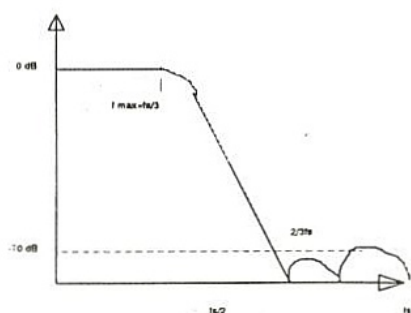


Figure 3 : Spécifications d'un filtre passe-bas.

sonnable consiste à choisir $f_{max} = f_e/3$. Cela permet d'avoir un filtre ayant une bande de transition d'une octave.

Quelle atténuation doit avoir ce filtre ? Cela dépend de la pureté spectrale recherchée en sortie. Une spécification typique pour un générateur de fonctions est de -70 dBc.

Un filtre elliptique de type Cauer est un bon choix pour cette application. Il possède une forte pente et peut être étudié pour avoir très peu de suroscillations dans sa partie passante. Pour tenir ces spécifications, Stanford utilise un filtre Cauer du neuvième degré.

Filtre de Bessel

Alors que le filtre Cauer est le meilleur choix pour les formes d'ondes continues, il est inutilisable pour les formes d'ondes arbitraires. Dans le domaine des temps, le filtre Cauer introduit une oscillation très importante. Pour les fonctions arbitraires (ou rampe et triangle), il est préférable de choisir un filtre de Bessel. Comparé au filtre Cauer, il a une pente plus faible mais il a une réponse en phase à peu près linéaire. L'absence de dispersion dans un filtre à phase linéaire préserve la forme du signal et évite toute oscillation dans le domaine des temps. Un filtre de Bessel du septième degré avec une fréquence de coupure à -3 dB $f_c = f_e/4$ est un bon choix pour filtrer une forme d'onde arbitraire. Ce filtre permet d'avoir des temps de montée en sortie de $0,35/f_c$ (comme un circuit du premier ordre).

LE CONVERTISSEUR ET LA RAM

Les RAM rapides et de grandes tailles, ainsi que les convertisseurs haute vitesse et haute résolution, ont fait de la DDS une technologie viable pour les générateurs de fonctions.

Quelle taille mémoire, quelle vitesse et quelle résolution sont nécessaires ?

Comme nous l'avons vu, la fréquence de sortie maximum est égale à $f_e/3$, ainsi l'accumulateur de phase, la RAM, et le DAC doivent tourner à trois fois la fréquence maximum désirée en sortie. La résolution du DAC dépend de la pu-

reté spectrale recherchée en sortie, son erreur de quantification et sa non-linéarité influencent directement la pureté spectrale. Ainsi, un DAC 12 bits, qui est linéaire et monotone à 2 LSB près, aura une erreur de sortie de l'ordre de une part sur 2048, soit environ -66 dB.

Une faible taille mémoire est un autre moyen d'obtenir des valeurs fausses en sortie de DAC. Pour éviter le bruit de phase, il doit y avoir deux fois plus de bits d'adresse sur la RAM que de bits sur le DAC.

Extension de la gamme de fréquence

La gamme de fréquence en sortie de DDS peut être étendue par différentes techniques. Exactement comme sur un synthétiseur de fréquence conventionnel, la fréquence peut être doublée, mélangée à une autre source fixe ou utilisée comme référence dans une boucle à verrouillage de phase.

TECHNIQUES DE MODULATION

La puissance de la DDS est d'autant plus apparente qu'il est nécessaire d'avoir une source modulée. On peut passer instantanément d'une fréquence à une autre, ceci du continu à la fréquence max, en changeant simplement de nombre dans le PIR. La figure 4 montre le bloc diagramme d'un accumulateur de phase DDS avec possibilité de modulation programmable. Cet accumulateur de phase, qui a été optimisé pour les applications de générateurs de fonctions, possède deux PIR et un multiplexeur 48 bits qui permet de passer de l'un à l'autre en un coup d'horloge. Le processeur de modulation peut modifier les PIR à une cadence de plus de dix millions de bytes par seconde, remplissant un PIR pendant que l'autre est utilisé en entrée sur l'additionneur.

Des programmes de modulation complexe peuvent être mémorisés dans la RAM de modulation. Cette mémoire contient les codes et les données nécessaires au processeur de modulation. Un balayage en fréquence illustre le fonctionnement de ce processeur. Si l'on programme un balayage en fréquence logarithmique, une liste de plus de quatre mille fréquences dis-

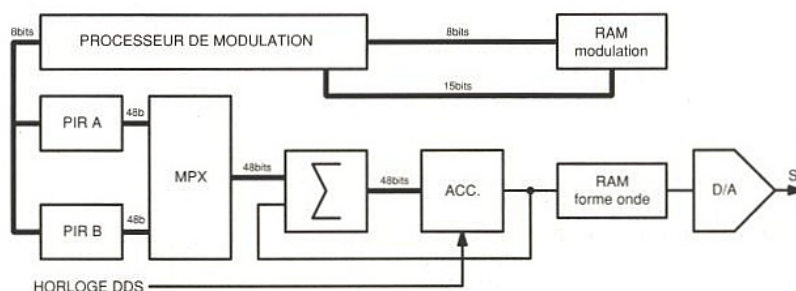
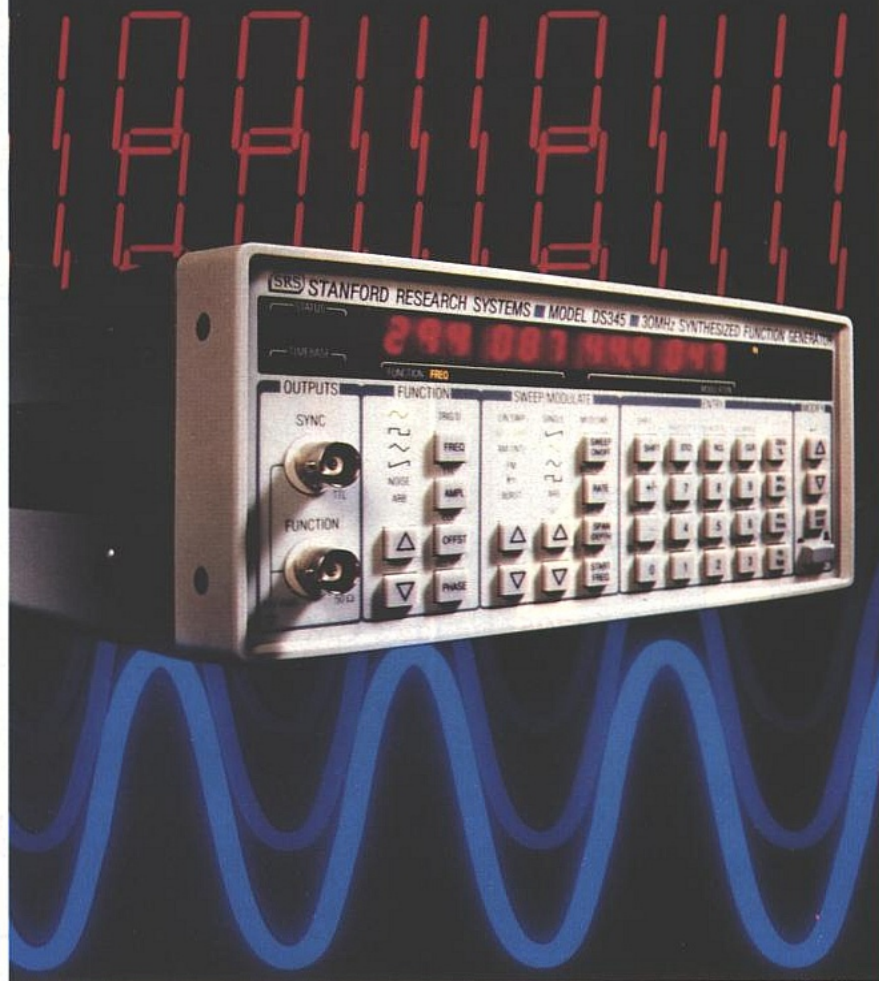


Figure 4 : Accumulateur de phase DDS avec processeur de modulation.



crètes est stockée dans la RAM de modulation par le système principal. Le processeur de modulation modifie alternativement un PIR pendant que l'autre entre sur l'additionneur.

Faire de grandes variations de fréquence ou de phase ne pose pas de problème, n'importe quel saut de fréquence ou de phase peut être effectué en un coup d'horloge.

En fait, des programmes de modulation arbitraire peuvent être stockés. Cela permet l'utilisation du générateur pour tester des modems ou des communications, de déterminer les erreurs de bits en fonction de la vitesse.

Modulation d'amplitude

Il y a deux approches possibles pour faire de la modulation d'amplitude. On peut utiliser soit la sortie digitale de la RAM, soit la sortie analogique du DAC par l'amplitude désirée. La deuxième approche est la meilleure car on peut ainsi utiliser soit une source interne, soit une source externe pour la modulation.

Fonctions arbitraires

Un avantage immédiat de l'architecture DDS est la génération de formes d'ondes arbitraires. Au lieu de stocker une sinusoïde dans la RAM, on stocke une liste de valeurs arbitraires. L'accumulateur de phase est programmé pour scruter ces valeurs les unes après

les autres pour les envoyer sur le DAC. Cette possibilité est également exploitée pour générer les autres formes d'ondes standards que l'on trouve sur un générateur de fonctions. Les rampes, les dents de scie et le bruit blanc gaussien sont réalisés de cette façon.

L'accumulateur de phase doit être étudié pour supporter certaines fonctions spécifiques. La vitesse de lecture de la RAM est modifiée par un simple changement de valeur dans le PIR. Cependant, la longueur d'enregistrement, les fonctions de déclenchement et le mode d'adressage sont spécifiques à la génération de fonctions arbitraires.

Signaux carrés

Le signal carré est un cas spécial avec la DDS. On pourrait penser qu'il suffit de charger +1 et -1 dans la RAM. En fait, cela est possible mais avec la restriction énorme que les fronts du carré soient synchrones avec l'horloge DDS. Une meilleure approche pour générer des carrés est de générer une sinusoïde propre et de la discriminer en carré. De cette façon, le signal carré aura la même gamme de fréquence et de résolution que le sinus.

AMPLIFICATEUR DE SORTIE

De façon à préserver la forme d'onde générée en mode arbitraire, l'amplificateur doit avoir une large bande pas-

sante et une réponse plate. Il doit, d'autre part, avoir une réponse en phase linéaire bien au-delà de la fréquence de coupure du filtre de Bessel. La bande passante de l'amplificateur détermine aussi le temps de montée du carré. Ici encore, une coupure propre est nécessaire pour éviter les rebondissements sur la sortie carré.

Générateur flottant

Dans beaucoup d'applications, le générateur doit être capable de produire un signal sur une charge qui n'est pas référencée à la masse. Même si la charge est à la masse, un générateur flottant aura un signal plus propre car il élimine les boucles de masse. Il est important que la sortie reste flottante en toute circonstance, même si l'interface IEEE est connectée ou si l'on utilise une référence extérieure.

ASICs

La DDS introduit une nouvelle approche pour la conception d'un générateur de fonctions. La plupart des composants analogiques sont remplacés par des circuits logiques. Malheureusement, ces circuits sont nombreux, compliqués et ont besoin d'aller vite. Par exemple, un générateur 15 MHz nécessite un additionneur 48 bits travaillant à 40 MHz, avec beaucoup de logique autour. Heureusement, les circuits intégrés pour application spécifique (ASIC) apportent une solution faible coût au problème.

Finalement, la sortie doit être capable de fournir 10 Vpp dans 50 Ω , respecter les spécifications de distorsion et de temps d'établissement, être protégée contre les courts-circuits ou la connexion sur une source extérieure. Pour générer des niveaux faibles, il doit y avoir un atténuateur de sortie. Cela permet à l'amplificateur de travailler sur une dynamique restreinte et de maintenir constante la distorsion et le rapport signal sur bruit, quel que soit le niveau de sortie.

Un prototype TTL de l'accumulateur de phase, représenté en figure 4, nécessite environ 150 circuits intégrés. Ce prototype était tout juste capable de travailler avec une horloge de 10 MHz. Un circuit «CMOS gate array» avec le même design a été fabriqué dans un seul circuit PLCC 68 broches. Ce circuit fonctionne à 40 MHz, consomme un quart de watt et coûte environ 60 F à la fabrication.

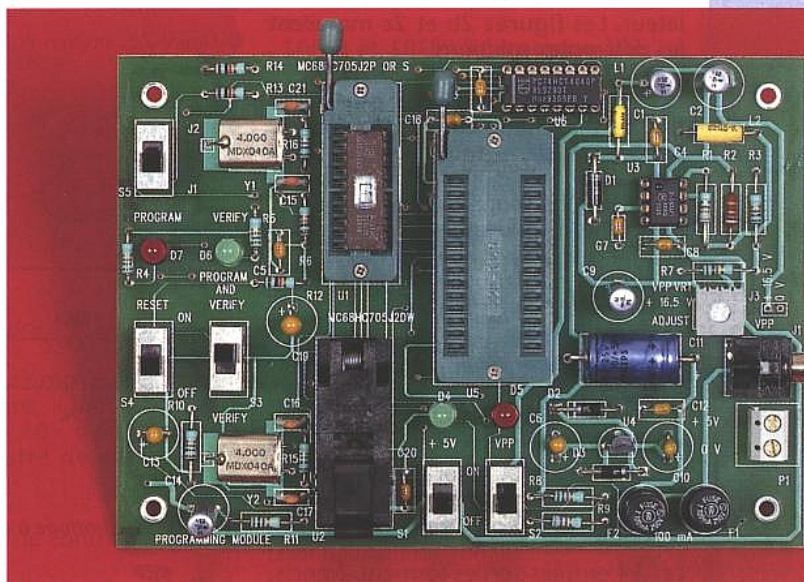
Conclusion

Les générateurs de fonctions DDS font leur apparition sur le marché. Ils offrent de nouvelles performances, à un prix plus faible, par rapport aux générateurs analogiques conventionnels. Alors que le prix des ASICs, RAMs et DACs diminuent tandis que leurs vitesse et résolution augmentent, les générateurs DDS vont être amenés à remplacer très rapidement leurs homologues analogiques.

Remi DE BAILLIENCOURT
OPTILAS

PROGRAMMATION DU MICROCONTROLEUR MC 68 HC 705 J2

L'article que nous vous proposons ce mois-ci est un programmeur pour microcontrôleur Motorola MC 68 HC 705 J2. Le microcontrôleur faible coût s'intercale dans la famille HC05 entre le P3 et le K1. Commençons par décrire ses caractéristiques avant d'en arriver à la carte programmeur proprement dite.



LE MICROCONTROLEUR MC 68 HC 705 J2

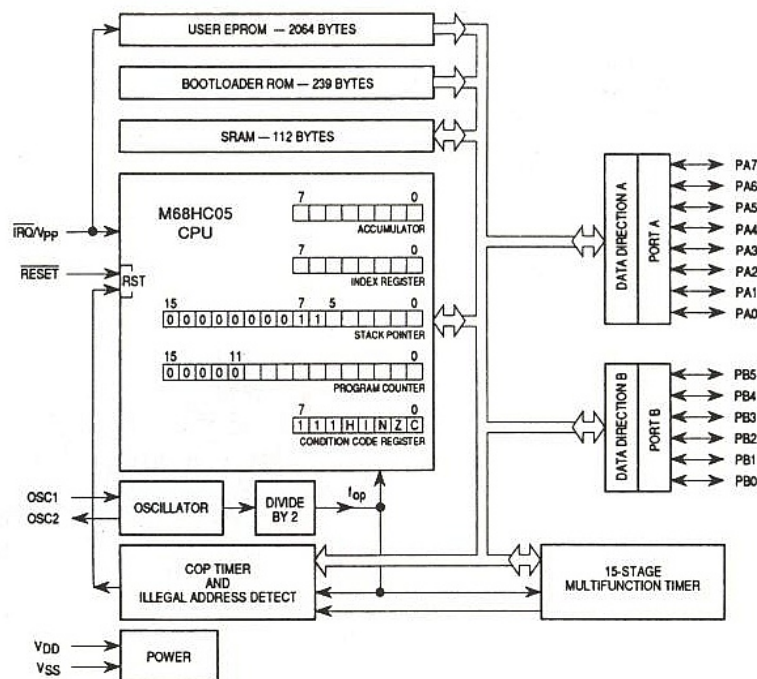
Il possède un timer (COP)
Il intègre la multiplication non signée 8 bits x 8 bits.
Il existe en boîtiers : DIP 20 broches version OTP (One Time Programmable).
50 IC 20 broches version OTP (compo-

sant monté en surface).
CERDIP 20 broches version boîtier à fenêtre.

Le schéma fonctionnel de ce microcontrôleur est donné figure 1.

Caractéristiques

Compatible avec la famille HC 05.
Les entrées-sorties appartiennent à l'espace mémoire.
Il intègre 2048 octets de mémoire EPROM (incluant les 16 vecteurs d'interruption).
Il intègre 112 octets de mémoire RAM (SRAM).
Il possède 14 lignes d'entrées ou de sorties.
Son fonctionnement est purement statique (pas de vitesse minimum d'horloge).
L'oscillateur est intégré (utilisation d'un quartz ou d'un résonateur céramique).
Il intègre un «timer» multifonctions (15 bits).
Il intègre un circuit d'interruption temps réel (RTI).
Il intègre en ROM un «bootloader» (programmation de son EPROM).
Il possède des modes faible consommation.
Il possède l'émulation du MC 68 HC 705 J1.
La nature du signal d'interruption est sélectionnable (en front ou en front suivi d'un niveau).



■ Figure 1 : schéma fonctionnel du 68 HC 705 J2.

Description des broches

La figure 2a montre le brochage de ce circuit en version DIP ou en version CMS.

VDD et VSS

Ce sont les broches d'alimentation : VDD 5 V par rapport à VSS (prévoir un découplage efficace, bon choix technologique des condensateurs, placement judicieux de ceux-ci).

OSC1 et OSC2

Ces broches servent à constituer l'oscillateur. Les figures 2b et 2c montrent les différentes solutions.

RESET

Un niveau logique «0» sur cette broche place le microcontrôleur dans sa phase de démarrage.

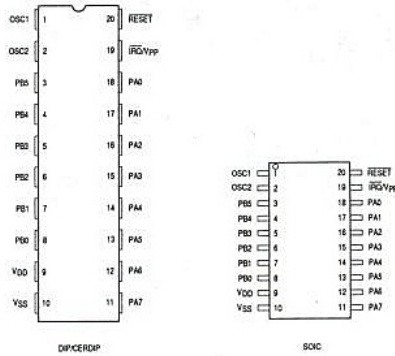
IRQ/VDD

Cette broche a une double fonction :
a) broche d'interruption externe (IRQ) asynchrone
b) broche par laquelle on applique la tension de programmation (16,5 V) de l'EPROM interne.

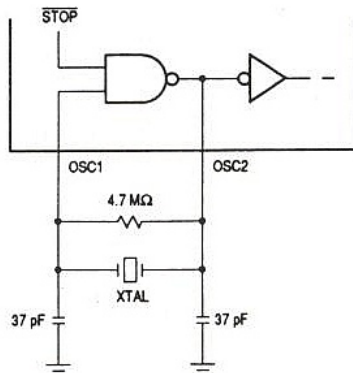
PA0-PA7

PB0-PB5

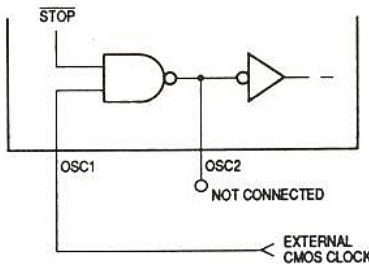
Ces broches sont les 14 entrées-sorties du microcontrôleur que nous allons décrire maintenant.



■ Figure 2a : boîtiers et brochage.



■ Figure 2b : horloge à quartz.



■ Figure 2c : horloge externe.

Les entrées-sorties

Les 14 entrées-sorties forment 2 ports, le port A et le port B.

Chaque broche est programmable en entrée ou en sortie. Le contenu du registre de direction DDR en détermine l'orientation, c'est-à-dire :

- un niveau logique «1» configure les broches en sortie
- un niveau logique «0» configure les broches en entrée.

A la mise sous tension (RESET) les broches sont toutes configurées en entrée.

Note : Les entrées non utilisées doivent être reliées aux VSS ou VDD. Les registres de données des port A et port B sont les adresses respectives \$ 0000 et \$ 0001.

Pour éliminer certains niveaux indéfinis, il est recommandé d'écrire d'abord dans le registre de données, ensuite d'écrire dans le registre de direction. La figure 3 donne le schéma fonctionnel d'une entrée-sortie.

PORT A

Le port A est un port d'usage général de 8 lignes (entrées ou sorties, c'est-à-dire bidirectionnelles).

PORT A Registre de données \$ 0000

bit 7 6 5 4 3 2 1 Bit 0

PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
-----	-----	-----	-----	-----	-----	-----	-----

non affecté par la remise à zéro (RESET).

DDR A Registre de direction \$ 0004

bit 7 6 5 4 3 2 1 Bit 0

DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0
-------	-------	-------	-------	-------	-------	-------	-------

Ces bits sont à l'état logique «0» à la mise sous tension (RESET).

«1», la broche correspondante est configurée en sortie.

«0», la broche correspondante est configurée en entrée.

PORT B

Le port B est un port d'usage général de 6 lignes (entrées ou sorties, c'est-à-dire bidirectionnelles).

Port B Registre de données \$ 0001

bit 7 6 5 4 3 2 1 Bit 0

0	0	PB5	PB4	PB3	PB2	PB1	PB0
---	---	-----	-----	-----	-----	-----	-----

non affecté par la remise à zéro (RESET)

DDR B Registre de direction \$ 0005

bit 7 6 5 4 3 2 1 Bit 0

0	0	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
---	---	-------	-------	-------	-------	-------	-------

Ces bits sont à l'état logique «0» à la mise sous tension (RESET).

«1», la broche correspondante est configurée en sortie.

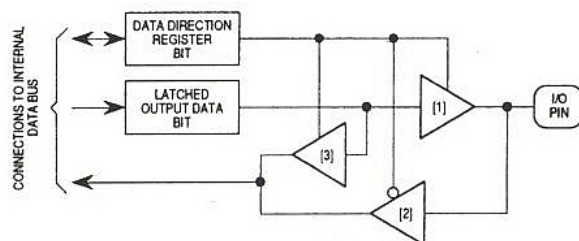
«0», la broche correspondante est configurée en entrée.

Les registres du microcontrôleur

La figure 4 montre les cinq registres de ce microcontrôleur. Les registres sont câblés et n'interviennent pas dans la carte mémoire de celui-ci.

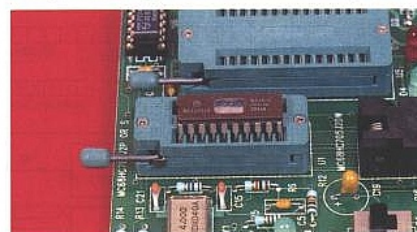
En fait, il n'y a rien de particulier, tout ce qui a été dit sur la famille HC05 s'applique encore.

Nous ne développerons pas ici l'aspect logiciel.



- [1] Output buffer enables latched output to drive I/O pin when DDR bit is 1 (output mode).
- [2] Input buffer enabled when DDR bit is 0 (input mode).
- [3] Input buffer enabled when DDR bit is 1 (output mode).

■ Figure 3 : le port d'entrées-sorties parallèle.

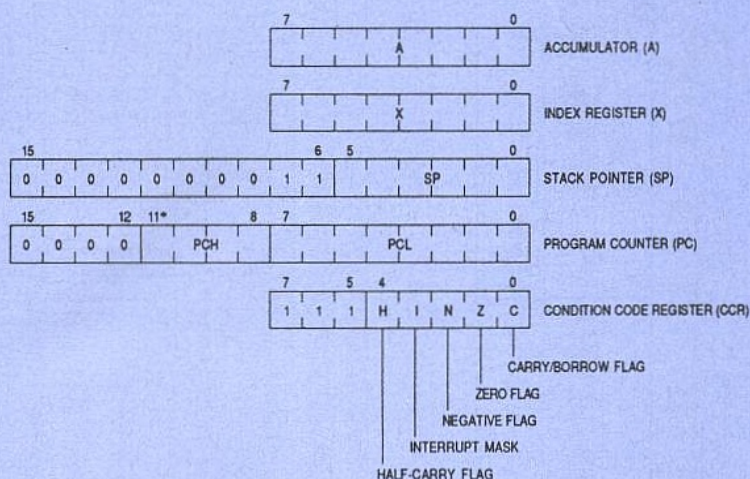


RAZ et interruptions

RAZ (RESET)

Une remise à zéro stoppe immédiatement l'exécution d'un programme. Cette action initialise certains bits de contrôle à des états logiques connus, charge le compteur programme avec l'adresse contenue dans les positions mémoire \$OFFE et \$OFFF.

Les conditions suivantes provoquent une RAZ :



■ Figure 4 : les cinq registres du 68 HC 705 J2.

- mise sous tension ;
- un niveau logique «0» appliqué sur la broche RESET ;
- une demande de COP ;
- un code opération lié à une position mémoire inexistante.

Les actions suivantes sont provoquées à la suite d'une RAZ :

- toutes les entrées/sorties sont configurées en entrée ;
- le pointeur de pile est initialisé à la valeur \$FF ;
- le bit I du registre code conditions est mis à l'état logique «1» (les interruptions sont donc désactivées) ;
- les bits TOIE et RTIE du registre de contrôle et d'état du timer sont mis à l'état logique «1» ;
- remet à «0» la bascule STOP et active les horloges du microcontrôleur ;
- remet à «0» la bascule WAIT (réveille le microcontrôleur de son état d'attente) ;
- charge le compteur programme avec l'adresse formée des contenus des positions mémoire \$OFFE et \$OFFF.

Remise à zéro à la mise sous tension (power ou reset)

Une transition positive sur la broche VDD génère une remise à zéro (en aucun cas cette action n'est utilisée pour détecter des fluctuations de l'alimentation).

Le générateur d'horloge ne sera stabilisé qu'après un délai d'environ 4064 cycles.

Si la broche RESET est encore au niveau logique «0» après ce délai, le microcontrôleur reste en phase de RAZ jusqu'à ce que ce niveau logique soit «1».

RAZ externe (External Reset)

Un niveau logique «0» appliqué pendant 1 cycle et demi provoque une RAZ.

COP RESET

Ce dispositif permet de détecter des erreurs logicielles telles que des boucles infinies. En fait, le programmeur s'engage à effacer périodiquement un compteur afin qu'il n'y ait pas débordement. Dans le cas contraire,

celui-ci génèrera une remise à zéro du microcontrôleur.

Pour effacer ce compteur et éviter cette remise à zéro, il faut mettre un niveau logique «0» dans le bit 0 (COPR) du registre de contrôle de celui-ci.

COPR Registre de contrôle \$ OFF0

7	6	5	4	3	2	1	Bit 0
-	-	-	-	-	-	-	COPR

à la mise sous tension.

Adresse illégale

Si le microcontrôleur détecte un code opération qui n'est pas situé dans l'espace mémoire de l'EPROM (\$ 0700-\$0EFF) ou dans l'espace mémoire de la RAM (\$0090-\$00FF) alors une remise à zéro est effectuée.

Interruptions

Une interruption stoppe temporairement l'exécution d'un programme après que l'instruction en cours soit terminée (une remise à zéro stoppe instantanément l'exécution d'un programme). Lors d'une interruption, les différents registres du microcontrôleur sont sauvegardés dans la pile et le compteur programme est chargé par les contenus des vecteurs correspondant au type d'interruption.

Les conditions suivantes provoquent une interruption :

- un débordement du compteur ;
- une demande du compteur temps réel ;
- un niveau logique «0» appliqué sur la broche IRQ ;
- une instruction SWI placée dans le programme.

Avant d'exécuter le programme d'interruption le microcontrôleur sauvegarde dans la pile (SP), et dans cet ordre, les registres suivants :

- le compteur programme (octet de poids faible) PCL ;

- le compteur programme (octet de poids fort) PCH ;
- le registre d'index X ;
- l'accumulateur A ;
- le registre codes conditions CCR

Ensuite le microcontrôleur :

- met à l'état logique «1» le bit I d'interruption dans le registre codes conditions (ce qui empêche de nouvelles interruptions) ;

- charge le compteur programme (PC) avec les contenus des adresses associées à la nature de l'interruption, c'est-à-dire les contenus des adresses suivantes :

- \$OFF8 et \$OFF9 interruption liée au «timer» ;
- \$OFFA et \$OFFB interruption externe (broche IRQ) ;
- \$OFFC et \$OFFD interruption logicielle SWI.

L'instruction RTI placée à la fin du programme d'interruption provoque le défilement dans l'ordre inverse bien évidemment.

Interruptions liées au «timer»

Le timer génère deux sortes d'interruption, une liée au débordement de celui-ci, l'autre liée au compteur temps réel.

(La mise à l'état logique «1» du bit I du registre code condition désactive ces deux interruptions).

Débordement du «timer»

Un débordement du «timer» est caractérisé par le fait que le bit TOF passe à l'état logique «1» (du moment que le bit TOIE est aussi à l'état logique «1»). Ces deux bits appartiennent au registre de contrôle et d'état du «timer».

Interruption «timer» temps réel

Une interruption liée au «timer» temps réel est caractérisée par le fait que le bit RTIF passe à l'état logique «1» (du moment que le bit RTIE est aussi à l'état logique «1»). Ces deux bits appartiennent également au registre de contrôle et d'état du «timer».

Interruption externe

Lorsqu'un front descendant est appliqué sur la broche IRQ, une procédure d'interruption est mise en route. Dans ce cas, le microcontrôleur termine l'instruction en cours, vérifie l'état logique «0» du bit I, commence l'exécution du programme d'interruption.

Une demande d'interruption est prise en compte par l'état d'une bascule que le microcontrôleur réinitialise avant d'exécuter le programme d'interruption proprement dit, ce qui a pour effet d'observer éventuellement une nouvelle interruption pendant l'exécution de celui-ci.

Remarque :

La nature du signal d'interruption est définie suivant l'état logique du bit IRQ du registre d'options (MOR).

Interruption logicielle SWI

Cette instruction provoque une interruption non masquable.

L'espace mémoire

Les figures 5a et 5b montrent la carte mémoire du microcontrôleur.

Le «timer»

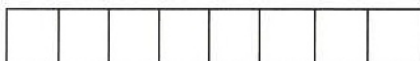
La figure 6 montre le schéma fonctionnel du «timer».

Registre compteur

Le timer est construit à partir d'un compteur à 15 étages. Les 8 premiers étages peuvent être lus.

TCR Registre compteur \$ 0009

7 6 5 4 3 2 1 Bit 0

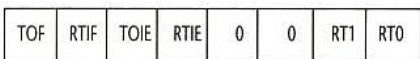


RAZ 0 0 0 0 0 0 0 0

A la mise sous tension, la totalité du compteur est effacée.

TCSR Registre de contrôle et d'état \$ 0008

7 6 5 4 3 2 1 Bit 0



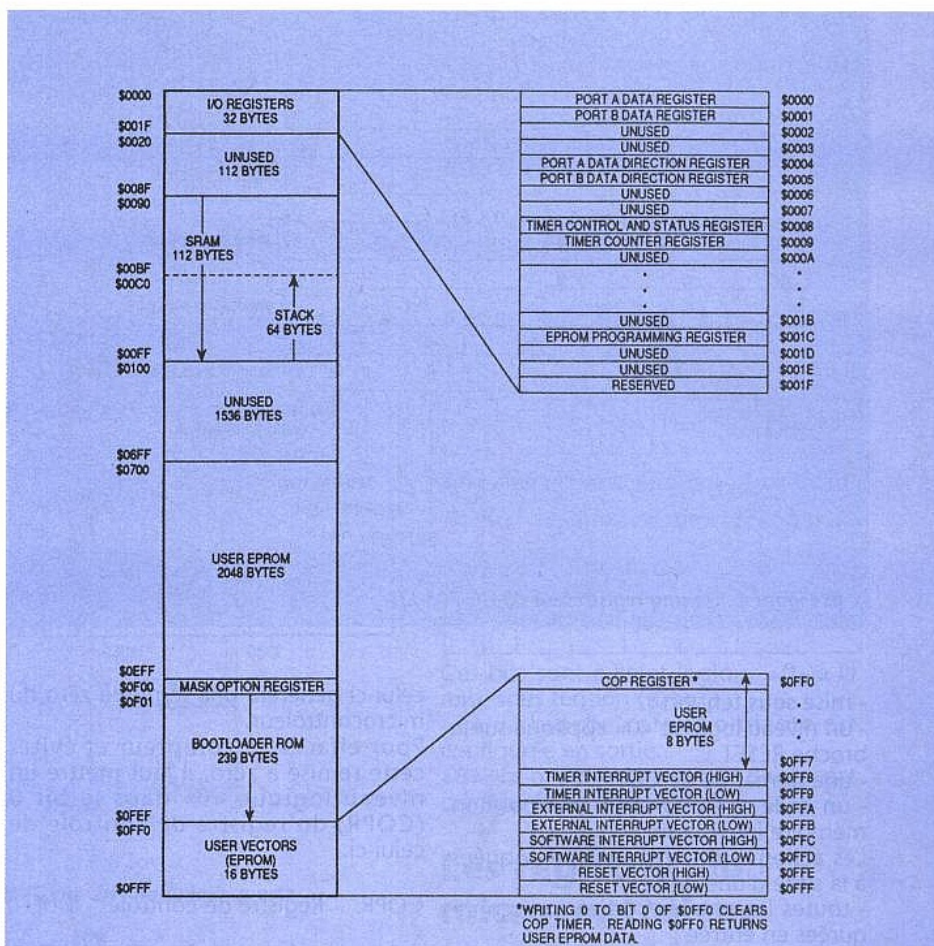
RAZ 0 0 0 0 0 0 1 1

TOF, Drapeau de débordement du «timer»

Le bit à lecture seule (effaçable) passe à l'état logique «1» lorsque les 8 premiers bits du timer passent de la valeur hexadécimale \$FF à \$00. Dans ce cas, une interruption est générée si le bit TOIE est également à l'état logique «1». L'écriture d'un état logique «0» efface ce drapeau (l'écriture d'un état logique «1» n'a aucun effet).

RTIF, Drapeau d'interruption temps réel

Le bit à lecture seule passe à l'état logique «1» lorsque la période fixée est atteinte. La période est donnée en fonction des bits RT1 et RT0 dans le tableau 1. L'interruption sera générée dès lors que le bit RTIE est aussi à l'état logique «1».



■ Figure 5a : carte mémoire.

RTIE active ou non l'interruption liée ou «timer» temps réel, c'est un bit à lecture ou écriture

1 les interruptions sont actives
0 les interruptions sont inactives.
Les bits 2 et 3 ne sont pas utilisés et occupent toujours l'état logique «0».

RT1, RT0
Les 2 bits à écriture ou lecture fixent la période d'interruption du «timer» temps réel.

timer» dépend de la période de l'interruption temps réel.

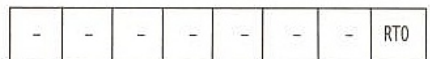
«Cop timer»

Le «cop timer» est constitué de trois étapes supplémentaires placées à la suite du «timer» principal (voir figure 6). Le «cop timer» est un dispositif logiciel de détection d'erreur qui provoque une remise à zéro si dans le programme on ne prend pas soin d'effacer périodiquement le «cop timer».

L'écriture d'un niveau logique «0» du bit COPC du registre COPR efface le «cop timer» et évite la remise à zéro.

COPR Registre cop \$ OFF0

7 6 5 4 3 2 1 Bit 0



RAZ - - - - - 0

COPC

Le bit à écriture seule efface le «cop timer».

Programmation

La programmation du microcontrôleur est effectuée par téléchargement d'une EPROM type 27C64. Le téléchargement est l'exécution d'un programme (ROM) situé aux adresses \$0F01-\$0FEF.

RT1:RT0	RTI Rate	RTI Period (f _{op} = 2 MHz)	COP Timeout Period (-0/+1 RTI Period)	Minimum COP Timeout Period (f _{op} = 2 MHz)
00	f _{op} + 2 ¹⁴	65,5 ms	7 x RTI Period	458,8 ms
01	f _{op} + 2 ¹⁵	32,8 ms	7 x RTI Period	229,4 ms
10	f _{op} + 2 ¹⁶	16,4 ms	7 x RTI Period	114,7 ms
11	f _{op} + 2 ¹⁷	8,2 ms	7 x RTI Period	57,3 ms

■ Tableau 1 : période d'interruption selon RT0, RT1.

L'écriture d'un état logique «0» efface ce drapeau (l'écriture d'un état logique «1» n'a aucun effet).

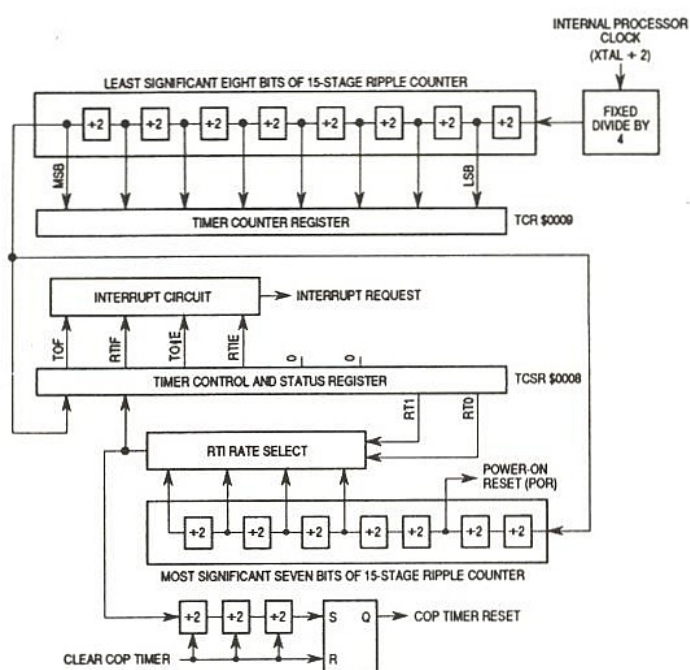
TOIE active ou non l'interruption liée au dépassement ou débordement du «timer», c'est un bit à lecture ou écriture.
1 les interruptions sont actives
0 les interruptions sont inactives.

A la mise sous tension du microcontrôleur ces deux bits occupent les états logiques «1» (c'est-à-dire la période la plus petite).

Remarques : la période doit être choisie dans les premières instructions d'initialisation du programme et non pas n'importe quand, d'autre part le «cop

Bit 7	6	5	4	3	2	1	Bit 0	
\$0000	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
\$0001	0	0	PB5	PB4	PB3	PB2	PB1	PB0
\$0002	---	---	---	---	---	---	---	---
\$0003	---	---	---	---	---	---	---	---
\$0004	DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0
\$0005	0	0	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
\$0006	---	---	---	---	---	---	---	---
\$0007	---	---	---	---	---	---	---	---
\$0008	TOF	RTIF	TOIE	RTIE	0	0	RT1	RT0
\$0009	Bit 7	6	5	4	3	2	1	Bit 0
\$000A	---	---	---	---	---	---	---	---
\$000B	---	---	---	---	---	---	---	---
\$000C	---	---	---	---	---	---	---	---
\$0019	---	---	---	---	---	---	---	---
\$001A	---	---	---	---	---	---	---	---
\$001B	---	---	---	---	---	---	---	---
\$001C	0	0	0	0	0	LATCH	0	EPGM
\$001D	---	---	---	---	---	---	---	---
\$001E	---	---	---	---	---	---	---	---
\$001F	---	---	---	---	---	---	---	---
\$0F00	---	---	---	---	---	J1	IRQ	COP
\$0FF0	---	---	---	---	---	---	---	COPR

■ Figure 5b : les registres d'entrées/sorties.



■ Figure 6 : schéma fonctionnel du timer.

Lorsqu'on utilise un microcontrôle J2, il y a recopie de 2 Koctets dans l'espace \$0700-\$0EFF de celui-ci. Dans le cas d'un microcontrôle J1 il y a recopie de 1 Koctets dans l'espace \$0300-\$06FF de celui-ci. Le programme à recopier doit impérativement être (dans la mémoire EPROM externe) placé aux adresses précisées ci-dessus (les autres étant ignorées).

Le schéma du programmeur est donné figure 7.

Il n'y a aucune difficulté particulière. Le programmeur peut être utilisé pour les circuits Dual In Line ou les versions CMS.

La programmation est la suivante :

- 1) Aucune tension n'est appliquée, S1 et S2 «Off»
- 2) Placer le microcontrôle et la mémoire EPROM 27C64 dans leurs supports à insertion nulle.
- 3) Choisir le mode de fonctionnement microcontrôle MC 68 HC 705 J2, S5 est en position J2 microcontrôle MC 68 HC 705 J1, S5 est en position J1
- 4) a) ouvrir S3 (fonctions programmation + vérification Program and Verify) b) fermer S3 (fonction vérification - verify).
- 5) Fermer S4 pour la remise à zéro du microcontrôle (S4 ON)
- 6) Appliquer la tension + 5 volts S1 «ON» (D4 s'allume)
- 7) Appliquer la tension de programmation Vpp S2 «ON» (D5 s'allume)
- 8) Ouvrir S4 pour quitter la remise à zéro du microcontrôle (S4 OFF), pendant la programmation la diode électroluminescente rouge «program» est allumée.

Lorsque la séquence de vérification débute, elle s'éteint. Si tout s'est bien passé, la diode électroluminescente verte «verify» s'allume.

Si une erreur est détectée, le microcontrôle s'arrête sur l'adresse erronée, donc lisible sur les sorties du compteur 4040.

- 9) Fermer S4 pour la remise à zéro du microcontrôle (S4 ON)
- 10) Supprimer la tension de programmation Vpp, S2 «OFF» (D5 éteinte)
- 11) Supprimer la tension + 5 volts S1 «Off» (D4 éteinte). Le téléchargement sera plus rapide si les positions mémoires inutilisées de la mémoire 27C64 contiennent des états logiques «0».

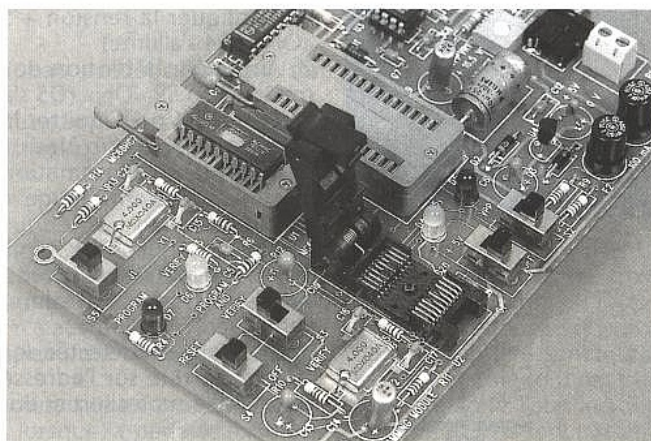
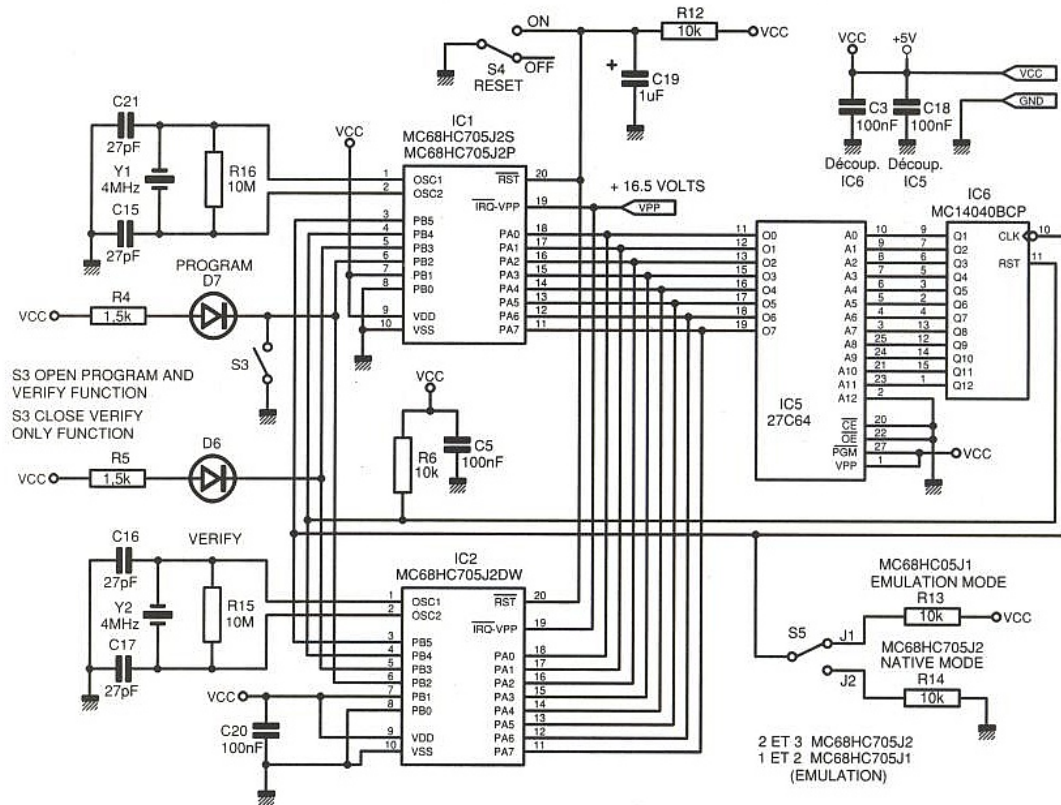
Note :

Le registre d'option MOR (\$0F00) contient trois bits qui fixent les options suivantes :

- Bit 2 : «1», émulation MC 68 HC 705 J1 «0», fonctionnement en mode MC 68 HC 705 J2.
- Bit 1 : «1» IRQ est sensible à un front et un niveau,

- «0» IRQ n'est sensible qu'à un front.
- Bit 0 : «1» «cop timer» actif, «0» «cop timer» inactif.

MOR								\$ 0F00
	7	6	5	4	3	2	1	Bit 0
							J1	IRQ
								COP



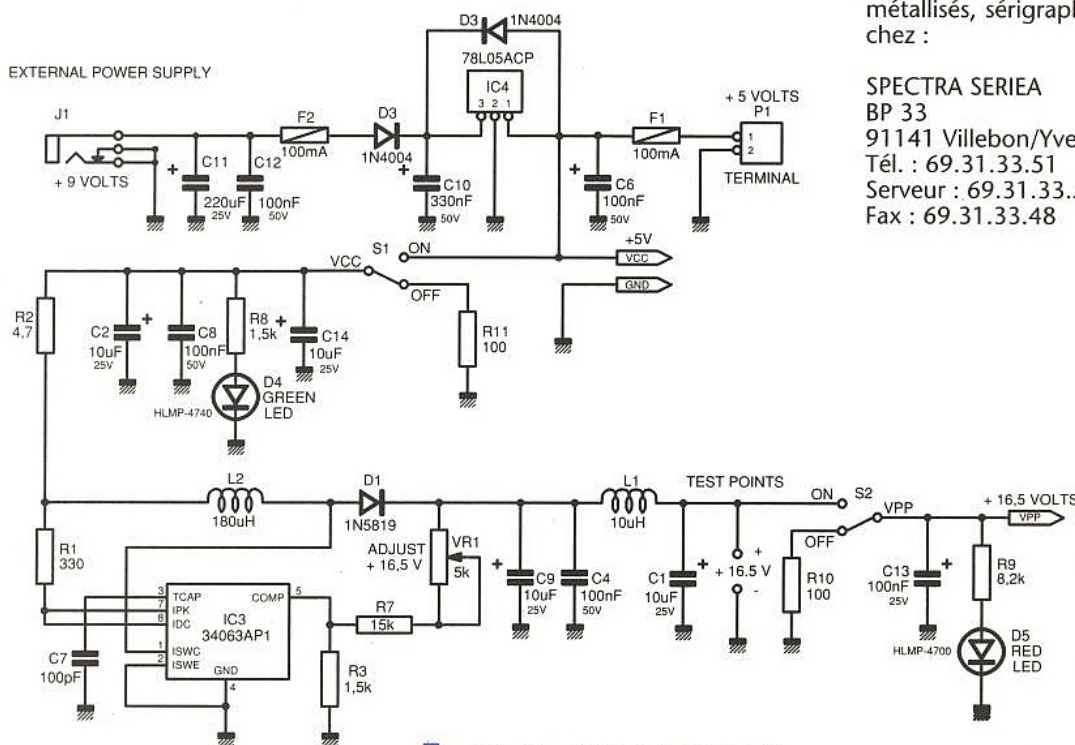
■ Figure 7 : schéma du programmeur.

Cet article termine la série d'articles consacrés aux programmeurs de quelques microcontrôleurs Motorola. Nos lecteurs retiendront qu'ils peuvent obtenir les différents assembleurs sur notre serveur 3615 ERP.

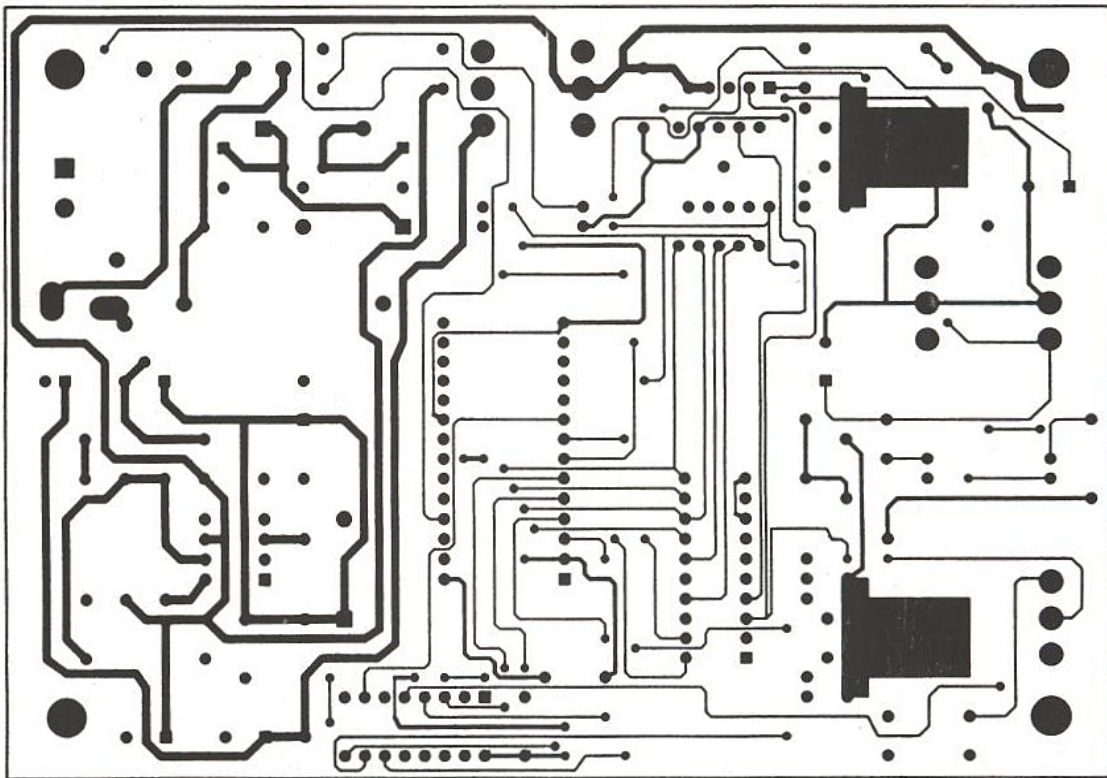
J.-P. JACQUET

La carte imprimée double face, trous métallisés, sérigraphiée, est disponible chez :

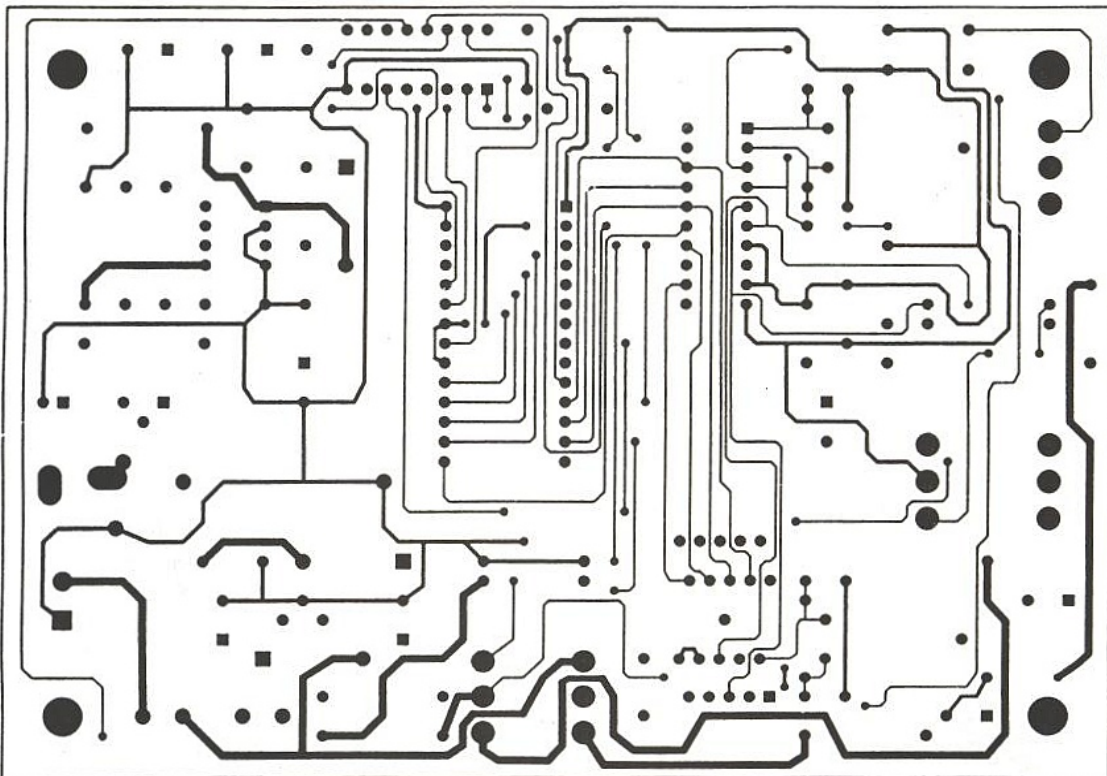
SPECTRA SERIEA
 BP 33
 91141 Villebon/Yvette
 Tél. : 69.31.33.51
 Serveur : 69.31.33.52
 Fax : 69.31.33.48



■ Figure 8 : schéma de l'alimentation.



■ Figure 8a : circuit imprimé côté composants.



■ Figure 8b : circuit imprimé côté cuivre.

NOMENCLATURE

Résistances :

R1 : 330 Ω 1/2 W 5%
 R2 : 4,7 Ω
 R3, R4, R5, R8 : 1,5 k Ω
 R6, R12, R13, R14 : 10 k Ω
 R7 : 15 k Ω
 R9 : 8,2 k Ω
 R10, R11 : 100 Ω
 R15, R16 : 10 M Ω
 VR1 : ajustable 5 k Ω

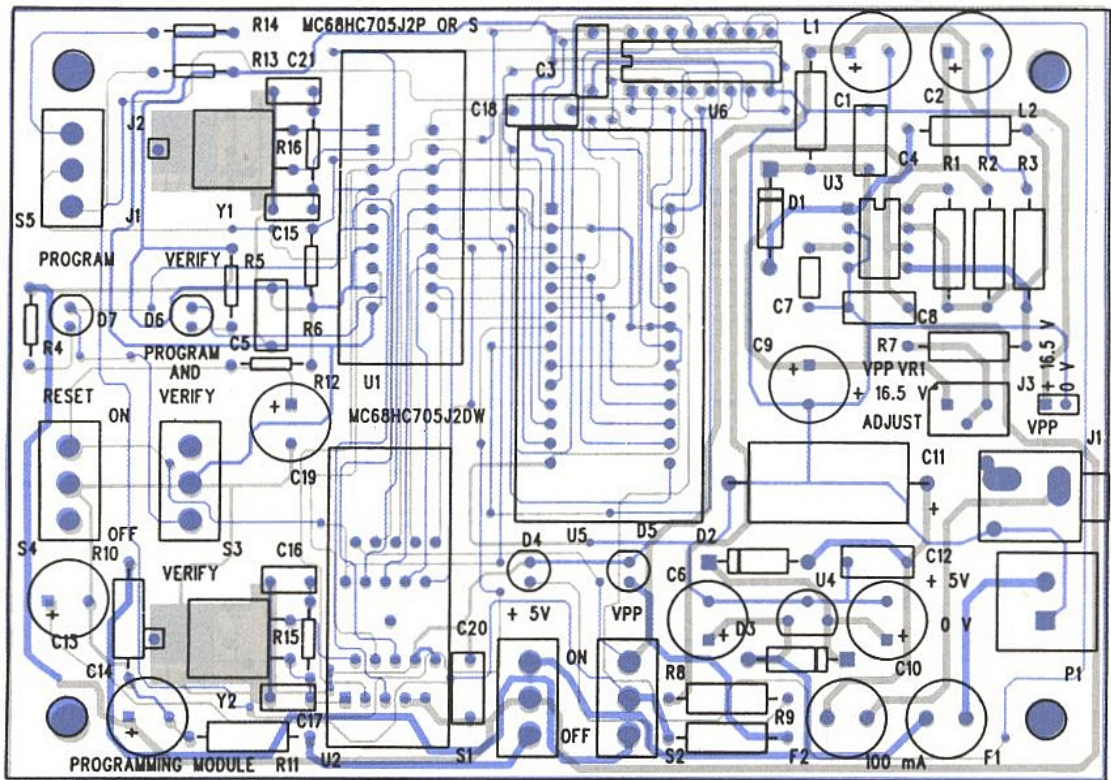
Inductances :

L1 : 10 μ H 0,2 W
 L2 : 180 μ H 0,2 W

Condensateurs :

C1, C2, C9, C14 : 10 μ F 25 V tantale goutte
 C3, C4, C5, C8, C12, C18, C20 : 0,1 μ F céramique multicouche 50 V SA10

C6 : 0,1 μ F 50 V tantale goutte
 C7 : 100 pF 100 V céramique multicouche SR15
 C10 : 0,33 μ F 50 V tantale goutte
 C11 : 220 μ F 25 V Philips série 030/031
 C13 : 0,1 μ F 25 V tantale goutte
 C15, C16, C17, C21 : 27 pF céramique plat pas 5,08
 C19 : 1 μ F 25 V tantale goutte



■ Figure 8c : l'implantation correspondante.



habille l'électronique

Ensembles guides-cartes pour série EC
 Montage très simple, il s'adapte à toutes les dimensions de circuits imprimés ; il permet un échange et un dépannage rapide des circuits, ainsi qu'une visibilité totale du montage à l'intérieur du boîtier.
 Il est composé de deux traverses perforées au pas de 2,54 mm, de deux glissières en plastique et de la visserie pour la fixation.

SÉRIE "EC"



Type/Typ	Dimensions en mm/Abmessungen in mm		
	Largeur Breite	Hauteur Höhe	Profondeur Tiefe
EC 12/07-200	120	70	200
EC 15/05-200	150	50	200
EC 20/08-230	200	80	230
EC 24/08-250	240	80	250
EC 30/12-300	310	125	300

Cette série s'enrichit de cinq nouvelles références ; des améliorations y ont été apportées : il est désormais possible d'ajouter à l'intérieur des guides-cartes et des châssis. Nous vous rappelons qu'à partir du EC 20/08-130, les boîtiers sont livrés équipés de supports pour la fixation des circuits imprimés. Ils sont disponibles soit en beige granité, soit en gris granité.

Catalogue sur notre gamme de coffrets, racks, pupitres et accessoires + liste de nos revendeurs sur simple demande.



1, boulevard de l'Oise - 95030 CERGY CEDEX
 Tél. : (1) 34.48.06.93 - Fax : (1) 34.48.06.98

Semi-conducteurs :

- D1 : 1N5819 Motorola
- D2, D3 : 1N4004
- D4, D6 : LED verte HP HLMP 4740
- D5, D7 : LED rouge HP HLMP 4700

Circuits intégrés :

- IC3 : 34063 AP1 Motorola
- IC4 : MC 78 L05 ACP
- IC6 : PC 74 HCT 4040P Philips

Divers :

- Y1, Y2 : quartz 4 MHz, CL : 32 pF
- IC1 : support à insertion nulle DIP 20 3M textool réf. 220-3342-00-605
- IC2 : support à insertion nulle 50-20 3M textool réf. 220-7201-55-1905
- IC5 : support à insertion nulle DIP 28 3M textool réf. 228-3345-00-605
- S1, S2, S3, S4, S5 : interrupteur unipolaire C au K réf. 1101-M2-S3-C-Q-E
- J1 : jack embase CI ø 3,5 mm
- P1 : bornier
- F1, F2 : supports fusibles Wickmann réf. 19560 et fusibles retardés 100 mA réf. TRS-T
- 1 circuit imprimé double face trous métallisés sérigraphie composants.

PROLOGIC : MODE D'EMPLOI

Ceux de nos lecteurs qui se sont

intéressés à nos circuits intégrés

spécifiques, réalisés à partir de PAL,

auront pu noter que ceux-ci avaient été

développés à l'aide du compilateur

PROLOGIC.

La version limitée aux composants

TEXAS INSTRUMENTS, disponible en téléchargement, ne permet pas seulement

d'adapter nos exemples à des besoins particuliers, mais bel et bien de

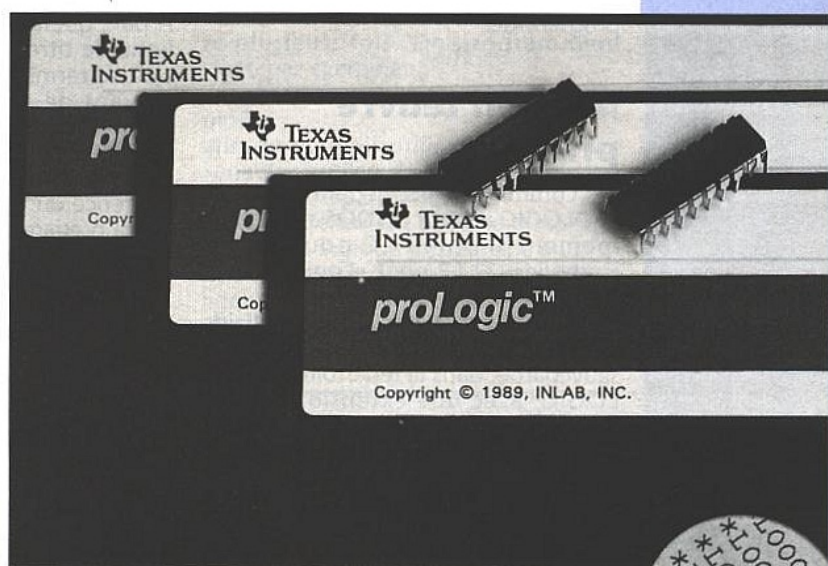
concevoir n'importe quelle petite application à base de PAL courants.

Encore faut-il apprendre à l'utiliser correctement!

Ce mode d'emploi condensé ne prétend évidemment pas se substituer au

manuel de la version complète d'INLAB, mais se propose de résumer les

principales règles de syntaxe régissant l'écriture du code source.



LES POSSIBILITÉS DE PROLOGIC

Le logiciel PROLOGIC réunit en réalité deux outils distincts, mais destinés à être utilisés de concert: un «compilateur logique» et un «simulateur».

Le compilateur est capable de construire un «fichier JEDEC» directement utilisable par un programmeur de composants, cela à partir d'une description des fonctions logiques désirées.

Le «code source» à écrire, dont la présentation rappelle celle d'un programme en langage C, peut mettre en oeuvre tout ou partie des trois concepts suivants: équations booléennes, tables de vérité, et diagrammes d'état.

Notons que cette dernière possibilité n'est que rarement offerte sur les com-

pilateurs d'entrée de gamme, car c'est vraiment un outil très puissant.

Lors de la compilation, les tables de vérité et les diagrammes d'état seront tout d'abord convertis en équations booléennes, présentation la plus proche possible du schéma qu'il va s'agir de «câbler» dans le PAL par destruction sélective de fusibles.

Qu'elles proviennent de cette compilation ou qu'elles soient directement écrites par le développeur, ces équations seront automatiquement «simplifiées», c'est à dire optimisées de façon à ce que leur mise en oeuvre ne consomme pas plus de ressources matérielles que nécessaire.

Bien entendu, si les fonctions définies dans le «code source» ne peuvent pas tenir dans le composant choisi, un message d'erreur en informera l'utilisateur. Après analyse de ce message, celui-ci

pourra alors soit simplifier son projet, soit choisir un autre composant, soit changer de technologie (utilisation d'un microcontrôleur, association de plusieurs PAL, adjonction de logique câblée externe, etc.)

Le simulateur logique, dont l'emploi demeure parfaitement facultatif, permet de vérifier de façon purement logique que le composant programmé se comportera bien comme prévu.

Cette simulation ne peut cependant se faire que si on a préalablement écrit tout un jeu de «vecteurs de test» décrivant dans le détail le comportement attendu.

Cela revient en quelque sorte à écrire une seconde fois le «programme», mais selon une présentation radicalement différente.

En simplifiant les choses, on peut considérer que le simulateur contrôle la cohérence des deux versions. Natu-

rellement, les divergences éventuellement détectées peuvent provenir aussi bien d'une erreur dans l'écriture du code source, que de vecteurs de test mal définis.

Une fois la simulation réussie, les mêmes vecteurs de test, incorporés au fichier JEDEC, pourront servir au programmeur pour exécuter un «test fonctionnel» de chaque composant programmé.

Mise en œuvre pratique

Les commandes permettant de lancer PROLOGIC à partir du DOS sont extrêmement simples: LC pour «Logic Compiler» et LS pour «Logic Simulator».

Le code source ayant été écrit à l'aide de n'importe quel éditeur de texte et sauvegardé, dans le répertoire de PROLOGIC, avec une extension «.PLD» (par exemple LOGIQUE.PLD), il suffit de frapper «LC LOGIQUE» pour lancer la compilation.

Si aucune erreur n'est détectée, on obtient un fichier «LOGIQUE.LST» contenant une documentation technique détaillée (plan des fusibles, équations simplifiées) et un fichier JEDEC «LOGIQUE.JED» directement compatible avec tout programmeur du commerce ou éventuellement «maison» (voir notre ouvrage COMPOSANTS ELECTRONIQUES PROGRAMMABLES, paru aux ETSF).

Si on désire lancer une simulation et que les vecteurs de test nécessaires ont bien été inclus dans le code source, alors il suffit de frapper «LS LOGIQUE»: il résultera de l'opération un fichier «LOGIQUE.TST» contenant le compte-rendu de la simulation, vecteur par vecteur.

La syntaxe de base

Pour être accepté par le compilateur, le code source doit respecter des règles de syntaxe relativement strictes, qu'il ne saurait guère être question de deviner!

Les plus importantes peuvent être mises en évidence dans le très court listing de la figure 1, dont le but purement démonstratif est de transformer un PAL16R4 en porte NAND à trois entrées.

```
title {NAND3.PLD}
include p16r4;
!pin19 = pin2 & pin3 & pin4;
pin19.oe = 1;
test_vectors {
    pin2 pin3 pin4 !pin19;
    0 0 0 L ;
    0 0 1 L ;
    0 1 0 L ;
    0 1 1 L ;
    1 0 0 L ;
    1 0 1 L ;
    1 1 0 L ;
    1 1 1 H ;
}
```

■ Figure 1

Facultatif, le titre placé entre accolades se retrouvera sur tous les documents édités par le compilateur et le simulateur. Il est donc vivement conseillé de profiter de cette opportunité d'annotation automatique et donc de ne pas omettre cette ligne «title».

Remarquons au passage que le texte du code source se compose usuellement en caractères minuscules.

A part quelques exceptions (dont la ligne de titre), chaque ligne de code doit se terminer par un point-virgule servant de délimiteur (comme en Turbo Pascal).

La ligne «include» est très importante, car c'est elle qui déclare au logiciel la référence du composant pour lequel il devra préparer un fichier JEDEC.

La figure 2 fournit la liste des composants TEXAS INSTRUMENTS supportés par cette version limitée, et les désignations PROLOGIC correspondantes. Il faut veiller à respecter très exactement ces libellés, qui correspondent à autant de fichiers de données dans le logiciel: include TICPAL16R4, par exemple, serait illégal.

TI Device Name	proLogic Name
PAL16L8A/A-2	P16L8
PAL16R4A/A-2	P16R4
PAL16R6A/A-2	P16R6
PAL16R8A/A-2	P16R8
PAL20L8A	P20L8
PAL20R4A	P20R4
PAL20R6A	P20R6
PAL20R8A	P20R8
TIBPAD16N8-7	P16N8
TIBPAD18N8-6	P18N8
TIBPAL16L8	P16L8
TIBPAL16R4	P16R4
TIBPAL16R6	P16R6
TIBPAL16R8	P16R8
TIBPAL20L8	P20L8
TIBPAL20R4	P20R4
TIBPAL20R6	P20R6
TIBPAL20R8	P20R8
TIBPAL20L10	P20L10
TIBPAL20X4	P20X4
TIBPAL20X8	P20X8
TIBPAL20X10	P20X10
TIBPAL22V10	P22V10
TIBPAL22VP10	P22VP10
TIB82S105B	A105B
TIB82S167B	A167B
TIBPLS506	A506
TIBPSG507	A507
TICPAL16L8	P16L8
TICPAL16R4	P16R4
TICPAL16R6	P16R6
TICPAL16R8	P16R8
TICPAL22V10	P22V10
TIEPAL10H16P8	P16P8E

■ Figure 2

Bien entendu, la version complète diffusée par INLAB supporte un nombre beaucoup plus important de composants de toutes marques.

L'instruction «include» peut également servir à invoquer des «bibliothèques» reprenant des portions de code souvent utilisées, et conservées sous la forme de fichiers avec une extension «.H».

Un échantillonnage de tels fichiers, susceptible de rendre service, est inclus dans le logiciel mais son usage est parfaitement facultatif.

La troisième ligne est tout simplement une équation booléenne, mais dont le libellé appelle quelques commentaires. Il faut savoir que le ET logique est représenté par le ET américain, le OU logique par la barre verticale, et la négation logique par le point d'exclamation, le signe égale conservant sa signification usuelle en logique (signe d'affectation).

Pas forcément très heureux, et en tout cas incompatibles avec bon nombre d'autres logiciels, ces choix peuvent très facilement être remis en cause à l'aide de l'instruction «define» :

Il suffirait par exemple de programmer :

```
define += |
```

pour pouvoir utiliser le signe plus comme opérateur OU.

Bien entendu, un simple fichier «.H» peut être utilisé pour forcer ces conventions lors de chaque travail, au moyen d'une ligne «include» supplémentaire.

Mais «define» peut faire beaucoup plus, et notamment permettre de travailler sur des noms de signaux librement choisis en lieu et place de ceux dont PROLOGIC impose normalement l'usage.

Il suffirait par exemple de programmer :

```
define out = !pin19
define ina = pin2
define inb = pin3
define inc = pin4
```

pour pouvoir écrire les équations à partir de variables certainement bien plus parlantes pour le développeur qui sait très bien à quoi correspond chaque signal, mais pour qui le brochage n'a rien de très significatif (est-il seulement définitif, d'ailleurs ?)

Sous PROLOGIC, en effet, à chaque composant supporté correspond un «dictionnaire» de noms de signaux présenté sous la forme d'un schéma interne.

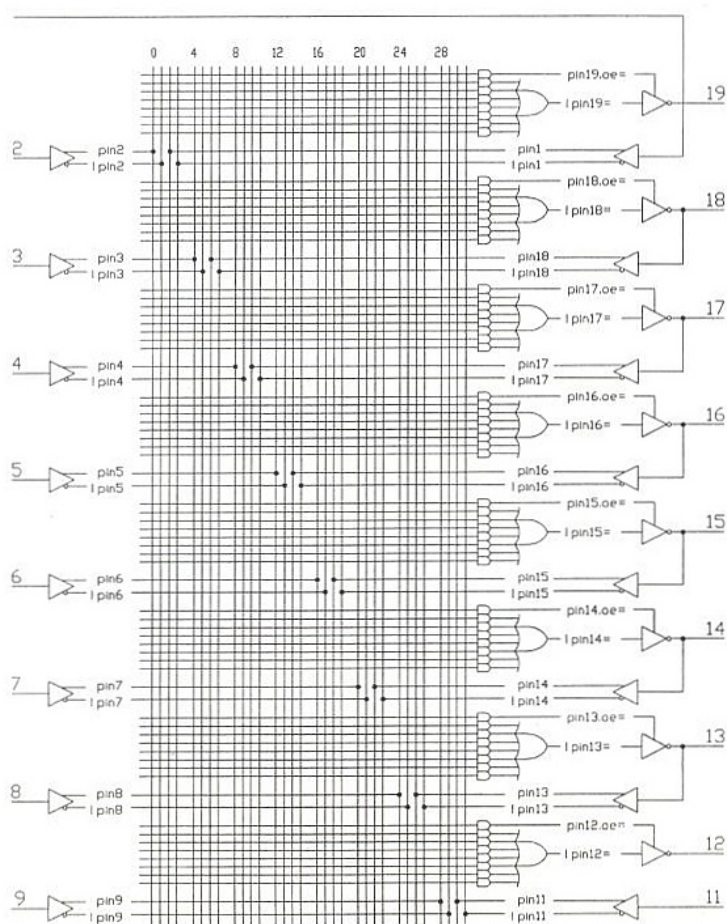
Les figures 3 à 6 reproduisent ceux des PAL à 20 broches les plus courants. Il ne saurait être question d'écrire du code pour un composant sans disposer de cet aide-mémoire, et même avec celui-ci il faut réfléchir attentivement à ce que l'on fait: dans le PAL16R6, par exemple, le signal «pin18.d» se retrouvera (après un coup d'horloge) sur la sortie Q de la bascule avec la même polarité.

Mais il arrivera inversé sur la broche 18, puisqu'un tampon inverseur est intercalé entre les deux.

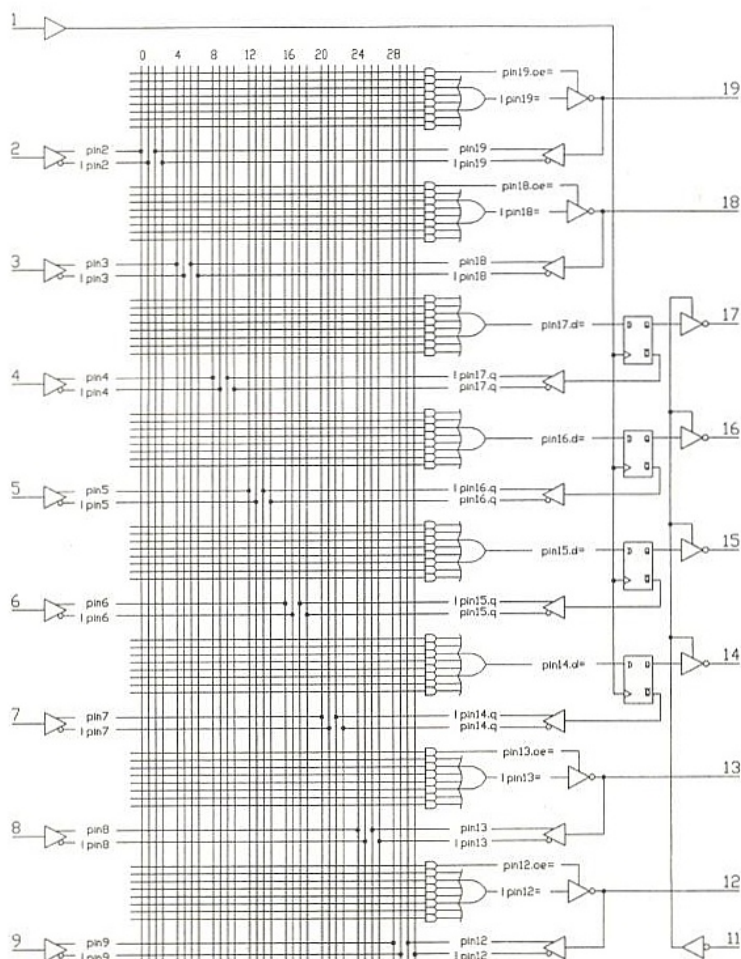
De même, le signal de rétroaction «pin18.q» reflète bien l'état de la sortie Q de la bascule (puisque'il est inversé deux fois) et donc l'inverse de celui de la broche 18, tandis que c'est «!pin18.q» qui recopie l'état de la broche 18!

Par contre, si le signal «!pin19» arrive lui aussi inversé sur la broche 19, «pin19» reflètera bel et bien l'état réel de la broche 19.

N'essayez pas, d'ailleurs, de programmer «pin18» ou «pin19», car ces



■ Figure 3 : 16L8.



■ Figure 4 : 16R4.

noms (avec signe égale) n'existent pas sur le schéma: vous ne trouverez que «pin18.d» et «!pin19», et il est facile de réaliser que ce n'est pas la même chose!

Cela ne s'invente évidemment pas... L'instruction «define» peut aussi servir à préprogrammer des «macros», autrement dit des expressions souvent utilisées et qu'on ne souhaite pas écrire plusieurs fois. On programmera alors, par exemple:

```
define enable = (pin5 pin6
```

pin7)
afin de pouvoir utiliser, par la suite, «enable» au lieu de toute l'expression placée entre parenthèses.

Il est naturellement possible d'assigner un niveau logique permanent à un signal: c'est ce que fait la quatrième ligne de notre exemple, qui place les verrous de sortie dans un état transparent inconditionnel.

TEXAS
INSTRUMENTS

The proLogic™ Compiler

User's Guide

Les tables de vérité

Il n'est pas nécessaire d'en savoir plus pour programmer des équations booléennes provenant, par exemple, de tableaux de Karnaugh.

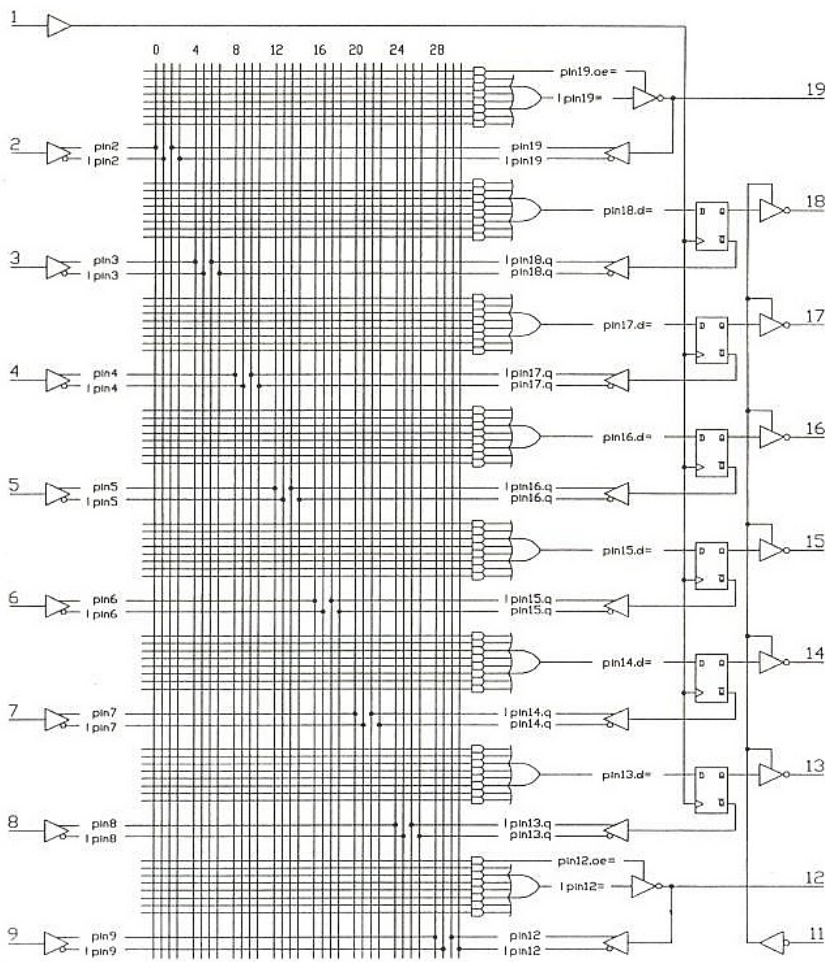
Mais plutôt que de recourir à une telle méthode manuelle, il est plus confortable de confier ce travail au compilateur et de programmer à un niveau supérieur: celui des tables de vérité.

La figure 7 montre à quel point il est simple de soumettre à PROLOGIC un tel descriptif des fonctions logiques (essentiellement combinatoires) à réaliser: une instruction «truth-table», puis la table proprement dite, en format pratiquement libre mais toujours entre accolades (délimiteurs de bloc, comme en langage C).

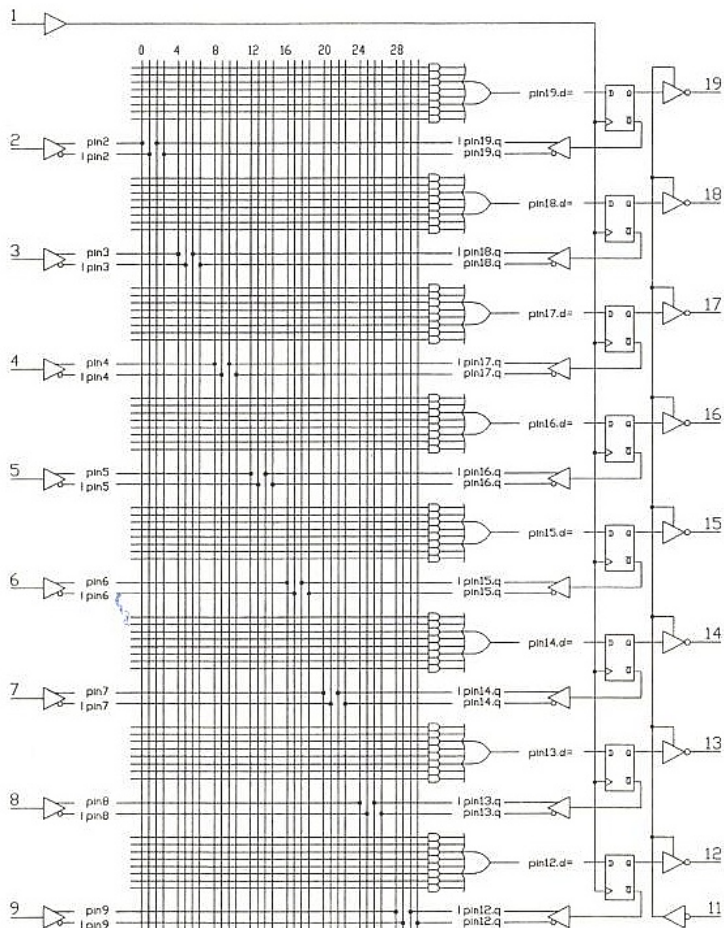
On remarquera au passage différentes façons d'insérer des «commentaires» dans le code source, la barre de fraction et l'étoile servant de séparateurs.

Les diagrammes d'état

Si les tables de vérité conviennent parfaitement pour décrire à PROLOGIC le système combinatoire dont il devra produire les équations, on utilise plus volontiers les diagrammes d'état pour décrire des systèmes séquentiels.



■ Figure 5 : 16R6.



■ Figure 6 : 16R8.

Graphiquement, un diagramme d'état se construit comme indiqué à la **figure 8** (ici un très simple compteur à trois états et deux sorties).

Transcrite en code source pour PROLOGIC, cette description devient le listing de la **figure 9** :

- une instruction «state-diagram» suivie (sans point-virgule final) des noms des signaux concernés (ici les «variables» v1 et v0 devront être préalablement définies par deux instructions «define»);
- un bloc (entre accolades) d'instructions «state».

Chaque instruction «state» définit ce qui doit se passer au coup d'horloge suivant immédiatement l'apparition de l'état décrit après le mot «state».

Ici, il est bien clair que si v1=0 ET v0=0, alors au prochain coup d'horloge le compteur devra aller dans l'état s1.

Naturellement, ledit état s1 doit être défini quelque part dans le programme, par exemple juste après, mais éventuellement ailleurs.

Comme il faut bien des bascules pour réaliser une fonction séquentielle, les variables d'une instruction "state" doivent correspondre à des sorties de bascules à rétroaction: par exemple «!pin18» (l'extension «.q» est ici implicite).

Il est également souhaitable que le système soit correctement «bouclé» sur lui-même, d'une façon ou d'une autre. En fait, les occasions d'écrire un programme ambigu ou invraisemblable ne manquent pas, et un certain entraînement sera nécessaire pour bien appréhender toutes les finesses (mais aussi toute la puissance) de cet outil.

Il faut bien se rendre compte, en particulier, que si tous les états possibles ne sont pas traités, le comportement du système deviendra très certainement erratique s'il arrive pour une cause ou pour une autre dans un de ces états considérés comme «illégaux».

Si les ressources matérielles du composant le permettent, il est de bonne pratique de prévoir tous les états logiquement possibles, même s'ils ne doivent pas être atteints en fonctionnement normal.

Le cas de la **figure 10**, par exemple, peut se produire lors d'une mise sous tension ou sur un parasite. Si le passage de l'état 11 à l'état 10 n'est pas acceptable, alors on pourra compléter la programmation par:

```
state s3=11
s0;
```

Mais plutôt que d'ajouter cette instruction, on pourra préférer recourir à la notion d'état «indifférent» (don't care) en modifiant ce qui existe:

```
state s2=1x
s0;
```

Une fonction très puissante de PROLOGIC est la possibilité de programmer des changements d'état conditionnels: dans l'exemple de la **figure 11**, le compteur bouclera sur l'état s0=00 tant que la condition «count» sera vraie, et passera dans l'état s1=01 dès que celle-ci deviendra fausse.

Bien évidemment, «count» devra avoir fait l'objet d'une instruction «define» préalable : ce pourra être tout simple-

```

truth_table { /*
                aa
                +-----+
                |         |
                | bb     | ff
                |  gg     |
                |         |
                | cc     | ee
                |  dd     |
                +-----+
            */
            q3 q2 q1 q0 : aa bb cc dd ee ff gg;
            /* 0 */ 0 0 0 0 : 0 0 0 0 0 0 0 1;
            /* 1 */ 0 0 0 1 : 1 0 0 1 1 1 1 1;
            /* 2 */ 0 0 1 0 : 0 1 0 0 1 0 0 0;
            /* 3 */ 0 0 1 1 : 0 1 1 0 0 0 0 0;
            /* 4 */ 0 1 0 0 : 1 0 1 1 0 0 0 0;
            /* 5 */ 0 1 0 1 : 0 0 1 0 0 1 0 0;
            /* 6 */ 0 1 1 0 : 0 0 0 0 0 0 1 0;
            /* 7 */ 0 1 1 1 : 0 1 1 1 0 0 0 1;
            /* 8 */ 1 0 0 0 : 0 0 0 0 0 0 0 0;
            /* 9 */ 1 0 0 1 : 0 0 1 1 0 0 0 0;
            /* A */ 1 0 1 0 : 0 0 0 1 0 0 0 0;
            /* B */ 1 0 1 1 : 1 0 0 0 0 0 1 0;
            /* C */ 1 1 0 0 : 0 0 0 0 0 1 1 1;
            /* D */ 1 1 0 1 : 1 1 0 0 0 0 0 0;
            /* E */ 1 1 1 0 : 0 0 0 0 1 1 0 0;
            /* F */ 1 1 1 1 : 0 0 0 1 1 1 0 0;
        }
    
```

■ Figure 7 : table de vérité.

ment l'état d'une broche, ou toute combinaison d'états d'entrées et/ou de sorties, décrite par une équation ou une table de vérité.

Et nous avons gardé le meilleur pour la fin: cette structure «if-else» n'est pas réservée aux diagrammes d'état, mais peut être utilisée n'importe où dans un programme!

On peut même spécifier plusieurs tâches après une instruction «state», comme dans l'exemple de la figure 12, qui par dessus le marché ajoute

```

state s2=10
  if (up) {
    overflow=1;
    s0;
  }
  else
    s1;
    
```

■ Figure 12

une commande de comptage-décomptage. On remarquera au passage les accolades de délimitation des blocs d'instructions ainsi créés.

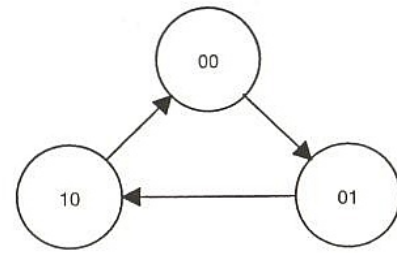
Naturellement, il va maintenant sans dire que «up» et «overflow» doivent auparavant faire l'objet d'instructions «define».

Les vecteurs de test

Bien que cela soit parfaitement facultatif, il est de bonne pratique de mettre au point un jeu de vecteurs de test au moment où on écrit le code source : il pourrait en effet s'avérer nettement plus laborieux d'y revenir par la suite. Il s'agit finalement d'une sorte de table de vérité (placée entre accolades), mais dans laquelle on peut utiliser tout ou partie des états résumés à la figure 13.

0	-	drive input LOW	-	1
1	-	drive input HIGH	-	0
2..9	-	drive input to supervoltage #2-9	-	2..9
C	-	drive input LOW-HIGH-LOW	-	K
F	-	float input or output	-	F
H	-	test output HIGH	-	L
K	-	drive input HIGH-LOW-HIGH	-	C
L	-	test output LOW	-	H
N	-	power pins and outputs not tested	-	N
P	-	preload registers	-	P
X	-	output not tested, input default level	-	X
Z	-	test input or output for high impedance	-	Z

■ Figure 13 : vecteurs de test.

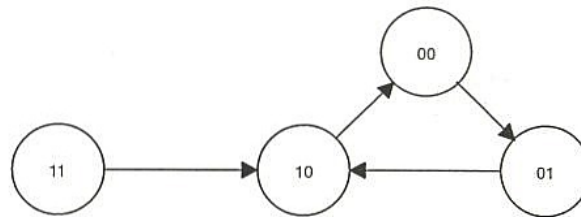


■ Figure 8 : diagramme d'état.

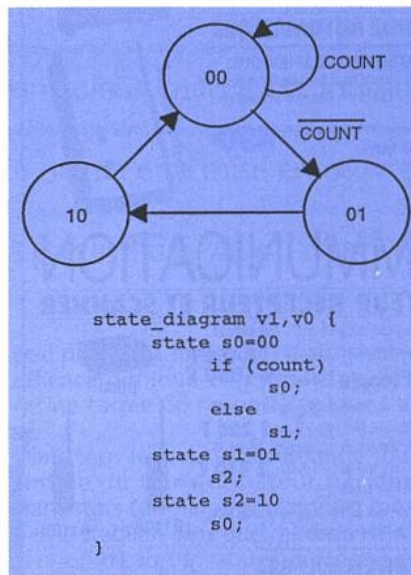
```

state_diagram v1,v0 {
    /* modulo-3 counter */
    state s0=00
        s1;
    state s1=01
        s2;
    state s2=10
        s0;
}
    
```

■ Figure 9 : code source correspondant au diagramme d'état de la figure 8.



■ Figure 10 : diagramme d'état pour éviter une position aléatoire.



■ Figure 11 : changement d'états conditionnels.

Il est important de bien envisager tous les cas de figure possibles, et même dans une certaine mesure réputés impossibles, afin de mettre le système à l'abri d'aléas intempestifs.

Ecrire un bon jeu de vecteurs de test n'est pas toujours chose aisée, surtout dans le cas d'un système un tant soit peu complexe. Il existe d'ailleurs des logiciels qui s'en chargent.

Une étude approfondie de ce sujet sortirait largement du cadre de cet article dont le but se limite, ne l'oublions pas, à faciliter la première prise en main de PROLOGIC par nos lecteurs.

Qu'ils n'hésitent surtout pas, c'est vraiment un fort bel outil!

Patrick GUEULLE

UN CIRCUIT INTÉGRÉ POUR ONDULEURS SIMPLES

Une amélioration classique des petits

convertisseurs DC / 220 V consiste à

remplacer les simples créneaux

rectangulaires par des «marches

d'escalier» rappelant tout de même un

peu plus la sinusoïde idéale.

Mais plusieurs formes d'onde sont

envisageables, qu'il peut être intéressant de faire alterner en fonction des

conditions de charge.

Un peu simple pour un microcontrôleur, mais assez lourde à réaliser en logique

câblée, cette technique se prête bien à être mise en œuvre sous la forme d'un

circuit intégré spécifique, bâti à partir d'un PAL ou d'un EPLD simple.

Le principe à mettre en œuvre

Le principe de ces petits onduleurs est bien connu : un transformateur muni de deux enroulements basse tension, que l'on alimente en opposition de phase par des impulsions de tension continue.

On retrouve ainsi au secondaire une tension alternative de fréquence identique et de forme plus ou moins éloignée de la sinusoïde.

Le pire pour la forme est aussi le plus rentable sur le plan énergétique : un signal rectangulaire pur présente en effet une valeur efficace égale à sa tension de crête.

Dans le cas des «marches d'escalier», chaque demi-période est répartie entre un créneau «ON» et un temps de repos «OFF».

La transition entre demi-périodes est ainsi plus douce (on se rapproche un

peu plus de la sinusoïde) mais la valeur efficace diminue en proportion de la racine carrée du rapport cyclique utilisé.

Dans tous les cas, la commande toute simple du transformateur par deux transistors (un par enroulement) mène à une stabilité plus que médiocre de la tension de sortie : souvent excessive à vide, elle chute fortement en charge ou pendant les pointes de consommation.

Cela est dû à l'accumulation des chutes de tension dans le transformateur, les transistors, le câblage, et la batterie.

Une solution communément retenue consiste à asservir le rapport cyclique à la tension mesurée aux bornes de la charge : soit en continu, soit par «plots», un peu comme si on commutait automatiquement la sortie sur l'une ou l'autre de plusieurs «prises intermédiaires» du secondaire.

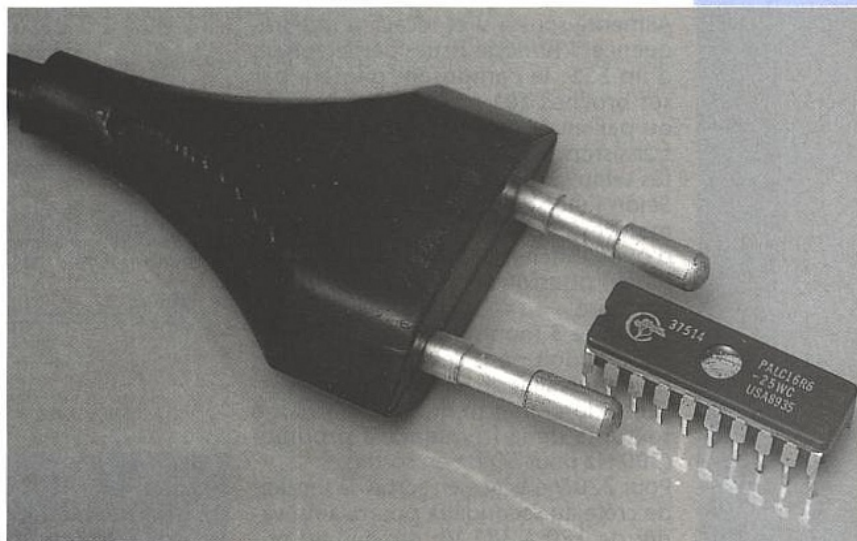
Il ne faut pas oublier, en effet, qu'une

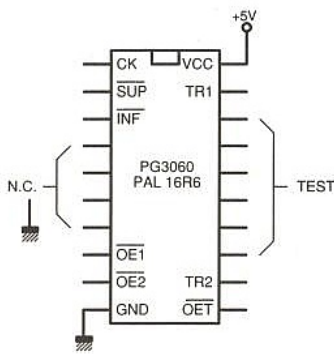
variation de 10 ou 15%, voire plus, autour de 220 V est généralement fort tolérable : cela arrive même sur le réseau !

La génération des formes d'onde nécessaires peut facilement être confiée à un compteur qui, entraîné par un générateur d'horloge bien stable (RC ou même à quartz), sera suivi d'un décodeur combinatoire capable de reconnaître les états pendant lesquels chaque transistor de puissance doit être passant.

DÉFINITION D'UN COMPOSANT SPÉCIFIQUE

Soit donc à réaliser un circuit intégré dont le brochage, dérivé de celui des PAL et EPLD courants, est suggéré par la figure 1.





■ Figure 1.

Alimenté sous 5 V et recevant une fréquence d'horloge issue, par exemple, d'un 555, le composant pilotera par ses broches TR1 et TR2 (directement ou par un couplage approprié) deux transistors VMOS ou Darlington montés selon la figure 2.

Selon l'état de deux entrées de commande (/SUP et /INF), trois formes d'onde différentes (plus un mode «inhibé») pourront être obtenues au secondaire.

La figure 3 montre que chaque demi-période doit pour cela être divisée en trois intervalles de temps, ce qui nécessitera donc une fréquence d'horloge sextuple de la fréquence à produire (300 Hz pour 50 Hz en sortie).

Pour 220 V efficace en sortie, la tension de crête au secondaire pourra ainsi varier de 220 à 381 V : ramené au primaire, cela correspond en gros à un éventail de 7 à 10 V.

Si on affecte la forme d'onde A au fonctionnement normal (/SUP et /INF au niveau haut), la mise à 0 de /SUP (en cas de tension excessive en sortie) réduira celle-ci par application de la forme d'onde C (notamment à vide). Inversement, en cas d'appel de courant important, le passage à 0 de /INF suite à une chute de la tension disponible déclenchera l'émission de la forme d'onde B.

Naturellement, les deux comparateurs utilisés pour cet asservissement devront présenter suffisamment d'hystérésis si on souhaite éviter une hésitation permanente entre deux ou trois formes d'onde.

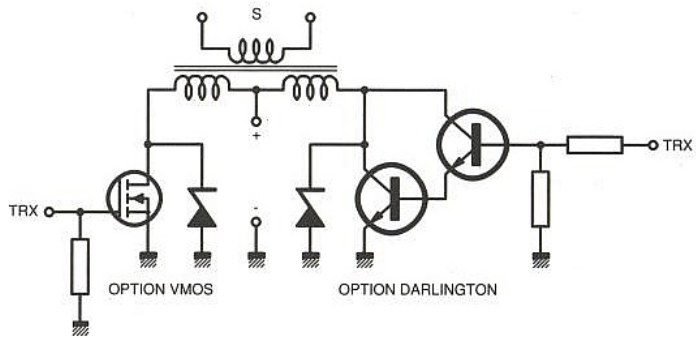
On peut songer, par exemple, à un comparateur dit «à fenêtre».

Ajoutons encore deux entrées d'inhibition (/OE1 pour TR1 et /OE2 pour TR2), utiles pour ajouter des protections supplémentaires ou pour moduler la conduction des transistors par un signal externe. Si on n'en a pas l'usage, il suffit de les relier toutes deux à la masse (broche 10).

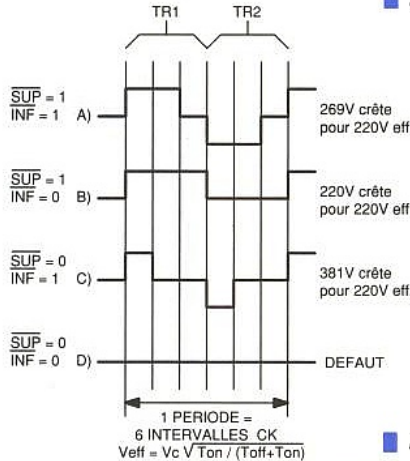
De même, il faudra mettre la broche 11 (/OET) à la masse si on souhaite pouvoir observer le cycle du compteur au niveau des six broches dites «de test».

Développement sous Prologic

Le PAL 16R6 se prête particulièrement bien à la réalisation pratique de cette fonction, ses six bascules suffisant pour



■ Figure 2 : interface de puissance à MOS ou darlington.



■ Figure 3 : le chronogramme à satisfaire.

```

title (ONDULEUR)
include p16r6;
define a= (!pin2);
define b= (!pin3);
define m= (!pin19);
define n= (!pin12);
define y1= (!pin18.q);
define y2= (!pin17.q);
define y3= (!pin16.q);
define y4= (!pin15.q);
define y5= (!pin14.q);
define y6= (!pin13.q);
pin19.oe= !pin8;
pin12.oe= !pin9;
state_diagram !pin18, !pin17, !pin16, !pin15, !pin14, !pin13
(
state s0=111111
s1;
state s1=100000
s2;
state s2=110000
s3;
state s3=111000
s4;
state s4=000100
s5;
state s5=000110
s6;
state s6=000111
s1;
state s7=000000
s1;
state s8=101000
s1;
state s9=000101
s4;
)

truth_table (
a b y1 y2 y3 n : m;
0 0 1 0 0 0 x : 0;
0 0 1 1 0 0 x : 0;
0 0 1 1 1 1 x : 1;
1 0 1 0 0 0 x : 0;
1 0 1 1 0 0 x : 1;
1 0 1 1 1 1 x : 1;
0 1 1 0 0 0 x : 0;
0 1 1 1 0 0 x : 0;
0 1 1 1 1 1 x : 0;
1 1 x x x x : 1;
x x 1 0 1 x : 1;
x x 0 x x x : 1;
x x x x x 0 : 1;
)

truth_table (
a b y4 y5 y6 m : n;
0 0 1 0 0 0 x : 0;
0 0 1 1 0 0 x : 0;
0 0 1 1 1 1 x : 1;
1 0 1 0 0 0 x : 0;
1 0 1 1 0 0 x : 1;
1 0 1 1 1 1 x : 1;
0 1 1 0 0 0 x : 0;
0 1 1 1 0 0 x : 0;
0 1 1 1 1 1 x : 0;
1 1 x x x x : 1;
x x 1 0 1 x : 1;
x x 0 x x x : 1;
x x x x x 0 : 1;
)
    
```

■ Figure 4 : le code «source».

constituer un compteur capable de décrire les six états d'un cycle spécialement étudié de façon à simplifier le décodage qui va suivre.

Ce dernier pourra être confié aux deux circuits combinatoires à sept termes de produit que renferme également le 16R6, et dont les sorties sont disponibles sur les broches 12 et 19.

Déjà d'une certaine complexité pour un PAL d'entrée de gamme comme le 16R6, ce système logique peut avantageusement être soumis au très puissant outil qu'est PROLOGIC, compilateur logique distribué par TEXAS INSTRUMENTS dans une version limitée à ses propres composants, dont justement le 16R6, et que nous offrons en téléchargement (fichier compacté PROLOGIC.EXE).

Le «code-source» de la figure 4 associe un «diagramme d'états» pour le compteur à deux «tables de vérité» pour le décodeur.

On notera qu'un verrouillage a été prévu, en dernière colonne des entrées de chaque table de vérité, de façon à interdire toute conduction simultanée des deux transistors de puissance.

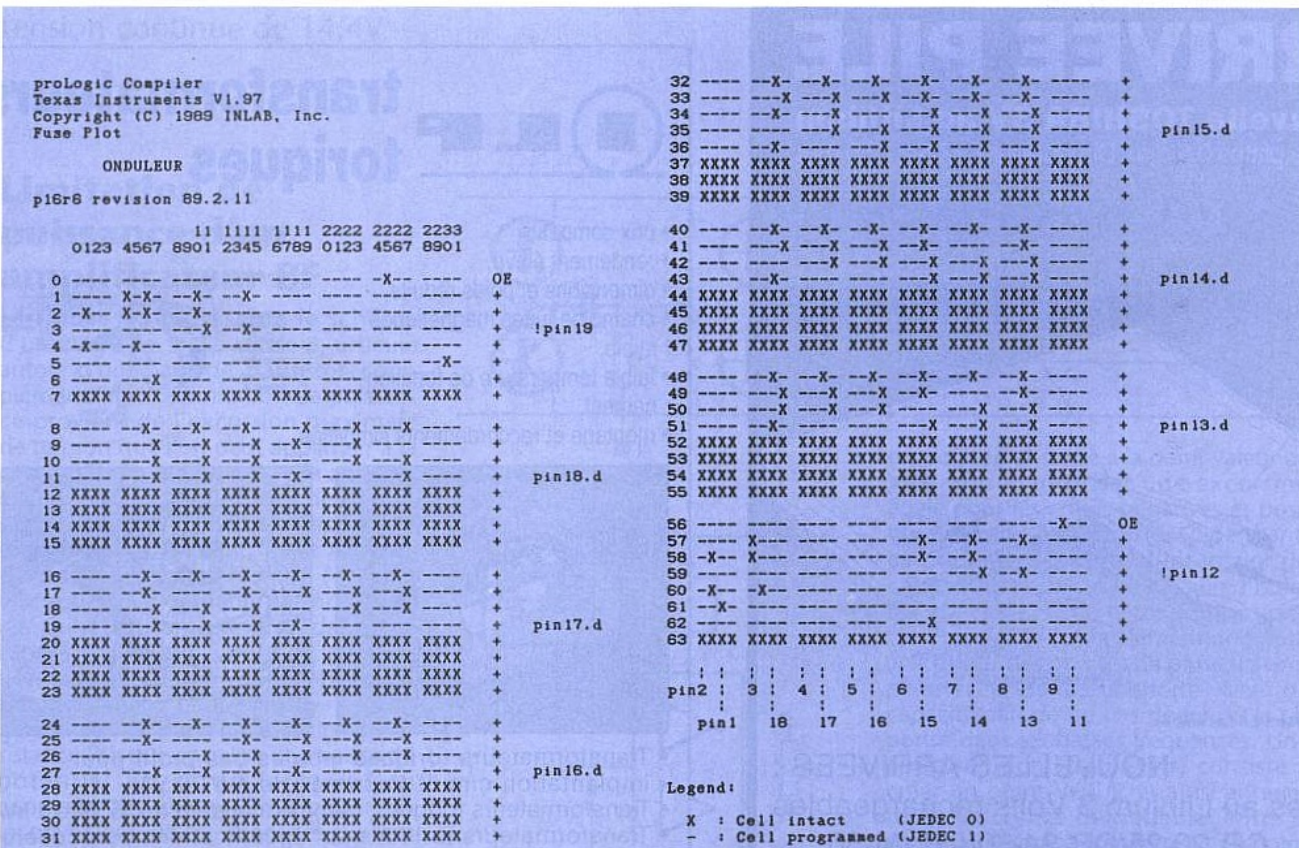
Saisi avec n'importe quel éditeur de texte et sauvé sous le nom «ONDUL.PLD», ce «programme» est tout d'abord compilé par PROLOGIC en un jeu d'équations booléennes que reproduit la figure 5.

PROLOGIC en extrait alors le «plan des fusibles» de la figure 6, qu'il va maintenant s'agir de «câbler» dans le schéma du PAL par maintien ou suppression de liaisons dans la matrice d'interconnexion.

```

pin19.oe= !pin8
pin12.oe= !pin9
pin18.d= !pin18.q & !pin17.q & !pin16.q & pin15.q & pin14.q & pin13.q
: pin18.q & pin17.q & pin16.q & !pin15.q & pin14.q
: pin18.q & pin17.q & pin18.q & pin14.q & pin13.q
: pin18.q & pin17.q & pin16.q & !pin15.q & pin13.q
pin17.d= !pin17.q & !pin18.q & !pin16.q & !pin15.q & !pin14.q & !pin13.q
: !pin18.q & !pin16.q & pin15.q & !pin14.q & !pin13.q
: pin17.q & pin18.q & pin16.q & pin14.q & pin13.q
: pin17.q & pin18.q & pin16.q & !pin15.q
pin16.d= !pin16.q & !pin18.q & !pin17.q & !pin15.q & !pin14.q & !pin13.q
: !pin16.q & !pin18.q & pin15.q & !pin14.q & !pin13.q
: pin16.q & pin17.q & pin15.q & !pin14.q & !pin13.q
: pin16.q & pin18.q & pin17.q & !pin15.q
pin15.d= !pin15.q & !pin18.q & !pin17.q & !pin16.q & !pin14.q & !pin13.q
: !pin15.q & !pin18.q & pin17.q & !pin16.q & !pin14.q & !pin13.q
: pin15.q & !pin18.q & pin17.q & pin14.q & pin13.q
: pin15.q & !pin17.q & !pin16.q & pin14.q & pin13.q
: pin15.q & !pin18.q & pin16.q & pin14.q & pin13.q
pin14.d= !pin14.q & !pin18.q & !pin17.q & !pin16.q & !pin15.q & !pin13.q
: pin18.q & pin17.q & pin16.q & !pin15.q & !pin13.q
: pin14.q & pin17.q & pin16.q & pin15.q & pin13.q
: pin14.q & !pin18.q & pin15.q & pin13.q
pin13.d= !pin13.q & !pin18.q & !pin17.q & !pin16.q & !pin15.q & !pin14.q
: !pin13.q & !pin18.q & pin17.q & !pin16.q & !pin15.q
: pin13.q & pin18.q & pin17.q & !pin16.q & pin14.q
: pin13.q & !pin18.q & pin15.q & pin14.q
!pin12= pin3 & !pin15.q & !pin14.q & !pin13.q
: !pin2 & pin3 & !pin15.q & !pin14.q
: pin14.q & !pin13.q
: !pin2 & !pin3
: pin19
: pin15.q
!pin19= pin3 & !pin18.q & !pin17.q & !pin16.q
: !pin2 & pin3 & !pin18.q & !pin17.q
: pin17.q & !pin16.q
: !pin2 & !pin3
: pin12
: pin18.q
    
```

■ Figure 5 : le jeu d'équations booléennes obtenu.



■ Figure 6 : plan des fusibles.

Transfert sur silicium

Pour transformer un PAL 16R6 en PG3060 (telle est en effet la référence arbitrairement attribuée à notre composant spécifique), il faut mettre à contribution un programmeur de PAL.

Le fichier JEDEC obtenu (ONDUL.JED), liste normalisée des fusibles à détruire (1) et à laisser intacts (0) est compatible avec les programmeurs du commerce nécessaires pour programmer, par exemple, les TIBPAL 16R6 (bi-polaires) ou les TICPAL 16R6 (CMOS) de TEXAS INSTRUMENTS.

Moyennant l'utilisation de PALC 16R6 de CYPRESS (distribués par NEWTEK), il est possible de se contenter d'un programmeur fort simple, réalisable selon les plans parus dans notre ouvrage COMPOSANTS ELECTRONIQUES PROGRAMMABLES (ETSF éditeur).

Une autre solution consiste à se tourner vers des EPLD à 20 broches capables d'émuler le 16R6. Le fichier JEDEC de la figure 7 (ONDUL.JEX) permet par exemple de programmer un PEEL 18CV8 d'ICT (distribué par MISIL) sur tout programmeur compatible. On peut également utiliser un EP320 d'ALTERA (distribué par TEKELEC) en se servant du fichier ONDUL.JEA disponible dans notre archive téléchargeable PG3060.EXE.

Dans tous les cas, le résultat de la programmation doit mener à un résultat identique : un circuit intégré spécifique à 20 broches que vous pourrez

associer, à votre idée, à quelques composants courants pour construire un onduleur pas comme les autres !

Patrick GUEULLE

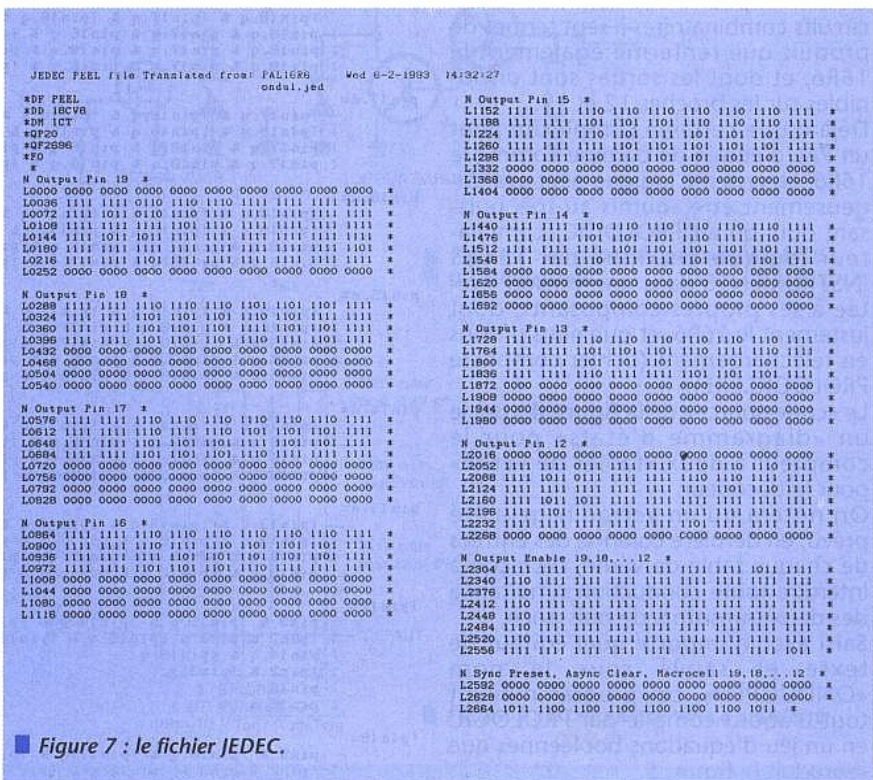
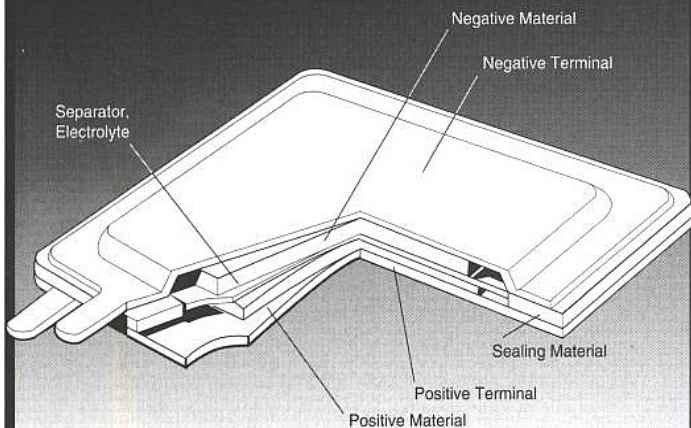


Figure 7 : le fichier JEDEC.

ARRIVEE PILE

La nouvelle TOSHIBA 3V au Lithium
Piles extra plates 0,5 mm. Dimensions : 22,5 x 22,5 mm



Grossissement 2,5 fois environ.

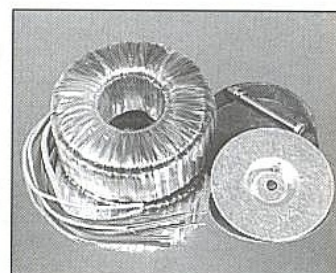
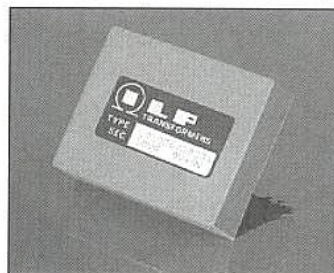
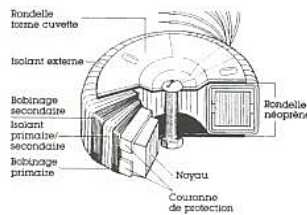
NOUVELLES ARRIVEES :
Piles au Lithium 3 Volts rechargeables
Types : CR 20-25/CR 24-30/CR 24-50

PILES TOSHIBA

8, Bd de l'Europe-MAMERS-Tél. 43 97 85 95-Fax. 43 97 95 65

transformateurs toriques

- prix compétitif,
- rendement élevé,
- dimensions et poids réduits,
- champ de fuites magnétiques faible,
- faible température de fonctionnement,
- montage et raccordements simplifiés.



- Transformateurs toriques moulés bas profil pour implantation circuit imprimé : de 4 à 30 VA.
- Transformateurs toriques, gamme standard de 15 VA à 1 kVA.
- Transformateurs toriques sur spécifications particulières.

Williamson
Electronique
Importateur

Documentation générale sur demande

Z.A. de la Bougrière. B.P. 64
44980 SAINTE-LUCE-SUR-LOIRE
TÉL. : (16) 40.18.80.11
TÉLÉCOPIEUR : (16) 40.18.80.28

BOOSTER 2 X 40 W EFFICACES

Articulé autour du TDA1560Q

récemment introduit par PHILIPS,

ce module amplificateur devrait ravir

ceux d'entre vous qui

apprécient la musique sous forte

puissance. En effet, grâce à une

circuiterie interne élévatrice de tension,

ce nouveau composant

permet de réaliser à peu de frais, un étage booster capable de

fournir 40W efficaces à une charge 8Ω et ce, à partir d'une

tension continue de 14,4V.



Limitation de puissance d'un amplificateur BF

La figure 1a représente le schéma d'un étage de sortie classe B, articulé autour d'une paire de transistors complémentaires. La limitation de puissance provient de l'excursion maximale de tension que l'on peut appliquer à la charge R_L . En aucun cas, elle ne peut excéder V_{CC} , amputé des deux tensions de déchet de chacun des transistors bipolaires. En effet, T1 et T2 fonctionnent en régime linéaire (comme une résistance variable) et occasionnent une chute de tension dans leur espace collecteur-émetteur, proportionnelle au courant qui les traverse. Ce phénomène peut s'illustrer par un générateur de Thévenin associé à sa résistance R_{th} qui entraîne une baisse du potentiel en sortie lorsque l'on connecte une charge. Pour pallier cet inconvénient, divers procédés existent et permettent d'accroître la puissance de sortie de l'amplificateur.

Le montage en pont

Dans un amplificateur alimenté par une tension asymétrique (0 et $+V_{CC}$),

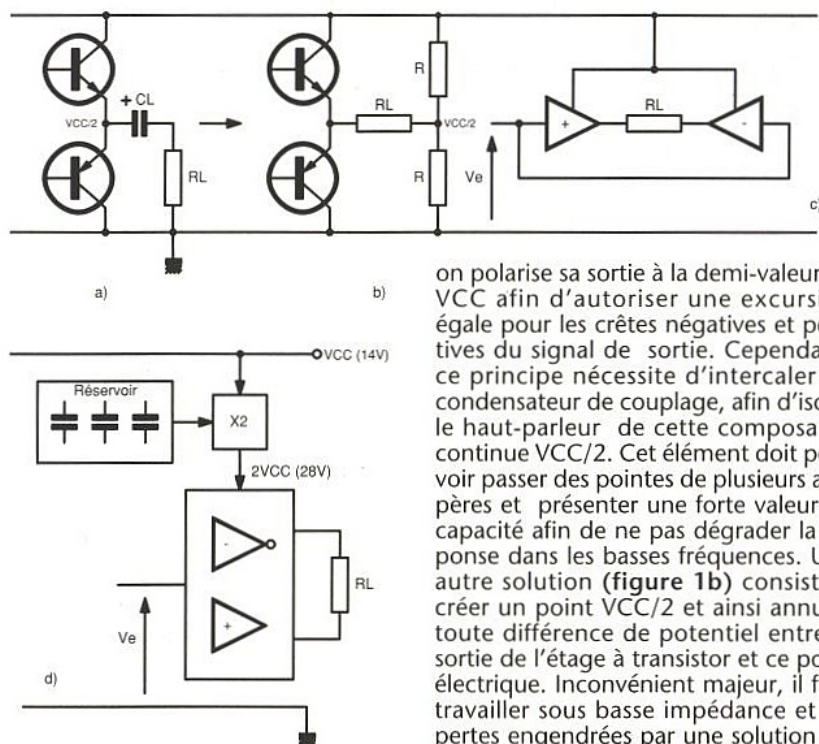


Figure 1 : les différentes configurations de sortie en classe B (ou AB).

on polarise sa sortie à la demi-valeur de V_{CC} afin d'autoriser une excursion égale pour les crêtes négatives et positives du signal de sortie. Cependant, ce principe nécessite d'intercaler un condensateur de couplage, afin d'isoler le haut-parleur de cette composante continue $V_{CC}/2$. Cet élément doit pouvoir passer des pointes de plusieurs ampères et présenter une forte valeur de capacité afin de ne pas dégrader la réponse dans les basses fréquences. Une autre solution (figure 1b) consiste à créer un point $V_{CC}/2$ et ainsi annuler toute différence de potentiel entre la sortie de l'étage à transistor et ce point électrique. Inconvénient majeur, il faut travailler sous basse impédance et les pertes engendrées par une solution résistive seraient prohibitives. Il y a une dizaine d'années, certains constructeurs proposaient la mise en place d'un pont

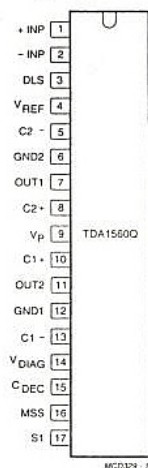
capacitif afin de limiter au maximum ces pertes en continu.
Le montage en pont, encore appelé "bridge", "full bridge", "H" ou encore BTL (Bridge Tied Load, charge couplée au pont) consiste à attaquer le haut-parleur par des signaux déphasés de 180°. Celui-ci effectue la somme de ces deux signaux en opposition de phase, et délivre alors une puissance quadruple de celle délivrée à l'aide de l'une des solutions précédemment évoquées. La figure 1c vous renseigne sur cette technique.

Utilisation d'un convertisseur élévateur

Cette méthode consiste à augmenter artificiellement la tension d'alimentation et ainsi délivrer une puissance plus importante à la charge. Dans notre application, PHILIPS combine cette technique avec celle du pont, ce qui conduit à la performance annoncée en tête d'article. La figure 1d illustre ce concept. *Electronique Radio-Plans* a publié, dans son numéro 490 de Septembre 1988, un booster 2x25W utilisant la technique des convertisseurs symétriques (+ et - VCC). Le lecteur intéressé par la mise en oeuvre d'un tel montage, se reportera avec intérêt à cette publication.

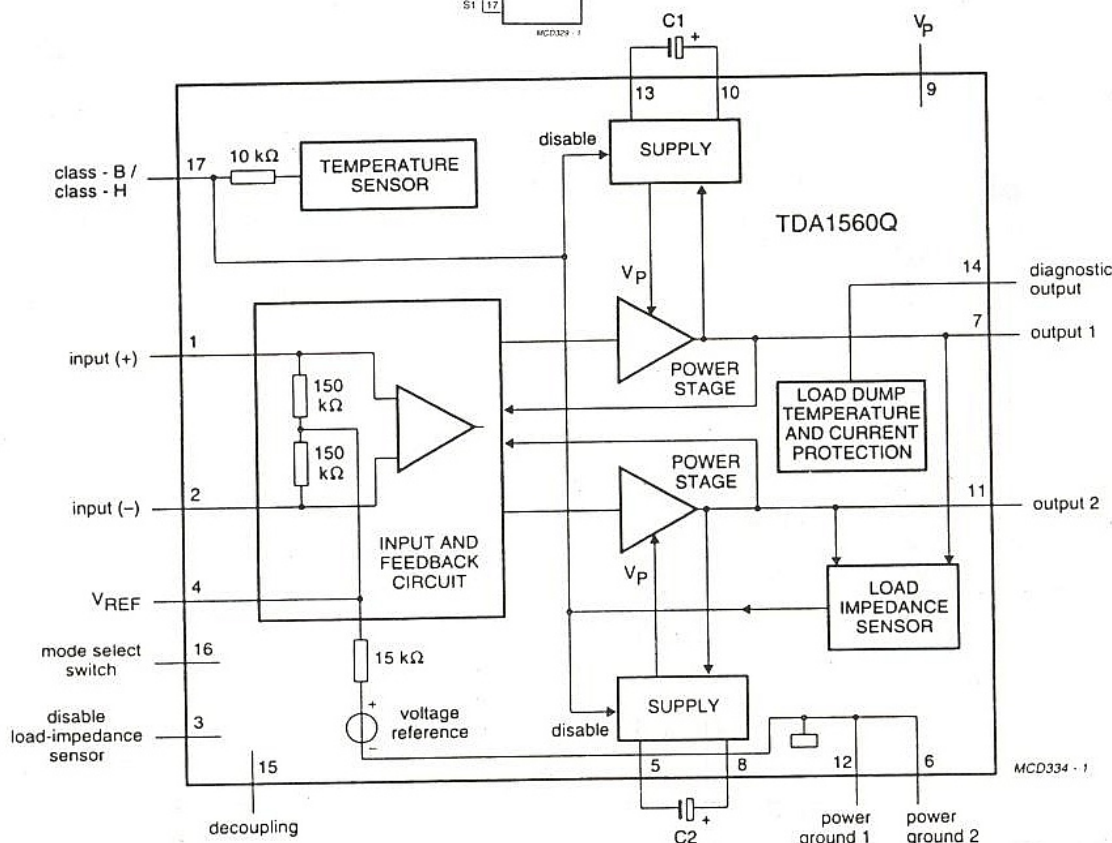
SYMBOL	PIN	DESCRIPTION
+INP	1	positive input
-INP	2	negative input
DLS	3	disable load-impedance sensor
V _{REF}	4	reference voltage
C2-	5	capacitor C2 negative terminal
GND2	6	power ground 2
OUT1	7	output 1
C2+	8	capacitor C2 positive terminal
V _P	9	supply voltage
C1+	10	capacitor C1 positive terminal
OUT2	11	output 2
GND1	12	power ground 1
C1-	13	capacitor C1 negative terminal
V _{DIAG}	14	diagnostic voltage output
C _{DEC}	15	decoupling
MSS	16	mode select switch
S1	17	class-B/class-H

■ Figure 2 : brochage et description des broches.



LE TDA1560Q

Le TDA1560Q se présente sous la forme d'un boîtier SIL à 17 pins dont la figure 2 vous livre le brochage et la figure 3 l'architecture interne. Cet élément contient un amplificateur de puissance en H, capable de se commuter en différents modes de fonctionnement comme nous l'expliquons ci-après. La technique PHILIPS consiste à attaquer le haut-parleur par un classificateur amplificateur classe B en pont ali-



■ Figure 3 : le synoptique interne du TDA 1560 Q.

menté en basse tension, lorsque le signal d'entrée n'impose pas une puissance supérieure à 10W. Lorsqu'une pointe de modulation réclame une extension de puissance, le convertisseur élévateur interne délivre une tension égale à deux fois la valeur de l'alimentation. Cet apport de tension complémentaire est réalisé à l'aide de deux condensateurs électrolytiques externes, dont la valeur conditionnera les courants disponibles dans les basses fréquences. Dans ces conditions, la puissance maximale monte à 40W avec un taux de distorsion harmonique (THD) avoisinant les 10%. Cette méthode autorise alors la mise en oeuvre d'une électronique aux dimensions compactes, puisque le dissipateur n'évacue pas la puissance maximum en permanence. Cependant, en présence d'un radiateur approprié, le module est tout à fait capable de fournir 40W efficaces en continu lorsque son entrée reçoit une tension sinusoïdale. Dans ce cas, comme nous venons de l'évoquer, les deux réservoirs externes limiteront naturellement la réponse dans le bas du spectre.

PHILIPS, dans sa note d'applications, décrit le mode forte puissance par la dénomination classe H, alors que la basse puissance se traduit par classe B. En fait, dans les deux cas, il s'agit d'un double amplificateur classe B travaillant en BTL, mais dans le premier, l'élévateur de tension entre en fonction, alors que dans le second, il reste au repos. Pour les néophytes, cette appellation, que nous reprenons plus bas, ne représente nullement une nouvelle classe de fonctionnement au même titre que les classe A, B, C, D, E ou F mais uniquement le nom donné par PHILIPS à ce mode de travail.

Le signal d'entrée

En utilisation normale, lorsque le haut-parleur reçoit une information musicale, la sortie ne réclame la puissance maximale qu'un faible pourcentage du temps. En supposant que le signal d'entrée possède une distribution d'amplitude se rapprochant d'une Gaussienne, PHILIPS affirme que la réduction dans la dissipation de puissance s'élève à approximativement 50% en comparaison avec une structure en classe B offrant une puissance de sortie similaire. Le gain sur la taille et le poids du dissipateur devient alors conséquent. Si à présent on demande au module prévu pour un signal audio de fournir en classe H la puissance maxi en régime sinusoïdal, la température du boîtier grimpera rapidement au dessus de 120 C et déclenchera immédiatement la protection interne. Dans ce cas, l'électronique du TDA1560Q inhibe l'élévateur de tension et bloque la puissance de sortie à 10W tout en limitant la puissance dissipée à 5W. Cela signifie que l'auditeur peut continuer à écouter la musique malgré l'emballage thermique momentané du composant.

Les modes d'opération

L'utilisateur peut, à son gré, forcer le

composant à travailler dans l'un des quatre modes pour lesquels il est prévu. Il suffit de polariser la pin 16 dans une fourchette de tension s'étalant entre 0 et la tension d'alimentation. La **figure 4** illustre ce principe. A l'aide de cette broche, le TDA1560Q propose les fonctionnalités suivantes :

- faible courant d'attente (standby mode) inférieur à 50µA
- sortie non active (mute)
- mise en marche de la classe B, élévateur de tension bloqué, puissance de sortie limitée
- activation de la classe B avec l'élévateur de tension (classe H), forte puissance de sortie.

Le passage du mode standby à celui de la forte puissance s'effectue sans aucun craquement dans le haut-parleur. De même, lors de cette opération, il n'est pas nécessaire de rester un court instant dans le mode mute, sauf si la référence n'est pas découplée et le détecteur d'impédance dévalidé (voir plus bas).

Comme nous l'avons évoqué précédemment, une température de boîtier supérieure à 120 C bloque le convertisseur interne et passe l'amplificateur en classe B à puissance limitée. Afin de

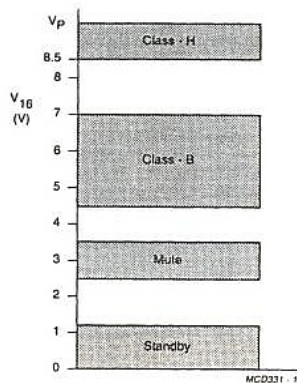
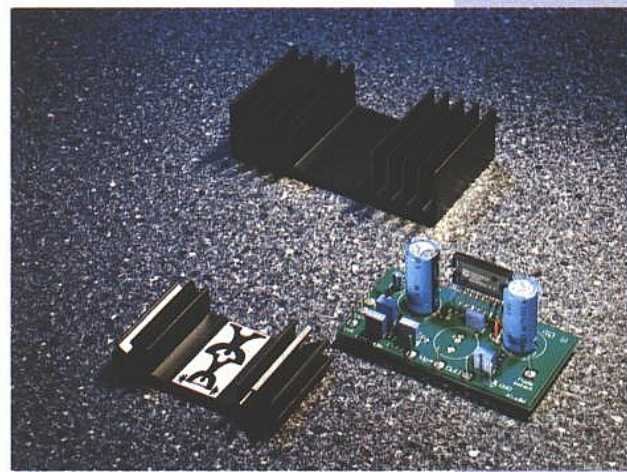


Figure 4 : modes de fonctionnement selon la tension présente en broche 16.

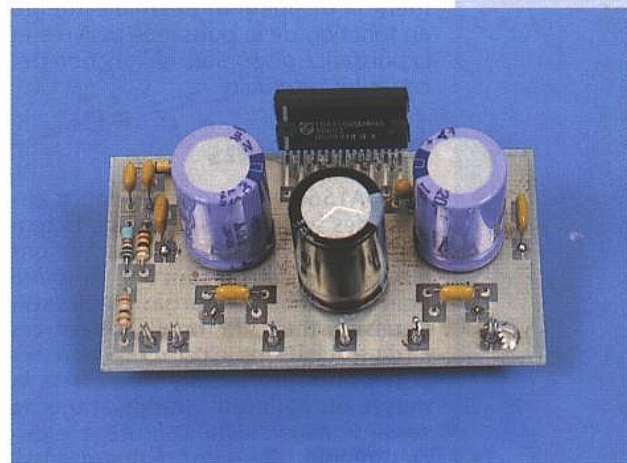
mesurer la température interne de la puce, la pin 17 offre une sortie en tension et permet ainsi de détecter une anomalie, déclenchant alors les mesures qui s'imposent : coupure des basses fréquences, passage en classe B... La courbe de la **figure 5** vous renseigne sur la relation tension/température disponible en pin 17. L'utilisateur peut même simuler une élévation de température dans la puce en forçant la pin 17 avec une tension adéquate (figure 5) et demander au TDA1560Q de travailler en classe B. De la même façon, il est possible d'abaisser la tension sur cette broche 17 et ainsi imposer au module de rester en classe H alors que la température du boîtier dépasse 120 C.

Les caractéristiques électriques

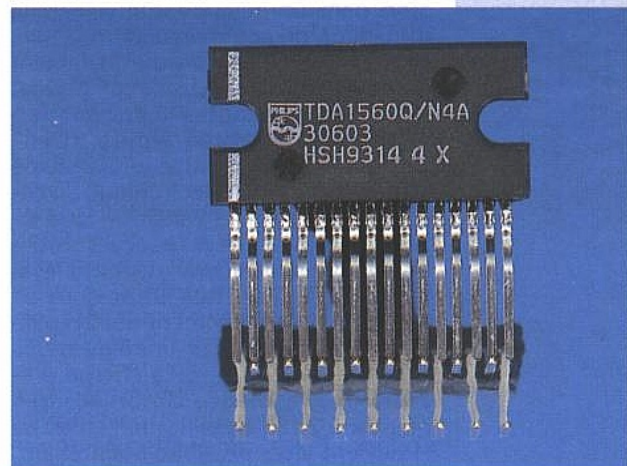
La **figure 6** reprend la majorité des informations données par PHILIPS dans sa fiche technique. On distingue notamment une bande passante s'étalant de 40 à 15000Hz, dont la limite basse dépend étroitement de la valeur des



Le circuit d'application de Philips et les dissipateurs appropriés



Le circuit présenté.



Le TDA 1560Q.

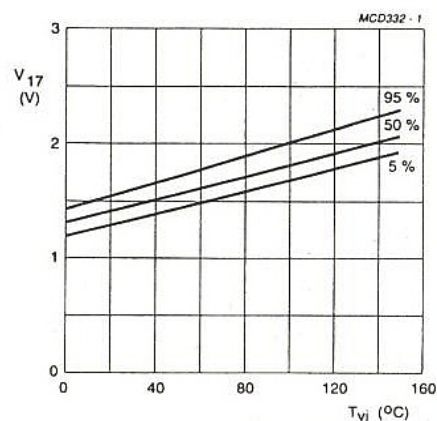


Figure 5 : tension en broche 17 selon la température de la puce.

deux capacités réservoir et des condensateurs de liaison (C8, C9 sur le schéma).. La **figure 7** vous renseigne sur ce lien pour une distorsion harmonique voisine de 1%. Si vous souhaitez accroître la puissance dans les graves, reportez-vous à ce graphique pour connaître la valeur des capacités adéquate. Le taux de distorsion harmonique atteint 0,05% pour 1 watt délivré et ne dépasse pas 0,1% à 10W. En fait, pour apprécier efficacement le taux de distorsion, il convient de procéder à un relevé spectral du signal de sortie et analyser ensuite les amplitudes des différents harmoniques. La présence d'harmoniques pairs rendrait le signal moins agressif ... Les courbes des **figures 8 et 9** décrivent respectivement la dissipation du circuit intégré en fonction de la puissance délivrée et la puissance disponible en fonction des capacités réservoirs.

Protections

Le TDA1560Q supporte les courts-circuits des sorties vers la masse, la tension d'alimentation ou directement aux bornes du transducteur. Il tolère également les décharges électrostatiques sur toutes les broches d'entrées et de sortie. Dans le cas d'un court-circuit permanent des sorties vers la masse ou l'alimentation, l'étage de sortie se déconnecte et protège le circuit intégré d'une dissipation excessive. L'étage amplificateur se reconnecte alors dans un délai de 20ms après la disparition du court-circuit.

Le circuit PHILIPS incorpore également un détecteur d'impédance qui permet d'évaluer la résistance DC du haut-parleur connecté en sortie. Ainsi, à chaque fois que l'on commute le circuit de standby en mute, l'électronique du circuit intégré teste la valeur de la résistance continue présente sur ses sorties et n'active pas le convertisseur élévateur si celle-ci se situe en dessous de 4,6 Ω. Le fonctionnement de l'amplificateur se trouve alors limité au mode classe B. Par contre, si la charge présente une résistance continue supérieure à 6,2 Ω, l'amplification en classe H devient alors possible. Maintenant, si un court-circuit apparaît sur les sorties ($R_{dc} < 1,5 \Omega$), l'étage de puissance n'entre pas en fonction et aucune dissipation excessive n'est à craindre.

L'utilisateur peut, s'il le souhaite, bloquer le détecteur d'impédance en reliant le pin 3 à la masse et ainsi autoriser le fonctionnement en classe H (jusqu'à 120 °C) malgré la présence d'un court-circuit entre les sorties. La broche 14 offre la fonction diagnostic. Cette connexion se trouve au potentiel de l'alimentation en fonctionnement normal. En présence d'une anomalie telle que température de jonction excessive, court-circuit en sortie, alimentation supérieure à 20V, la tension de la pin 14 chute à environ $V_{cc}/2$ tant que le défaut subsiste.

Calcul du radiateur

Dans le cas du TDA1560Q, deux paramètres déterminent la dimension du

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_p	supply voltage					
	operating		8	14.4	18	V
	non-operating		-	-	30	V
	load dump		-	-	45	V
I_{ORM}	repetitive peak output current		-	-	4	A
I_p	total quiescent current		-	100	160	mA
I_{sb}	standby current		-	5	50	μA
G_v	voltage gain		29	30	31	dB
P_o	output power	THD = 10%; 8 Ω	-	40	-	W
		THD = 0.5%; 8 Ω	-	30	-	W
		THD = 10%; 4 Ω	-	17	-	W
SVRR	supply voltage ripple rejection	$R_s = 0 \Omega$; $f = 100 \text{ Hz to } 10 \text{ kHz}$	48	55	-	dB
V_{no}	noise output voltage		-	100	300	μV
$ Z_i $	input impedance		180	300	-	kΩ
$ \Delta V_o $	DC output offset voltage		-	-	150	mV

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
P_o	output power	class-H				
		THD = 0.5%	27	30	-	W
		THD = 10%; continuously driven	36	39	-	W
		THD = 10%; with burst signals; note 1	-	40	-	W

LIMITING VALUES

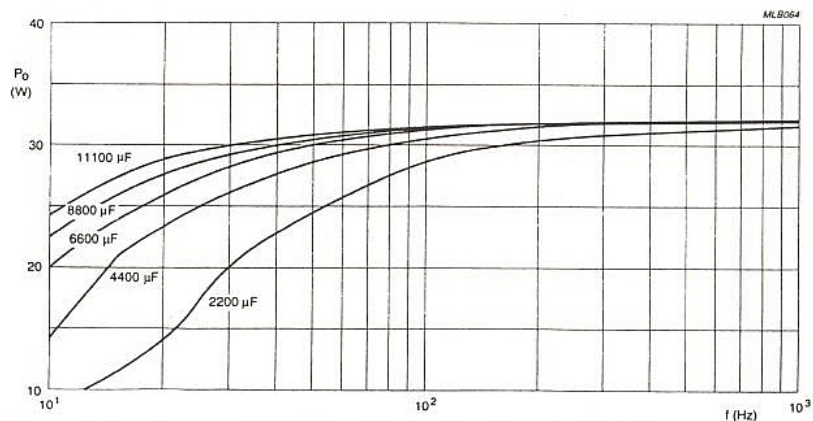
In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_p	supply voltage				
	operating		-	18	V
	non-operating		-	30	V
	load dump protected	during 50 ms; $t_r > 2.5 \text{ ms}$	-	45	V
I_{OSM}	non-repetitive peak output current		-	6	A
I_{ORM}	repetitive peak output current		-	4	A
V_{PSC}	AC and DC short-circuit safe voltage		-	18	V
	energy handling capability at outputs	$V_p = 0$	-	200	mJ
I_{17}	current in pin 17	$V_{17} < V_p - 1$	-	5	mA
P_{ext}	total power dissipation		-	60	W
T_{stg}	storage temperature		-55	+150	°C
T_{amb}	operating ambient temperature		-40	-	°C

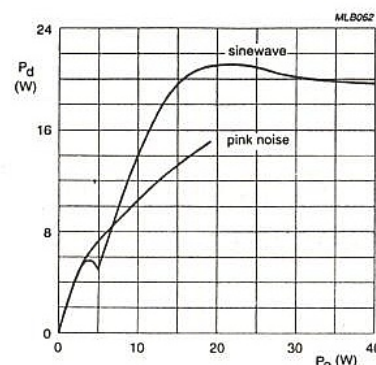
THERMAL RESISTANCE

SYMBOL	PARAMETER	THERMAL RESISTANCE
$R_{th(j-a)}$	from junction to ambient in free air	40 K/W
$R_{th(j-c)}$	from junction to case (note 1)	3 K/W

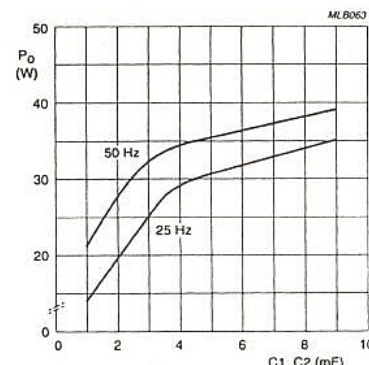
■ **Figure 6 : caractéristiques.**



■ **Figure 7 : bande passante à THD = 1% selon les valeurs de C8 et C9.**



■ **Figure 8 : dissipation en fonction de la puissance délivrée.**



■ **Figure 9 : puissance disponible en fonction des capacités réservoirs.**

dissipateur : la température maximale du boîtier et la température ambiante à laquelle le module doit délivrer sa puissance nominale de 40W en classe H. Voici trois exemples de calculs de radiateurs :

1. Sous une charge 8Ω et en présence d'un signal musical, la dissipation que le composant tolère ne peut dépasser 6,5W. Si l'amplificateur délivre sa pleine puissance dans une température ambiante de 50 C, la température de son tablier métallique ne doit pas excéder 120 C en classe H. Ainsi, avec une résistance boîtier-dissipateur égale à 1 C/W ($R_{th} c-h$), le radiateur extérieur devra posséder une résistance thermique de : $(120-50)/6,5 - 1 \approx 10$ C/W. Attention, la résistance jonction-boîtier ($R_{th} j-c$) n'intervient pas dans ce premier cas, puisque l'on prend en considération la température du tablier métallique et non celle de la puce.

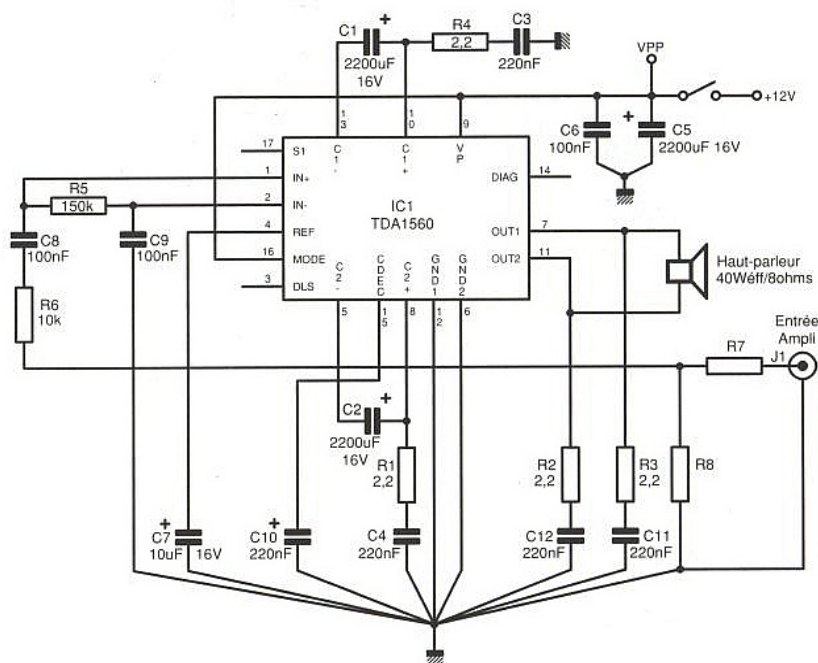
2. Lorsque le mode classe H se trouve inhibé par un échauffement excessif du boîtier (entrée sinus avec une charge 8Ω), la dissipation maximale vaut alors 5W et la puce doit rester à une température inférieure à 150 C. Dans ce cas, la résistance thermique jonction-boîtier intervient et conduit au résultat suivant, avec $R_{th} j-c=3$ C/W et $R_{th} c-h=1$ C : $(150-60)/5 - 3 - 1 = 14$ C/W.

3. Toujours en mode classe H dévalidé, et en présence d'une entrée sinus associée à une impédance de 4Ω , la dissipation maximale s'élève à 10W. Dans les mêmes conditions que ci-dessus, la résistance thermique du dissipateur vaut : $(150-60)/10 - 3 - 1 = 5$ C/W.

Dans les précédents exemples, nous avons considéré une résistance boîtier-dissipateur égale à 1 C/W. Cela signifie qu'il faudra particulièrement soigner le contact thermique entre le dissipateur et le tablier en métal du TDA1560Q. L'emploi de graisse au silicone est donc particulièrement recommandé.

Le schéma électrique complet

Celui-ci vous est proposé en figure 10. Peu de changements par rapport à la note d'applications originale. Nous avons cependant rajouté en entrée, un pont diviseur qui permettra un raccord



■ Figure 10 : le schéma fonctionnel.

aisé aux sorties haut-parleur de votre autoradio. Nous sommes partis d'un autoradio classique délivrant 4,5W à une charge 4Ω , soit une tension crête en sortie non chargée de 6 volts ($\sqrt{eff} = \sqrt{P \cdot R}$). Comme la tension maximale que le TDA1560Q accepte sur son entrée ne dépasse pas 1,5Vc, nous avons adjoint le diviseur résistif R7, R8 qui introduit une atténuation de 0,25. Il suffira de baisser R7 au cas où l'autoradio ne délivre pas suffisamment de tension pour saturer le TDA1560Q, ou de l'augmenter si, au contraire, le signal de sortie entraîne son écrêtage immédiat.

Compte tenu des fortes intensités mises en jeu, le câblage des masses en étoile se révèle indispensable. En fait, nous utiliserons un plan de masse afin de simplifier au maximum le routage de la carte imprimée.

RÉALISATION PRATIQUE

Afin de réaliser simplement un amplificateur stéréophonique, le tracé des figures 11a et 11b, offre les routages respectifs des pistes côté soudures et face composants, alors que la figure 11c décrit l'implantation de la carte. On remarquera immédiatement qu'il s'agit de deux modules couplés ensemble lors du dessin final. Ainsi, le lecteur désireux d'utiliser le TDA1560Q dans une application monophonique, pourra aisément séparer les deux circuits. Côté composants, des freins thermiques autour des pastilles de masse facilitent la connexion des broches sans chauffer l'élément à outrance. Puisque nous avons utilisé des condensateurs à sorties radiales, la soudure des armatures côté composants pose problème avec un circuit double face dépourvu de métallisation. C'est la raison pour laquelle nous avons rajouté une pastille sous l'armature négative de C5 afin d'effectuer la liaison avec le côté soudure. Bien entendu, on effectuera cette jonction (avec une queue de résistance) avant

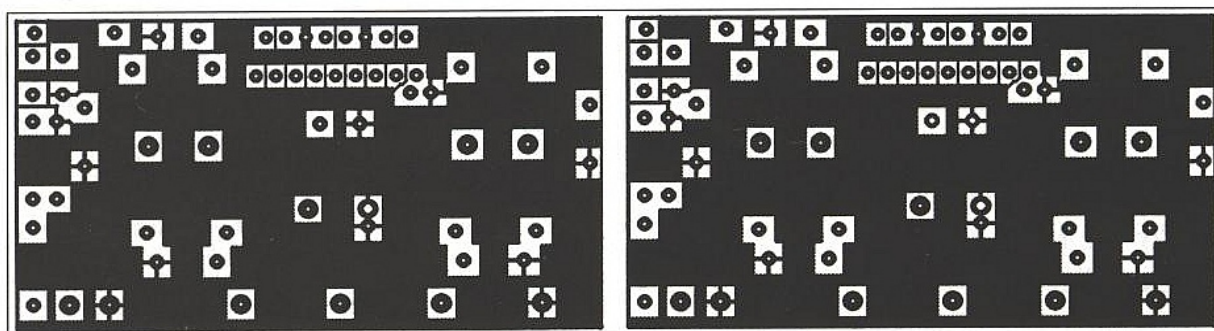
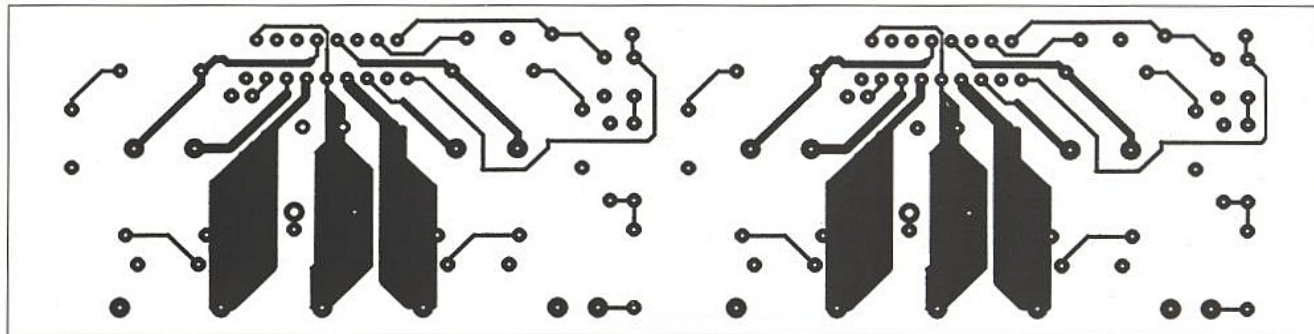
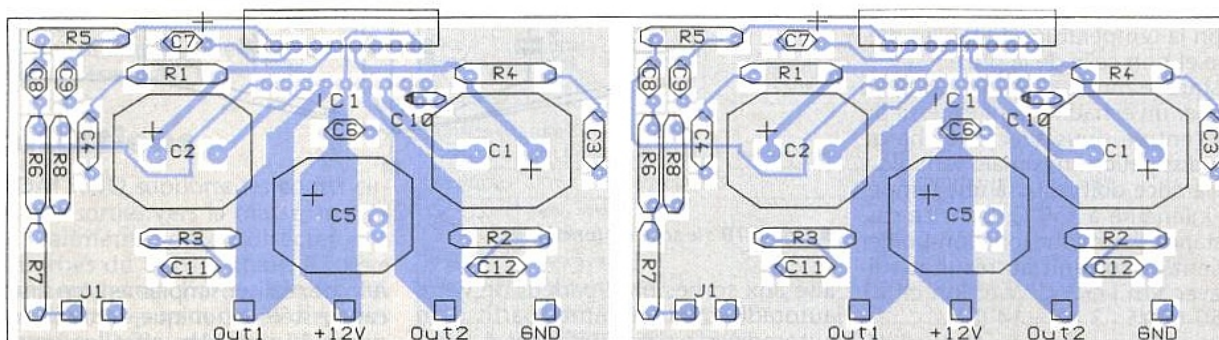


Figure 11 : le côté composants, plan de masse avec des freins thermiques en divers endroits. Comme on le constate, il s'agit du même circuit reproduit deux fois pour une exploitation en stéréo mais on pourra aisément le scinder pour une exploitation monoïve.



■ Figure 11b : le côté cuivre. Les pistes véhiculant de fortes intensités sont largement dimensionnées.



■ Figure 11c : l'implantation pour deux voies.

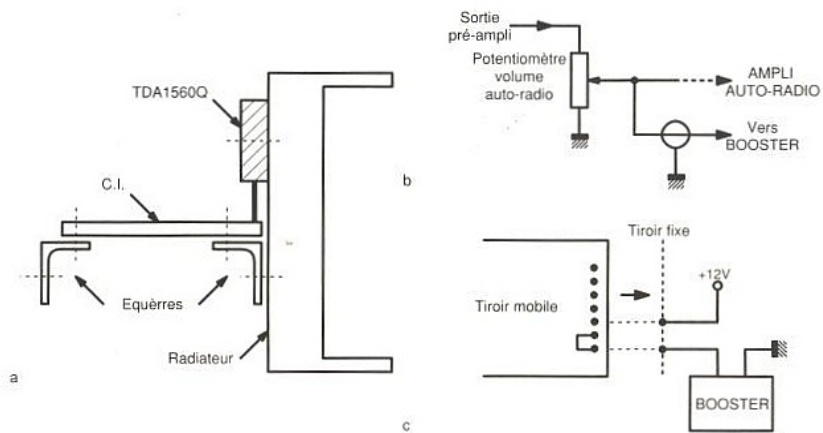
de placer C5. Enfin, n'oubliez pas les différentes soudures côtés composants qui permettent d'amener la masse sur leur contact électrique, notamment sur les broches 6 et 12 d'IC1.

Si vous souhaitez utiliser votre module en le pilotant par une source musicale (application typique), un radiateur double de 5 C/W conviendra parfaitement. Pensez à graisser copieusement, à l'aide d'une pâte prévue pour le transfert thermique, les deux tabliers métalliques des TDA1560Q. Aucun mica isolant n'est nécessaire (les tabliers sont, par construction, au potentiel de la masse).

Compte tenu des courants élevés circulant dans les conducteurs électriques, on utilisera du fil de forte section, notamment pour amener la tension batterie. Puisque le 12V alimente deux modules distincts, il convient de séparer convenablement les câbles. On n'oubliera pas d'insérer un fusible en série dans le fil d'alimentation positif.

Installation dans un boîtier et liaison à l'autoradio

L'électronique embarquée dans une automobile souffre énormément des vibrations émises par le véhicule en roulant. Il convient donc impérativement de solidariser entre eux tous les éléments susceptibles de se déplacer. Il



■ Figure 12 : exemples de mise en place et de raccordement.

s'agit, dans notre configuration, des deux TDA1560Q et de leur carte électronique associée. Si quelques précautions ne sont pas prises, les soudures ou les broches des composants rendront rapidement l'âme. La figure 13a décrit une solution possible : radiateur commun et circuit imprimé fixé par deux équerres.

Dans la plupart des applications, les boosters d'automobile utilisent la sortie haut-parleur de l'autoradio. Cette méthode présente le gros désavantage de faire transiter le signal au travers d'une électronique à fort bruit de fond et entachée de distorsion lors de fortes pointes de modulation. Il faut cependant souligner qu'elle simplifie à l'extrême la liaison au poste de radio. Pour

ceux qui souhaitent s'affranchir de l'étage de sortie précité, il convient de dériver le signal bas niveau, disponible sur le curseur du potentiomètre de volume (figure 13b). Le réseau de résistance R8, R7 n'a plus lieu d'exister et la chaîne de reproduction complète gagne alors en musicalité.

Si vous désirez démarrer votre booster lorsque vous engagez votre autoradio dans son tiroir antivol, la figure 13c décrit une solution toute simple : il suffit d'utiliser deux broches libres du tiroir fixe, que l'on connecte en série dans le plus 12V. Les deux broches mâles correspondantes seront alors équipées d'un strap. Lors de la mise en place du poste, le strap alimente immédiatement le booster.

Nouveau !

Découvrez le nouveau journal destiné aux enseignants, aux élèves et aux personnes qui souhaitent s'initier à l'électronique.

Conclusion

Ce nouveau module amplificateur PHILIPS se distingue nettement du lot des composants intégrés actuellement disponibles sur le marché. Il permet, en effet, de délivrer une importante puissance musicale sans toutefois entacher l'information d'une distorsion harmonique difficilement supportable. De plus, ses dimensions modestes conduiront à la réalisation de boosters automobile compacts dont l'intégration au sein de l'habitacle ne constituera pas de problème insoluble.

Christophe BASSO

Bibliographie

TDA1560Q, 40W car radio high power amplifier, Note d'application PHILIPS Semiconductors
 Booster 2x25W efficaces, C.BASSO, Electronique Radio-Plans n°490

NDLR : Ce circuit est très récent, aussi s'il est bien en distribution chez Philips, il est trop tôt pour le trouver chez votre détaillant, raison pour laquelle nous avons placé cette réalisation en «études et conception» (mais aussi parce que le fonctionnement est amplement analysé). De nombreuses demandes le feront passer rapidement dans le réseau de détail.

NOMENCLATURE (1 voie)

Résistances 5% 1/4W
 R1 = 2,2 Ω
 R2 = 2,2 Ω
 R3 = 2,2 Ω
 R4 = 2,2 Ω
 R5 = 150kΩ
 R6 = 10kΩ
 R7 = 390 Ω
 R8 = 120Ω

Condensateurs
 C1 = 2200µF 16V radial
 C2 = 2200µF 16V radial
 C3 = 0,22µF MKH
 C4 = 0,22µF MKH
 C5 = 2200µF 16V radial
 C6 = 0,1µF MKH
 C7 = 10µF 16V radial
 C8 = 0,1µF
 C9 = 0,1µF
 C10 = 0,22µF Tantale 35V
 C11 = 0,22µF MKH
 C12 = 0,22µF MKH

Semi-conducteurs
 IC1 = TDA1560Q PHILIPS Semiconductor

Divers
 Dissipateur thermique, voir texte

Generation ELECTRONIQUE

PROJETS, INITIATION, ENSEIGNEMENT

PETITE HISTOIRE DES TECHNOLOGIES (3^e PARTIE)
 P. 21

Poursuivre cette histoire de l'informatique sans s'attarder sur le personnage clé qu'est Alan Mathison Turing serait commettre une injustice à son égard.

En 1936, Alan Turing (Angleterre) qui n'est alors âgé que de 24 ans va faire paraître un article intitulé « Des nombres calculables, avec une application au problème de la décidabilité » qui sera en fait la définition des machines logiques.

Intégrant parfaitement les principes de Gödel qui définissent implicitement que « calculer c'est penser », Turing a su voir qu'une suite d'opérations mécaniques programmées pourrait suivre le cheminement d'une pensée.

L'emploi du conditionnel s'impose cependant car si les machines actuelles parviennent à imiter grossièrement un raisonnement humain dans le cadre d'une application limitée (jeux d'échecs électronique, système expert...), on est encore loin de la machine pensante.

La révolution de Turing a été de proposer un modèle de machine susceptible d'effectuer une tâche quelconque pourvu que l'on soit à même de décrire son fonctionnement dans une table de comportement. Cette tâche peut être accomplie par une machine, un ensemble de machines ou une machine universelle; cette dernière n'étant rien d'autre que la machine ultime, celle après laquelle il ne sera plus possible d'imaginer de descendants.

SOMMAIRE
 1 - PETITE HISTOIRE DES TECHNOLOGIES LA MACHINE DE TURING SONDE TSL SONORE
 2 - TECHNOLOGIE 1 THERMISTANCE A COEFFICIENT DE TEMPERATURE NEGATIF (CTN)
 3 - EQUIPEMENT DE L'ATELIER UN MICROPROCESSEUR
 4 - QU'EST-CE QUE C'EST ? COMMENT CA MARCHE ? LE MICROPROCESSEUR
 5 - LE MICROPROCESSEUR
 6 - J'ENSEMBLEMENT DE L'ATELIER UN MICROPROCESSEUR
 7 - UN OMBRETE A LED
 8 - LES CALCULATRICES (GRAPHIQUES) COLLECTION AUTOMATISÉE
 9 - HISTOIRE DES RADIOCOMMUNICATIONS
 10 - LOGIQUE 3 UN MULTIMETRE
 11 - UN CLIGNOTANT
 12 - INITIATION A LA RADIOLOGIE
 13 - PROJET : INTERFACE ROBOT
 14 - LE COIN DE LA REGNE
 15 - INTERMEDIATEUR CIRCULAIRES
 16 - UN MODULE DE COMPTAGE
 17 - ABONNEMENTS

SONDE TSL SONORE
 PAGE 3

LA MISE AU POINT ou la compréhension de montage à base de circuits logiques nécessite d'interpréter et de connaître l'état logique de certaines entrées et sorties. Il n'est pas toujours nécessaire de disposer d'instruments de mesure coûteux. Bien au contraire, une simple sonde logique donne parfois une meilleure indication.

La sonde logique que vous êtes pressenti est d'autant plus attrayante que l'indication d'un état haut ou bas se traduit par un effet sonore de fréquence haute ou basse Plus raisonnable de porter les yeux à la fois sur l'indicateur d'état lumineux et sur la pointe de touche en contact avec le point teste Manipulation qui demande parfois la plus grande attention afin d'obtenir tout court circuit évolutaire

POURQUOI TTL
 L'univers de la logique regroupe plusieurs familles de circuits intégrés logiques, mais deux d'entre elles sont le plus couramment utilisées. La TTL est l'une d'elles et regroupe un très grand nombre de types dont la TTLLS, la plus courante, et les plus nouvelles la HCMOS et la HCMOS.

Notre sonde prend compte des caractéristiques de la TTLLS et conviendrait également à la HCMOS, mais ne conviendrait pas à la HCMOS, sauf partiellement et dans certains cas (tableaux chargés). Les cristaux de ces trois séries sont présentés en figure 1.

LE FONCTIONNEMENT DE LA SONDE
 Un ordinateur à l'instar de la zone de niveau indéterminé. Le point d'entrée de tension Vcc, R1 et R2, font les limites des trois niveaux haut, intermédiaire et bas. Le niveau Hc et R3, est à 0,8Vc et détermine avec la transition bas-déterminée. Le niveau R4 et R5, est à 2Vc, celui de la transition haut-déterminée.

Les deux amplificateurs opérationnels d'un MC14138 (double AOP) sont utilisés en comparateur le niveau présent sur la pointe de touche est comparé au seuil du niveau haut par IC1, et au seuil du niveau bas par IC2.

1767 - 3 - 1200 F

N°3 PARUTION LE 15 NOVEMBRE 93
 Format : 360 x 250 - 24 pages - 12 F le numéro,
 en vente chez votre marchand de journaux

ABONNEZ-VOUS !

Retournez ce coupon à l'adresse suivante :
GÉNÉRATION ÉLECTRONIQUE - Service Abonnement
 2 à 12, rue de Bellevue
 75940 PARIS Cedex 19

BULLETIN D'ABONNEMENT

Oui, je souhaite :

FRANCE MÉTROPOLITAINE :
 m'abonner pour 6 mois (5 nos) à **GENERATION ELECTRONIQUE** au prix de 48 F au lieu de 60 F.
 m'abonner pour 1 an (10 nos) à **GENERATION ELECTRONIQUE** au prix de 90 F au lieu de 120 F.

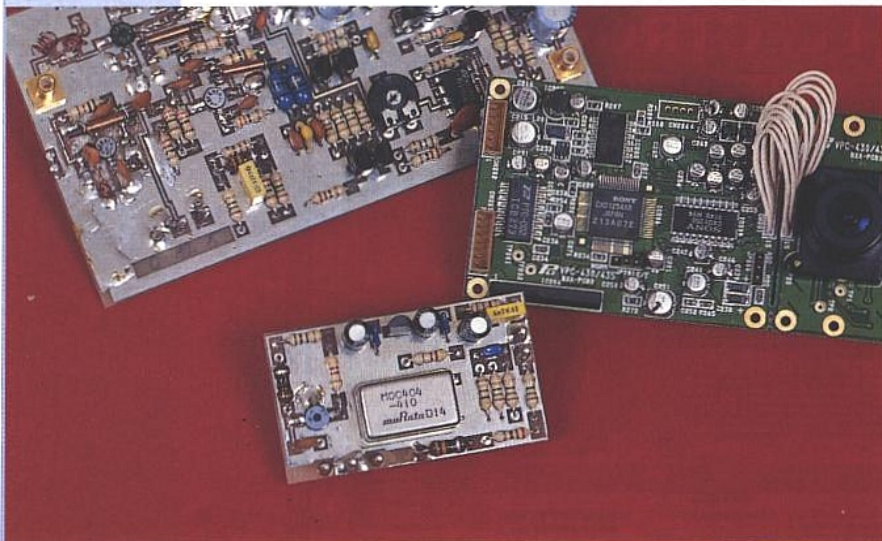
ETRANGER :
 6 mois (5 n°) 62 F
 1 an (10 n°) 120 F

Ci-joint mon règlement par :
 Chèque bancaire Chèque postal
 Mandat-Lettre
 Bon de commande de l'administration
 à l'ordre de **GENERATION ELECTRONIQUE**
 Carte Bleue N° : _____
 Date d'expiration : _____
 Signature : _____

Nom : Prénom :
 Etablissement :
 Adresse :
 Code Postal : Tél. :

553 / 49

RECEPTEUR VIDEO FM 400 MHz POUR CAMERA CCD



Voici enfin avec un léger retard le récepteur vidéo en modulation de fréquence, compagnon nécessaire et indispensable à l'émetteur décrit dans le numéro 550 de ERP. Disposant d'une caméra CDD miniature, on cherche à transmettre le signal

vidéo sans support physique, c'est-à-dire sans liaison électrique.

Pour diverses raisons techniques mais aussi économiques, comme disponibilité et coût, nous avons opté pour une fréquence proche de 430 MHz, une modulation en fréquence et dans la version de base, d'une puissance d'émission de 100 mW.

Grâce à un VCO Murata, le problème de l'émetteur est extrêmement simple et la solution retenue vous a été présentée dans le précédent numéro d'ERP. Dans ce numéro, nous nous intéressons au seul cas du récepteur.

Le schéma synoptique du récepteur est donné à la figure 1. Ce schéma est archi-classique : étage d'entrée, mélange entre un signal local et le signal d'entrée donnant le signal à la fréquence intermédiaire, amplification, filtrage et démodulation.

Le signal démodulé est désaccentué, filtré, amplifié et réaligné. La fréquence du signal d'entrée vaut 430 MHz. La fréquence intermédiaire est fixée à 130 MHz. A cette fréquence, on peut disposer de filtres à ondes de surface et de circuits démodulateurs à quadrature ou même à PLL.

Avec ces conditions, la fréquence de l'oscillateur local pourrait prendre deux valeurs : $430 - 130 = 300$ MHz en étant inférieure au signal d'entrée ou $430 + 130 = 560$ MHz en étant supérieure à la fréquence du signal d'entrée. Quelques essais ont été effectués avec

un oscillateur à 300 MHz et ces manipulations ont mis en évidence certains problèmes difficiles à surmonter. En effet, à la sortie du mélangeur, on retrouve bien : $f_{in} - f_{OL}$ soit 130 MHz mais aussi $2 f_{OL} - f_{in}$ - fin soit une raie à 170 MHz donc assez proche de la fréquence à recevoir.

Avec un oscillateur local à 560 MHz, les produits d'intermodulation d'ordre 3 ou 5 ne sont plus gênants.

La différence nous donne la fréquence intermédiaire à 130 MHz et les deux produits d'ordre 3 : $2 f_{in} - f_{OL}$ et $2 f_{OL} - f_{in}$ donnent respectivement 300 et 690 MHz et sont donc suffisamment éloignés de la fréquence intermédiaire utile. On notera que les produits d'intermodulation d'ordre supérieur à 2 sont beaucoup plus importants, tant en nombre qu'en niveau, avec des mélangeurs à transistors en technologie bipolaire - cellule de Gilbert - qu'avec des mélangeurs en anneau, diodes.

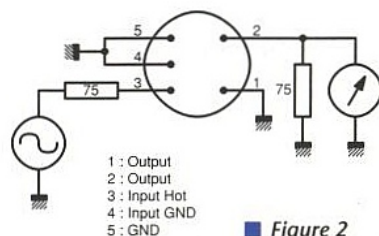
Des essais menés avec un mélangeur Avantek - IAM 8108 - ont montré les faiblesses du principe. Mais attention, ceci ne vaut pas dire que le composant n'est

pas bon. Dans le cas de l'IAM on peut simplement le proscrire pour des fréquences inférieures à 1,5 GHz, au delà il surclasse les mélangeurs à diodes.

Le filtrage de la fréquence intermédiaire est confié à un filtre à ondes de surface Murata dont le brochage est donné à la figure 2. Le démodulateur est un démodulateur à quadrature SL 1454 Plessey.

On remarquera que l'oscillateur local n'est pas asservi par un PLL. Ceci est dans le simple but de réduire le coût et la complexité du schéma et n'est possible qu'en concevant un oscillateur stable à moyen terme.

VUE DE DESSOUS



■ Figure 2

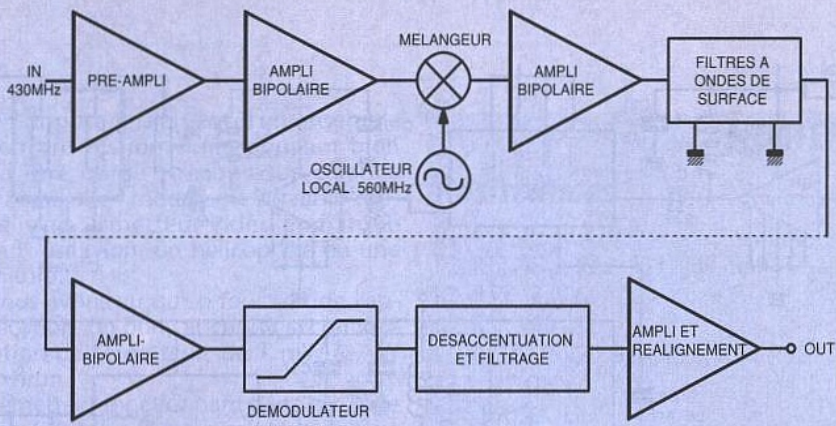


Figure 1 : le synoptique.

Autour de la porteuse, le signal occupe plusieurs MHz. A la réception on peut se contenter d'une stabilité de quelques dizaines de kHz. L'adjonction d'un PLL reste possible mais augmente évidemment le coût pour un résultat pas forcément visible.

Le décalage de la fréquence centrale de l'oscillateur local, s'il s'agit d'un décalage lent - à moyen terme -, se traduit par une modification de la valeur de la composante continue en sortie du démodulateur.

Les modifications de la valeur de la tension continue étant annulées par le circuit de réalignment, simple à mettre en œuvre, nous avons choisi cette dernière solution. Nous en savons suffisamment pour passer au schéma de principe du récepteur.

SCHÉMA DE PRINCIPE DU RÉCEPTEUR

Le schéma de principe du récepteur est donné à la figure 3. On reconnaît assez facilement les composants correspondant au schéma synoptique.

L'étage préamplificateur d'entrée consiste en la mise en cascade d'un préamplificateur à FET As Ga et d'un amplificateur en technologie bipolaire.

Le préamplificateur en technologie As Ga présente un faible facteur de bruit qui masque le bruit de l'étage suivant : amplificateur intégré PC 1677 NEC.

L'amplificateur NEC dispose d'un fort gain : 20 dB mais avec un facteur de bruit voisin de 6 dB.

La structure interne de l'amplificateur NEC est un arrangement dit paire série-shunt qui donne un gain en tension relativement faible : 10, mais une bande passante très étendue : 1 GHz environ. Ces amplificateurs sont présentés en boîtiers standards 8 broches mais on pourrait songer à les remplacer par leur équivalent, ou presque, en CMS, μ PC 1678 - μ PC 1679 du même fabricant.

Moyennant quelques modifications mineures du tracé, il doit être envisageable de remplacer les amplificateurs NEC par des amplificateurs Philips NE 5205 ou même Avantek série MSA ou mini-circuit série MAR.

De l'entrée J1 à la sortie du condensateur C11, le gain de l'étage d'entrée vaut 32 dB. Le signal de sortie du préamplificateur est envoyé à l'entrée RF du mélangeur SBL 1 mini-circuit. Ce mélangeur reçoit l'oscillateur local à l'entrée LO, broche 8.

L'oscillateur local est bâti autour du transistor T1, BFR 91. La réaction est assurée

par la capacité base-collecteur interne et le condensateur C4 externe. La valeur de L6 (1 tour, $\Phi = 3$ mm, section 4/10^e mm) permet de fixer la fréquence de l'oscillateur à 560 MHz. L'étage T2 est un simple buffer qui permet d'isoler le mélangeur et l'oscillateur local.

Le signal à la fréquence intermédiaire, 130 MHz, est disponible en sortie du mélangeur sur les broches 3 et 4. Le gain de conversion vaut environ - 6 dB. Ceci signifie que le niveau de la raie à 130 MHz est inférieur de 6 dB au niveau de la raie à 430 MHz.

Le signal est amplifié par deux amplificateurs NEC μ P 1677 et filtré par un filtre à ondes de surface Murata pour être ensuite envoyé au démodulateur à quadrature SL 1454.

Le signal vidéo est disponible à la broche 5 du circuit intégré SL 1454. Il est premièrement désaccentué par une cellule en T shunté, L 9 et C25, puis filtré par un

filtre passe-bas : L 10, L 1, C 26, C 27 et C 28.

Le signal vidéo est amplifié par un montage différentiel construit autour de T10 et T11 et la résistance R1 permet d'en ajuster le gain.

Autour du buffer vidéo T5, T6, T7 et T8, on réaligne le signal vidéo grâce à IC4, D1 et C22.

Ce schéma de principe est sans surprise, il rassemble des fonctions ou éléments ayant déjà fait leurs preuves dans d'autres applications, notamment en TV SAT.

RÉALISATION PRATIQUE

Tous les composants du schéma de principe de la figure 3 sont implantés sur un circuit imprimé de faibles dimensions 112 mm x 64 mm double face trous métallisés.

Le tracé des pistes côté cuivre est donné à la figure 4, côté composants à la figure 5 et l'implantation correspondante à la figure 6.

L'équipement de la carte ne pose pas de problème majeur. Les transistors T3 et T4 ne doivent pas être remplacés par des 2N 3904 mais les 2N 3904 peuvent tous être remplacés par des BC547B et les 3906 par des BC 557B. Pour les selfs de choc, on peut utiliser des selfs sur ferrite comme le montrent les photos mais on peut aussi utiliser des selfs moulées à 1 μ H à défaut.

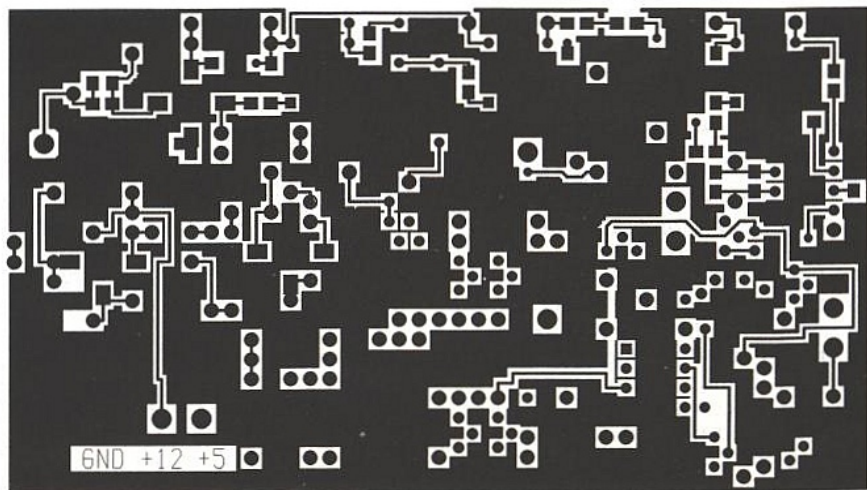
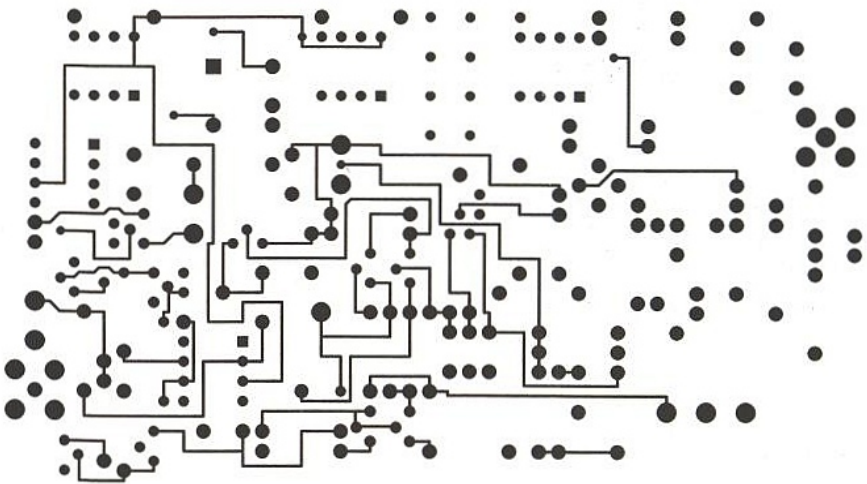
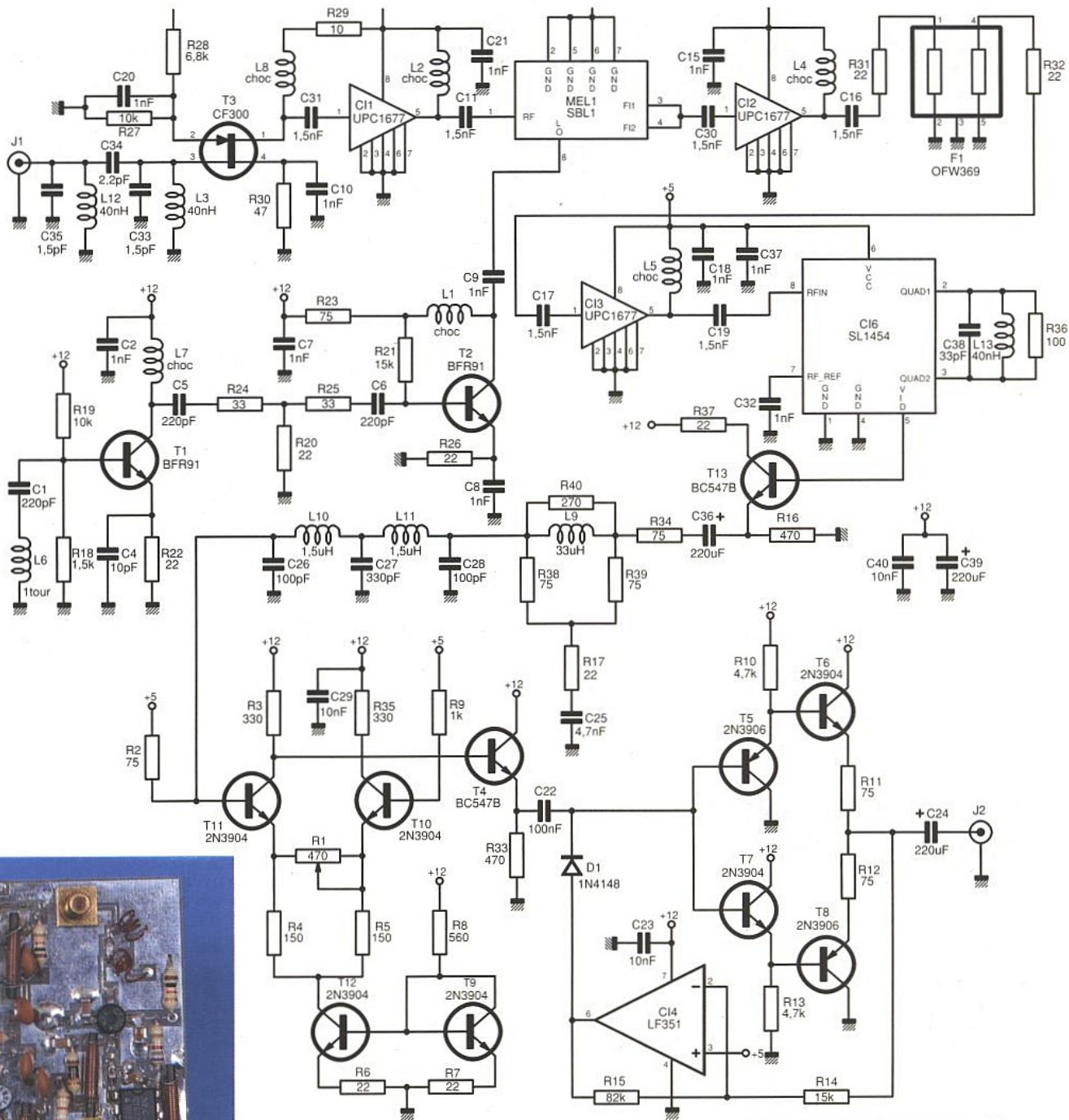


Figure 4 et 5 : côté cuivre et composants.



■ Figure 3 : schéma fonctionnel.

Il est inutile de régler finement les deux selfs L12 et L3 si l'on ne dispose pas de l'équipement nécessaire.

Le réglage le plus difficile à effectuer sans moyen de mesure est probablement le réglage de la self L6 en rapprochant ou en éloignant l'unique spire du plan de masse (valeur entre 10 et 20 nH).

Le réglage s'effectue, soit à l'analyseur de spectre si l'on en dispose, soit au fréquencemètre connecté à la sortie de R25 ou à la sortie de C9.

A l'aide de l'émetteur préalablement câblé, on s'assure de la présence d'un signal à la fréquence intermédiaire : 130 MHz à la sortie de IC2.

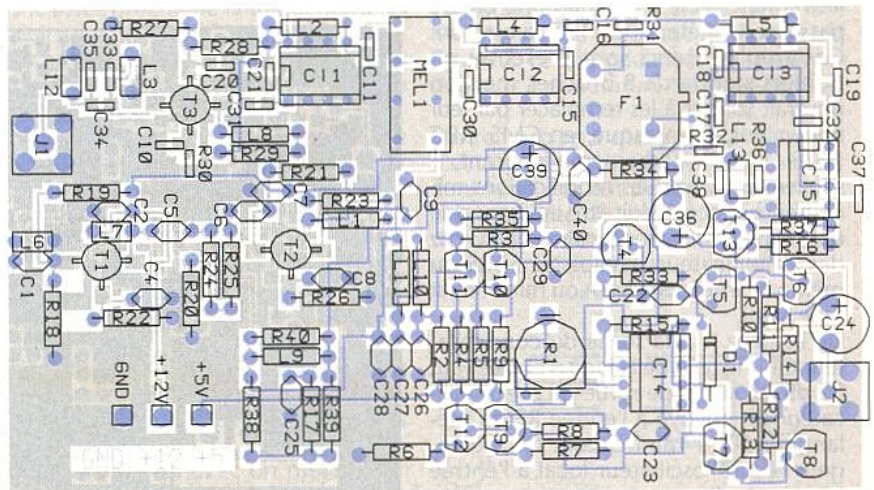
Il est alors assez facile d'atténuer la sortie de l'émetteur pour l'utiliser comme générateur autour de 430 MHz. Un potentiomètre connecté entre 0 et 5 V remplace la modulation vidéo.

A l'aide de ce générateur, 430 MHz sommaire, on peut envisager le réglage de la self L13.

Éventuellement, le générateur peut être modulé par un signal sinusoïdal ou triangulaire et la self L13 sera réglée

de manière à obtenir à la broche 5 un signal de forme identique au signal modulant.

Le réglage du potentiomètre R1 est simple, il suffit d'obtenir 1 V à 1,5 V de niveau vidéo en sortie.



■ Figure 6 : l'implantation du récepteur.

On dispose finalement d'un ensemble de transmission vidéo pouvant bien sûr être utilisé en vidéo-surveillance mais aussi en modélisme ou radio-modélisme : émetteur vidéo embarqué dans un avion, un hélicoptère ou une voiture.

Nous avons vu qu'en fonction de l'application, on pouvait choisir la configuration de l'émetteur, de 1 mW à 7 W environ.

L'émetteur fonctionnant dans la bande des 430 MHz, il est important de s'assurer que l'on entraîne aucune gêne pour le voisinage (bande amateur).

D'un point de vue confidentialité des images, ce qui peut être extrêmement important en surveillance, il n'y a en principe aucun risque car émetteur et récepteur sont des sous-ensembles spécifiques et fonctionnent de surcroît en FM alors que cette bande est exploitée en AM.

Il n'y a donc aucun risque de réception sur un récepteur TV classique en AM, bande latérale atténuée. Si la confidentialité est très importante, on aura recours à un cryptage.

La phase de mise au point pourrait être allégée en remplaçant l'oscillateur T1 par un sous-ensemble comme le VCO Murata employé dans l'émetteur.

Pour l'approvisionnement des composants spécifiques on fera appel aux spécialistes : mélangeur : Chip service, VCO : Perlor Radio, C F 300 : Dilec, etc.

François de DIEULEVEULT

NOMENCLATURE

Résistances

R1, R16, R33 : 470 Ω
 R2, R11, R12, R23, R34, R38, R39 : 75 Ω
 R3, R35 : 330 Ω
 R4, R5 : 150 Ω
 R6, R7, R17, R20, R22, R26, R31, R32, R37 : 22 Ω
 R8 : 560 Ω
 R9 : 1 k Ω
 R10, R13 : 4,7 k Ω
 T14, R21 : 15 k Ω
 R15 : 82 k Ω
 R18 : 1,5 k Ω
 R19, R27 : 10 k Ω
 R24, R25 : 33 Ω
 R28 : 6,8 k Ω
 R29 : 10 Ω
 R30 : 47 Ω
 R36 : 100 Ω
 R40 : 270 Ω

Condensateurs

C1, C5, C6 : 220 pF
 C2, C7, C8, C9, C10, C15, C18, C20, C21, C32, C37 : 1 nF
 C4 : 10 pF
 C11, C16, C17, C19, C30, C31 : 1,5 nF
 C22 : 100 nF
 C23, C29, C40 : 10 nF
 C24, C36, C39 : 220 μ F
 C25 : 4,7 nF

C26, C28 : 100 pF
 C27 : 330 pF
 C33, C35 : 1,5 pF
 C34 : 2,2 pF
 C38 : 33 pF

Semi-conducteurs

D1 : 1N4148
 T1, T2 : BFR91
 T3 : CF300 (MOS bigrille As Ga Telefunken)
 T4, T13 : BC547B
 T5, T8 : 2N3906
 T6, T7, T9, T10, T11, T12 : 2N3904

Circuits intégrés

IC1, IC2, IC3 : μ PC1677 NEC
 IC4 : LF351
 IC5 : MEL1, mélangeur SBL1 mini-circuit
 IC6 : SL 1454 Plessey

Divers

F1 : filtre à ondes de surface Murata SAF 130MB00N
 L1, L2, L4, L5, L7, L8 : choc 1 μ H
 L3, L12, L13 : 40 nH
 L6 : 1 tour ($\Phi = 3$ mm, $s = 4/10^6$ mm)
 L9 : 33 μ H
 L10, L11 : 1,5 μ H
 J1, J2 : embase BNC.



Votre
CADEAU :
 2 logiciels

Recevez chaque mois toutes les informations indispensables pour suivre l'évolution de tous les aspects de l'électronique.

- Profitez de notre offre spéciale d'abonnement recevez

12 n° d'Electronique Radio Plans



2 logiciels exclusifs en cadeau :

- TELENEWS : protocole de téléchargement pour dialoguer avec notre serveur 3615 ERP - Version DOS et Windows.
- Emul 2 : émulateur minitel sur PC pour optimiser l'exploitation minitel.

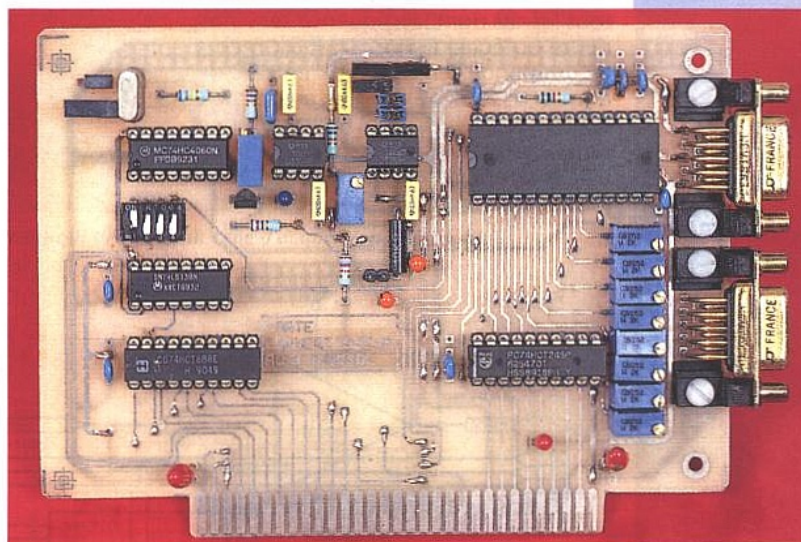
Profitez de cette offre exceptionnelle

ABONNEZ-VOUS !



CARTE CONVERTISSEUR A-N ET VOLTMETRE

Un petit laboratoire de mesures piloté par micro-ordinateur PC pouvant être facilement conçu, il nous a semblé que ce projet pourrait intéresser un bon nombre de nos lecteurs. Après le fréquencesmètre paru dans le numéro 551, et la description le mois dernier d'un prolongateur de bus, nous vous proposons aujourd'hui la description d'une carte A-N qui, adjointe à une petite carte de conditionnement, constituera un voltmètre huit voies pour apprécier des tensions continues ou de très basse fréquence.



Sans prétendre égaler les appareils de mesures professionnels, nous pouvons arriver à un très bon rapport qualité/prix et satisfaire un grand nombre d'applications courantes. Par la simple addition d'une carte, d'un prix de revient insignifiant eu égard aux performances obtenues, nous pourrions transformer par exemple la carte A-N sujet de cet article, en volt-mètre continu ou alternatif (en utilisant un convertisseur RMS), en ampèremètre, en capacimètre, etc. En définitive, nous arriverons à condenser tout un petit laboratoire de mesures dans un espace restreint, grâce aux autres cartes que nous vous avons déjà proposées et à celles à venir.

Le circuit intégré AD7581

Son schéma interne est donné en figure 1.

C'est un convertisseur A-N produit par ANALOG DEVICES directement interfaçable avec un bon nombre de microprocesseurs: 8080, 8085, Z80, 6800. Son adaptation au bus du PC

n'a pas posé de problèmes particuliers.

De résolution 8 bits, il comporte 8 canaux d'entrées, est présenté en boîtier à 28 broches, et réalisé en technologie CMOS. Son principe de conversion adopte le système des approximations successives, comme la plupart des CAN de vitesse moyenne, ce qui donne un temps de conversion non négligeable de l'ordre de 66 μ s par canal. Cette relative lenteur ne nous gênera pas pour l'application à laquelle nous l'avons destiné. Il intègre des latches pour les lignes d'adresses qui seront utilisés lorsque le micro avec lequel il sera employé présentera un bus d'adresses et de données multiplexés. Dans ce cas la broche ALE sert à la validation des bascules. L'AD7581 possède une mémoire RAM de M8X8 bits dans laquelle sont stockés les résultats de chaque conversion. Cette RAM est bufférisée en sortie par des amplificateurs trois états, validés par la broche CS barre. Le tout est piloté par une circuiterie logique cadencée par les oscillations d'un quartz, dont la fréquence ne doit pas excéder 1,2 MHz.

Fonctionnement de l'AD7581

Le 7581 possède, comme nous l'avons vu, huit entrées de mesure. Au rythme de son horloge, il convertit séquentiellement chaque canal à tour de rôle. C'est la circuiterie logique interne qui se charge de l'ordre des opérations. La tension présente à l'entrée du canal lu, est comparée à la tension de sortie d'un CNA, générée au départ par l'application du bit interne D7 qui commence toujours la comparaison. Au CNA est appliquée une tension de référence externe, qui doit être bien entendu la plus stable possible en rapport avec la résolution globale. Si la tension lue est inférieure à la tension de sortie du DAC, alors le bit 7 est mis à zéro, et la logique continue la comparaison avec le bit 6. Si la tension d'entrée est supérieure à celle de comparaison, le bit 6 est mis à 1, et l'on passe au bit 5, etc. Lorsque la conversion est achevée, l'octet obtenu est rangé à sa place dans les huit premiers bits de la mémoire. Sur la broche 12 (STAT barre) est alors disponible une courte impulsion négative signa-

lant la fin de la première conversion, et qui peut être utilisée par un circuit externe (en exemple nous pouvons citer une ligne d'interruption du microprocesseur). Simultanément à l'apparition de cette impulsion, l'adresse de canal d'entrée est décrémentée et la nouvelle conversion peut débuter. Chaque conversion de canal dure 80 périodes d'horloge (640 au total). Il est bien évident qu'une telle longueur de conversion (environ 560 μ s pour les huit canaux) réservera cette carte à la lecture de tensions continues ou à celle de signaux à variations lentes, et dans tous les cas dont la fréquence sera inférieure ou égale à 500 Hz. Il est même recommandé d'insérer aux entrées du convertisseur des filtres à coupure brusque qui bloqueront tous les signaux non assimilables par le convertisseur pour éviter les problèmes de repliement de spectre.

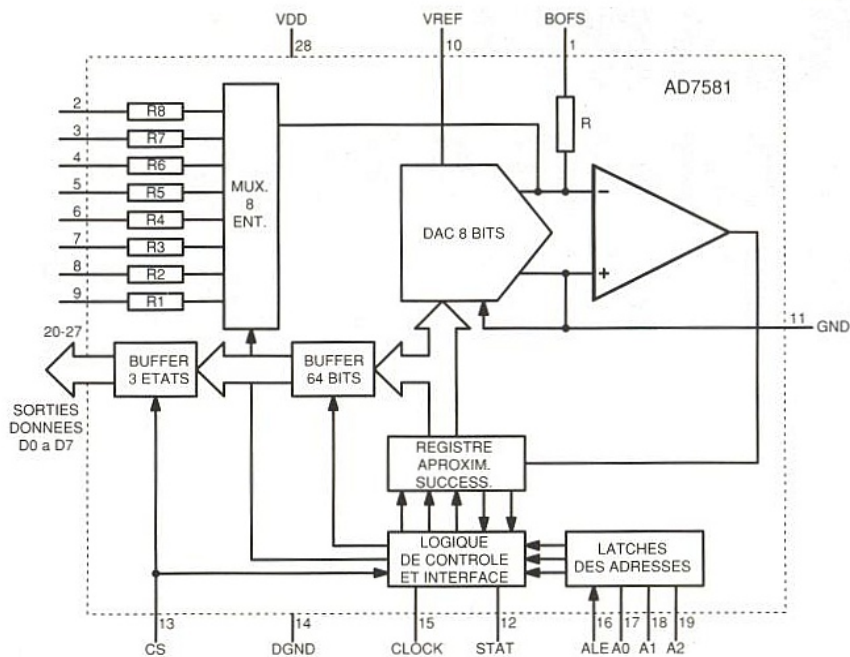


Figure 1 : architecture de l'AD7581.

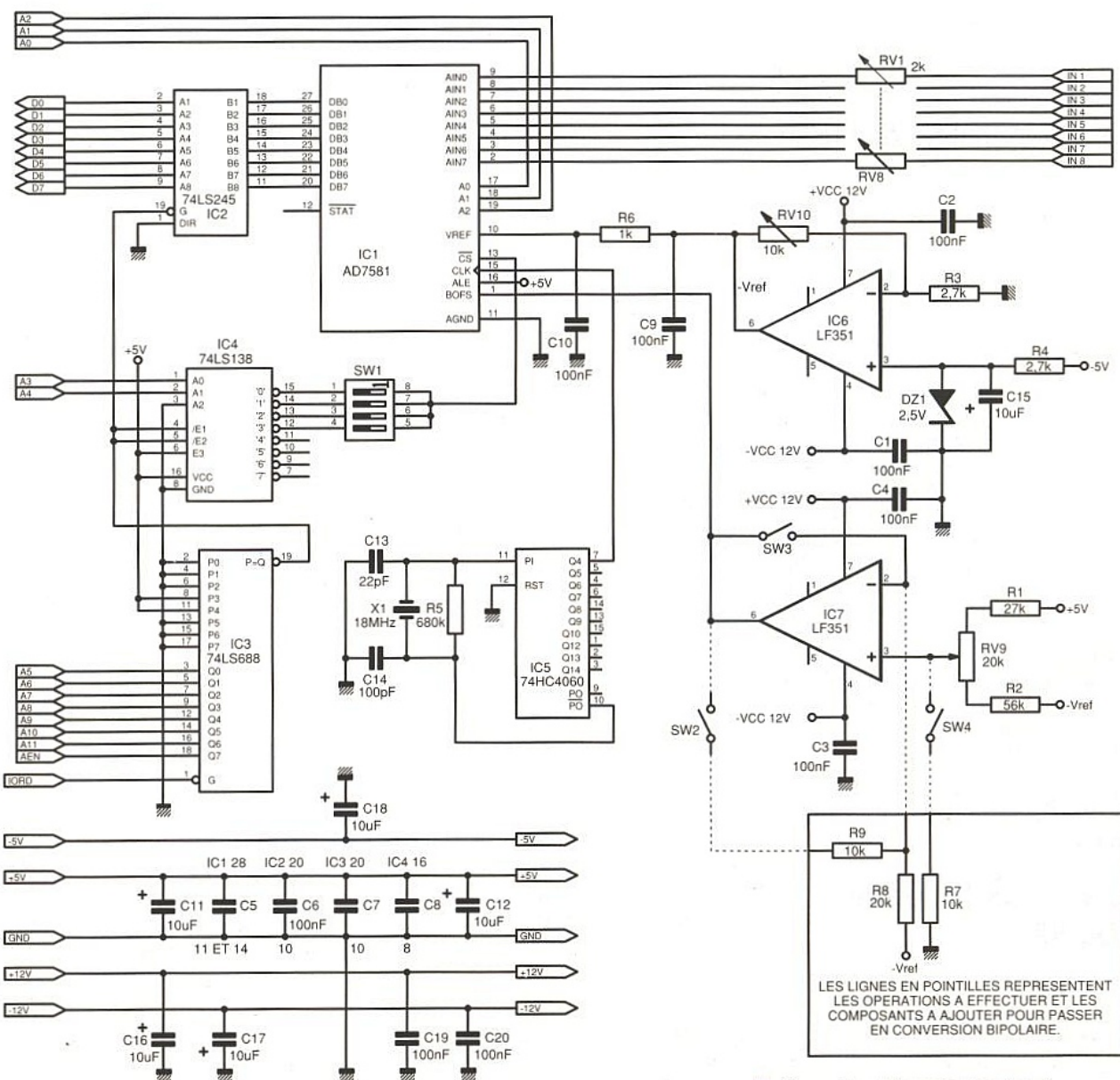


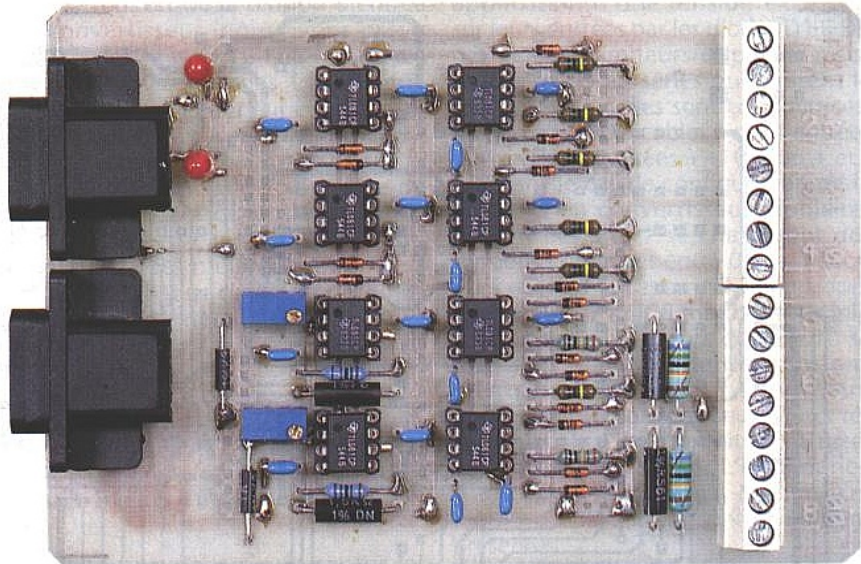
Figure 2 : schéma de la carte PC de conversion.

LA CARTE PC

Sur cette carte nous n'avons pas utilisé toutes les possibilités du convertisseur, tout au moins en ce qui concerne la logique. La broche STAT barre n'a pas été câblée et la broche ALE a été ramenée au plus de l'alimentation, ce qui nous donne un fonctionnement et une gestion logicielle de la carte beaucoup plus simples.

Le schéma de principe est donné à la figure 2.

Les circuits intégrés IC3 et IC4 se chargent du décodage des adresses. Contrairement à notre habitude, qui est de donner à l'utilisateur la possibilité de loger la carte à huit adresses différentes, celle-ci ne disposera que de quatre possibilités. En effet, le convertisseur nécessitant trois lignes d'adresses (A0, A1 et A2) afin de lire ses diffé-



La carte de conditionnement qui s'enfiche sur celle d'acquisition (PC).

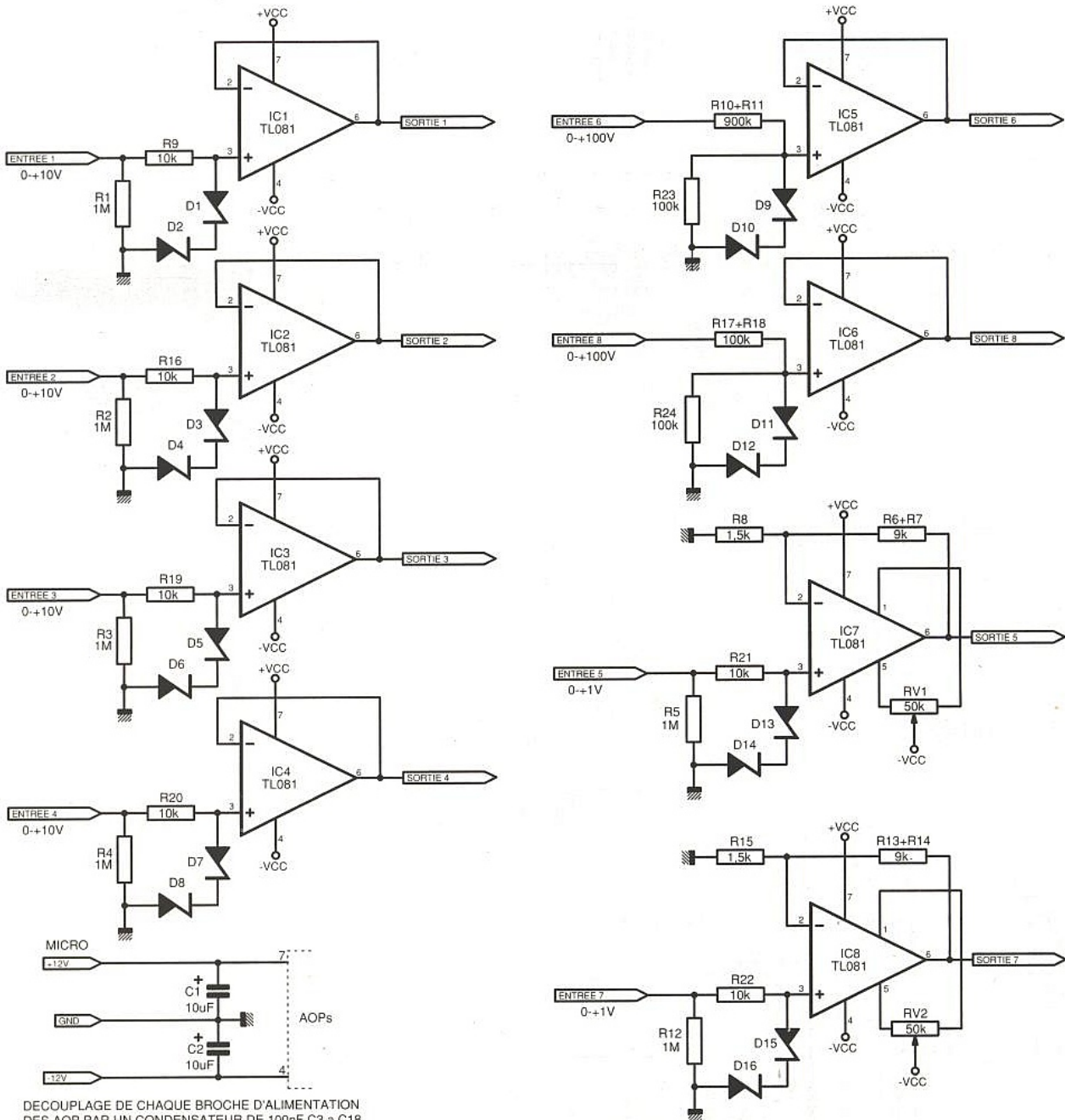


Figure 3 : schéma de la carte de conditionnement.

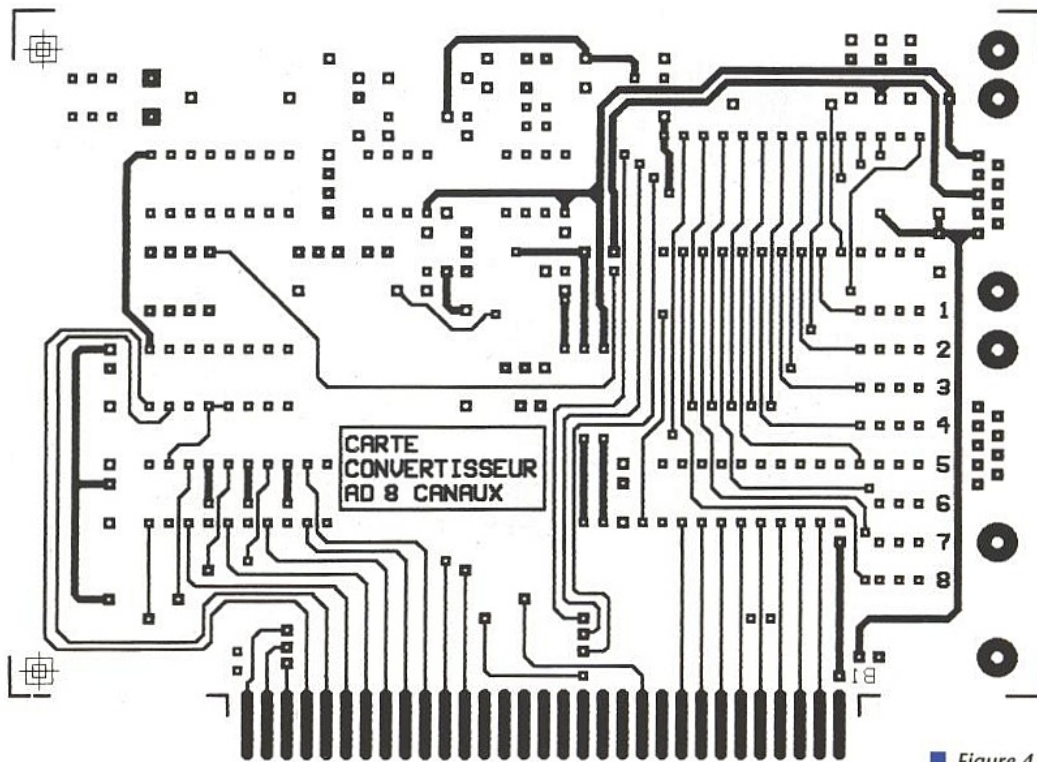


Figure 4 : le côté composants de la carte PC.

Gros plan sur l'horloge de la carte PC et sur les circuits d'entrée de la carte de conditionnement.

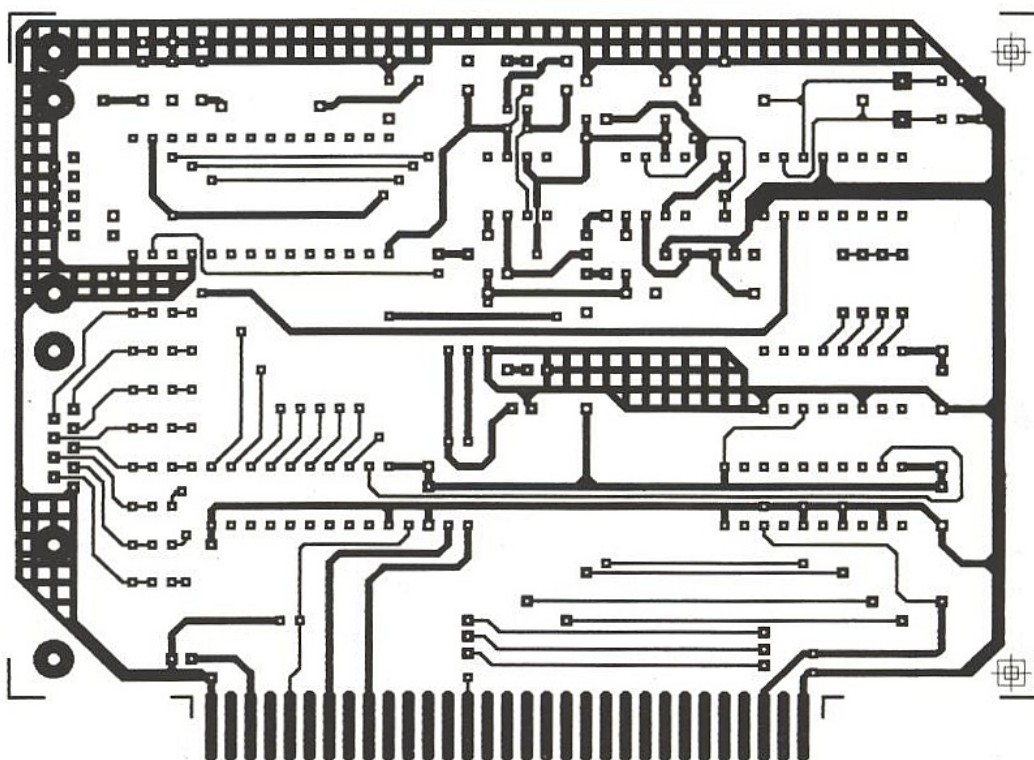
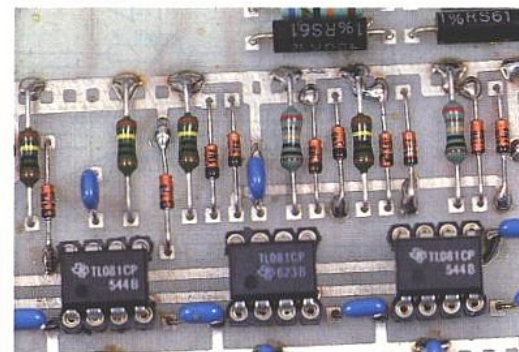
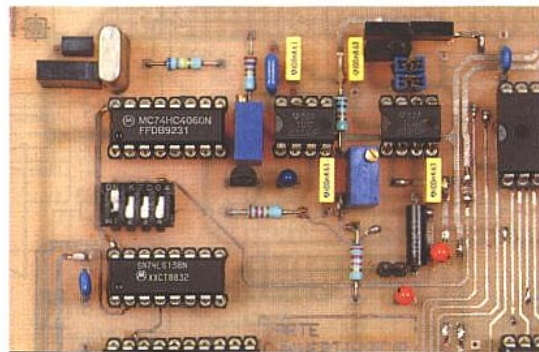


Figure 5 : le côté cuivre de la carte PC.

rentes cases mémoires, le décodeur 3 vers 8 est devenu un décodeur 2 vers 4 (A3 et A4 étant les seules lignes disponibles). Notre carte devra donc être placée à l'une des adresses suivantes: H300, H308, H310 ou H318. C'est l'interrupteur SW1 qui se chargera de ce travail. Le CI IC2 est dévolu à l'amplification des lignes de données du convertisseur et sera seulement validé lorsqu'une lecture sera demandée.

Comme nous venons de le voir, les trois premières lignes d'adresses du PC sont directement connectées au circuit convertisseur. Ce sont elles qui détermineront quelle entrée de ce dernier va être lue. Le 7581 est cadencé à la fréquence générée par le circuit intégré IC5, soit $18\text{MHz} / 16 = 1,125\text{MHz}$. Nous aurions pu prélever ce signal d'horloge sur la CLOCK SYSTEM du PC; mais cette carte étant destinée à un large éventail de modèles de micros de vitesses souvent très différentes, il aurait été difficile de prévoir un circuit diviseur standard. Par ailleurs, comme nous n'avons nul besoin que cette carte fonctionne de manière synchrone avec le microprocesseur, nous avons choisi la solution la plus simple. La tension de référence nécessaire à IC1 est disponible à la sortie de IC6 monté en source de tension de référence à faible débit. DZ1, une zéner de référence 2,5 V, fournit la précision nécessaire à l'amplificateur opérationnel. Vref a été fixée à 10 volts mais peut varier dans de larges proportions, suivant la résolution que l'on désire obtenir; 10 V est une bonne moyenne, puisque cela nous donne une résolution d'un peu moins de 40 mV.

Pour ce qui est de la tension d'entrée du convertisseur, nous avons prévu deux possibilités. Dans l'un des cas, la plage va de 0 à +10 volts. Dans l'autre, la tension à mesurer peut être bipolaire et varier de -5 à +5 volts. Ce choix sera effectué en positionnant sur la carte deux cavaliers. IC7 se charge du réglage d'offset du convertisseur. Chaque entrée s'effectue sur des résistances variables multitours pour ajuster le gain. Chaque circuit est découplé par un condensateur.

LA CARTE D'ADAPTATION VOLTMETRE

Il serait imprudent de présenter les tensions à mesurer directement aux entrées de la carte convertisseur. Il suffirait d'une erreur de manipulation pour que l'AD7581 parte en fumée. De plus, nous ne disposerions alors que d'une gamme de mesures (0 à 10 V ou -5 à +5 V). Par ailleurs, l'impédance d'entrée du convertisseur est basse et se situe aux alentours de 20 kΩ, ce qui est insuffisant pour effectuer des mesures de tension sur des composants électroniques. D'où le rôle de cette carte additionnelle. Le schéma de principe est représenté à la figure 3. L'électronique en est simple.

Les entrées 1 à 4 comportent chacune un amplificateur opérationnel monté en suiveur. L'impédance d'entrée de ces étages a été fixée à 1MΩ. Les amplificateurs sont protégés contre toute

application d'une tension excessive sur leurs entrées par les diodes D1 à D8 montées en limiteurs et par les résistances mises en séries qui limitent le courant lorsqu'elles sont conductrices. Les tensions applicables à ces 4 entrées devront être limitées à +10 V ou + et - 5 V dans le cas de configuration de la carte PC en convertisseur bipolaire. Les entrées 5 et 7 se chargeront des tensions comprises entre 0 et + 1 V ou - 0,5 et + 0,5 V. Les amplificateurs opérationnels IC7 et IC8 montés en amplificateurs non inverseurs de gain 10 se chargent d'augmenter les tensions d'entrées afin qu'elles puissent être traitées par le convertisseur. Deux résistances ajustables multitours ajusteront le zéro de sortie. L'impédance d'entrée est là aussi de 1 Mohms. Les diodes de protection sont également présentes.

Enfin les entrées 6 et 8 pourront admettre des tensions élevées puisque les plages iront de 0 à +100 V ou -50 à +50 V.

Les AOP IC5 et IC6 sont montés en suiveur de tension, mais sont précédés d'un pont diviseur 1/10 qui réduit à une valeur acceptable les signaux d'entrées. Ces dernières sont protégées par deux diodes comme les précédentes.

Les résistances fixant le gain de IC7 et IC8 seront des modèles de précision à 1% ou mieux, ainsi que celles formant les ponts diviseurs précédant IC5 et IC6.

Les diodes de protection pourront avoir deux valeurs suivant la configuration de la carte convertisseur en unipolaire ou en bipolaire. Dans le premier cas, ce seront des diodes zener de 12

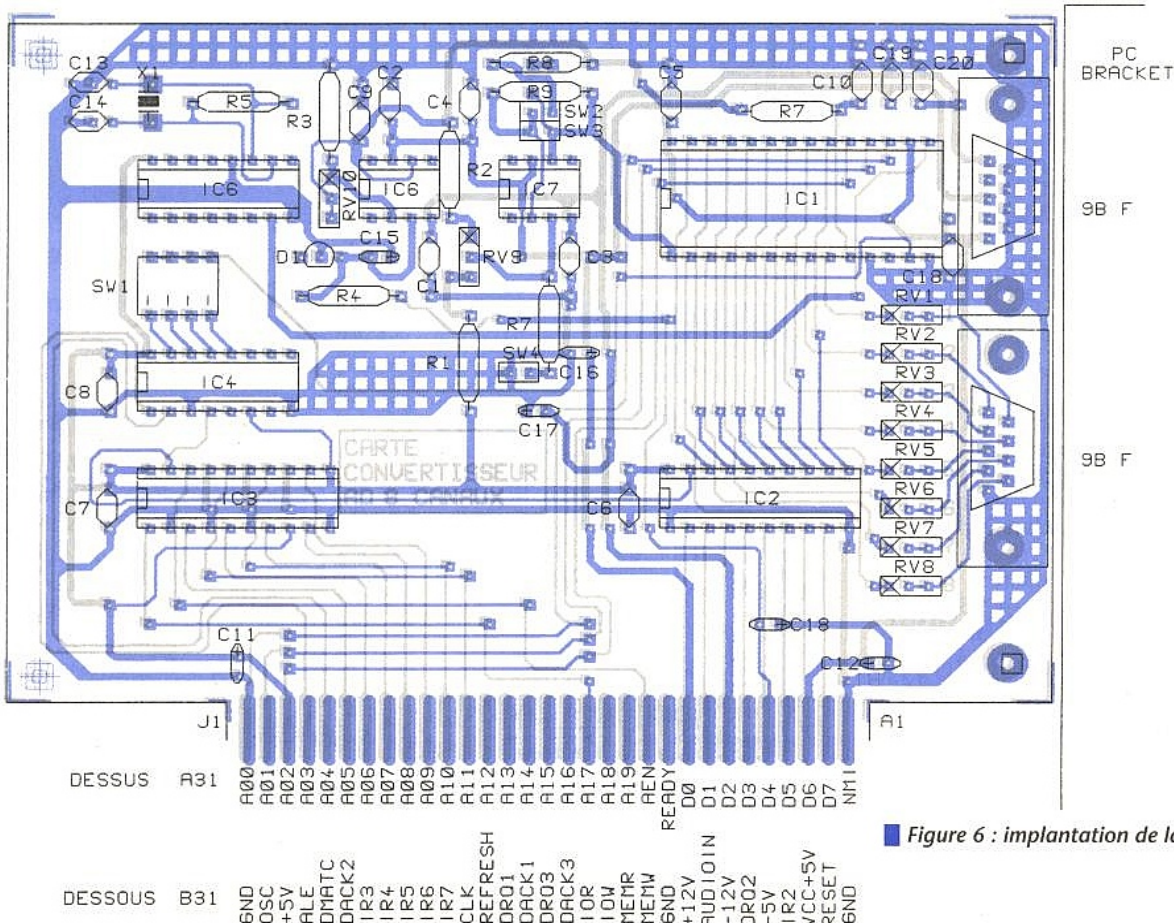


Figure 6 : implantation de la carte PC.

V (limitant les tensions d'entrées aux alentours de 13 V). Dans le deuxième cas, leur valeur devra être fixée à 6,2 V (limitation des tensions d'entrées à environ 7 V). Que l'on choisisse l'une ou l'autre option, le dessin du circuit imprimé ne change évidemment pas. L'alimentation de cette platine s'effectuera directement à partir du +12 V et -12 V du micro ordinateur, et à travers la carte convertisseur sur laquelle sont disponibles ces deux tensions au moyen d'un connecteur SUBD 9 broches. Les signaux de sorties de la carte voltmètre sont disponibles également sur une SUBD 9 broches et seront fournis à la carte convertisseur qui dispose du même type de connecteur.

La réalisation des cartes et les réglages

La réalisation des deux cartes ne pose pas de problèmes majeurs. Le circuit imprimé de la carte convertisseur PC est représenté en figure 4 pour le recto et en figure 5 pour le verso. Pour le câblage, il faudra utiliser le dessin d'implantation des composants se trouvant en figure 6.

Pour le circuit intégré AD7581, on utilisera obligatoirement un support. Quant à l'adaptateur voltmètre, le CI est dessiné en figures 7 et 8, respectivement pour le recto et le verso. L'implantation est donnée en figure 9. Lorsque le câblage de la platine convertisseur sera achevé, vous n'insérerez pas immédiatement l'AD7581 dans son support. Pour un réglage en lecture unipolaire:

1/ Il faudra d'abord régler la tension de référence à très exactement -10 volts en agissant sur la résistance ajustable RV10. Seulement alors vous pourrez mettre en place le convertisseur et insérer la carte dans le PC.

2/ Ensuite en présentant une tension de 19,5 mV (ce qui correspond à 1/2 de LSB) à l'entrée 1 de la carte convertisseur, et en demandant la lecture par l'envoi de l'adresse 00, il faudra ajuster la résistance multitours RV9 jusqu'à obtenir la mise à zéro des bits D7 à D1, le bit D0 devant rester instable et osciller entre 0 et 1.

3/ Augmenter alors la tension d'entrée à 9,941 V soit FS (Full Scale)-3/2 de LSB. Régler l'ajustable multitours RV1 (pour l'entrée 1) de manière à obtenir la mise à 1 des bits D7 à D1, et l'instabilité du bit 0. L'entrée 1 est alors réglée. Répéter l'opération 3 pour les 7 autres canaux.

Pour un réglage en bipolaire:

1/ Injecter une tension -4,980 volts (-FS+1/2 LSB) à l'entrée 1 et demander la lecture.

2/ Régler l'ajustable RV9 jusqu'à obtenir la mise à 0 des bits D7 à D1, et l'oscillation entre 0 et 1 du bit 0.

3/ Appliquer ensuite à la même entrée une tension de +4,941 volts (+FS-3/2LSB).

4/ Régler l'ajustable RV1 (pour le canal 1) pour mettre à 1 les bits D7 à D1, et obtenir comme précédemment l'instabilité du bit 0.

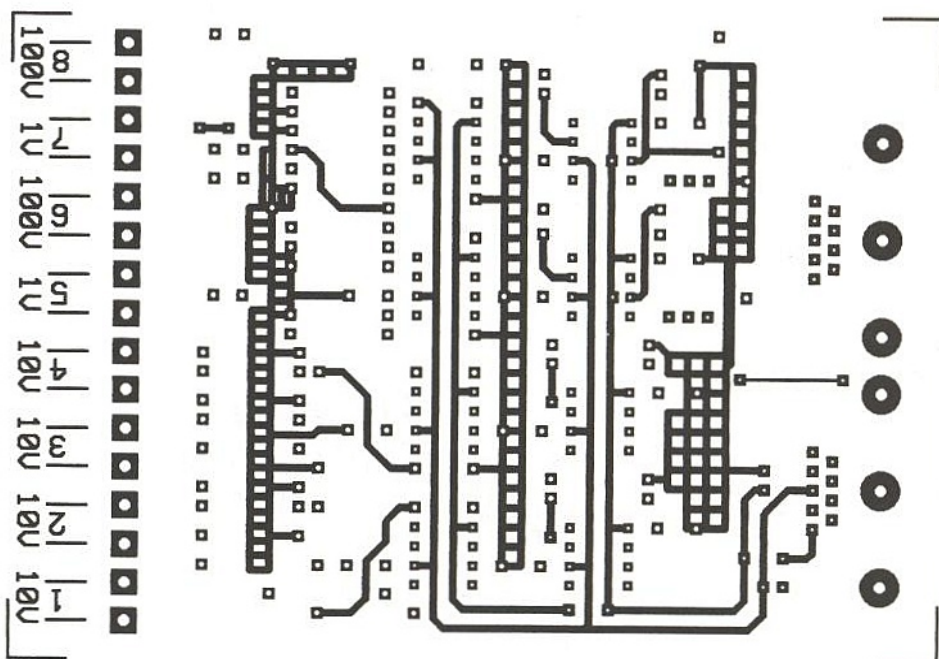


Figure 7 : côté composants de la carte de conditionnement.

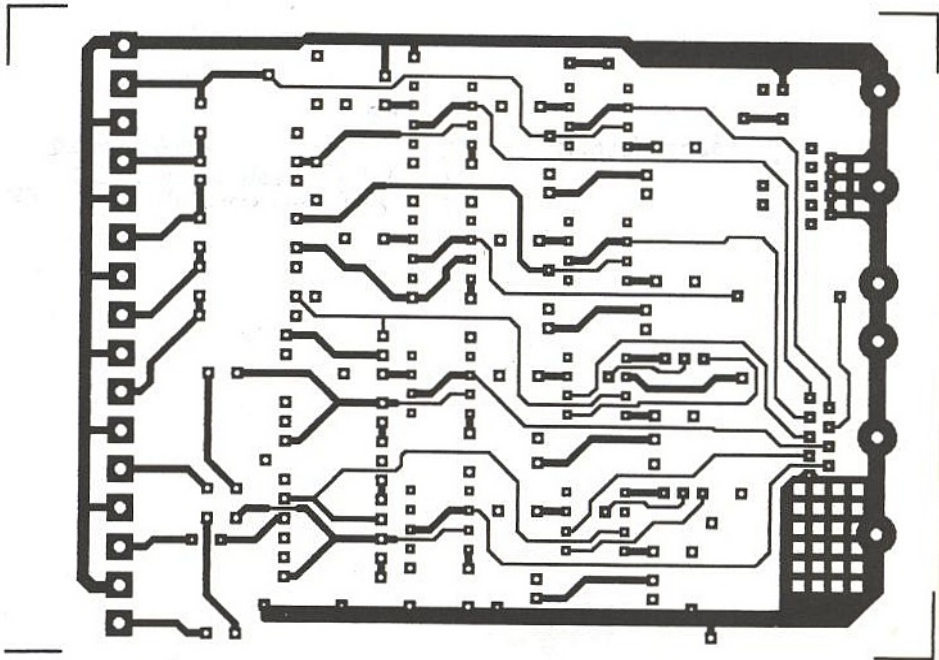


Figure 8 : le côté cuivre.

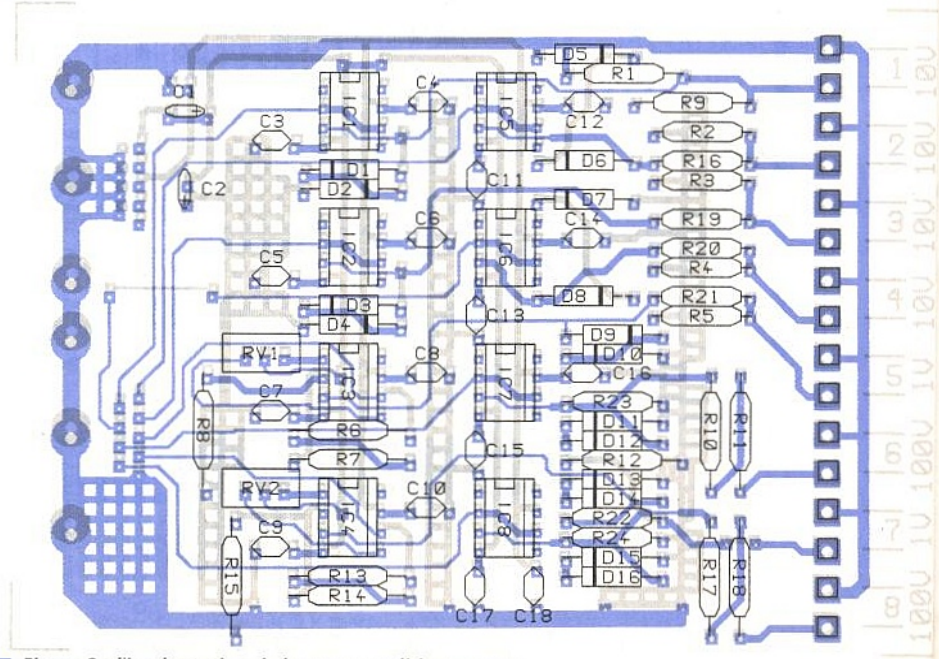


Figure 9 : l'implantation de la carte conditionnement.

5/ Répéter l'opération 4 pour les autres entrées.

6/ Appliquer maintenant une tension de -19,5 mV. Si vous n'obtenez pas comme résultat l'instabilité entre l'octet 01111111 et 10000000 (127 et 128), il faudra recommencer la procédure de réglage.

L'adaptateur voltmètre, quant à lui, ne comporte pratiquement pas de réglage si ce n'est le réglage du zéro des sorties 5 et 7. Pour la vérification du

circuit, il suffira de présenter une tension à chaque entrée de la carte pour s'assurer de son bon fonctionnement. Cet adaptateur pourra être relié au convertisseur soit par des câbles, soit y être enclenché directement dans les connecteurs, l'écartement de ces derniers sur les deux platines étant le même.

P. OGUIC

Semi-conducteur:

DZ1: LM336 V2,5

Divers:

X1: quartz 18 MHz
2 connecteurs femelle SUBD 9 broches pour circuit imprimé 1 DIP
SWITCH 4 interrupteurs
3 cavaliers

CARTE ADAPTATEUR VOLTMETRE.

Résistances :

R1, R2, R3, R4, R6, R7: 1 MΩ
R9, R16, R19, R20, R21, R22: 10 kΩ

Résistances de précision série E96:

10+R11 = 900 kΩ (soit 750 kΩ +150 Ω) 1% ou mieux
17+R18 = 900 kΩ (soit 750 kohms+150 kΩ) 1% ou mieux
R23,
R24: 100 kΩ 1% ou mieux
R6+R7 = 9 kΩ (soit 7,5 kΩ+1,5 kΩ) 1% ou mieux
R13+R14 =
9 kohms (soit 7,5 kΩ+1,5 kΩ) 1% ou mieux
R8, R15: 1,5 kΩ
1% ou mieux

Résistances ajustables multitours:

RV1, RV2: 50 kΩ

Condensateurs:

C1, C2: 10 μF 15 volts tantale goutte
C3 à C18: 100 nF

Circuits intégrés :

IC1, IC2, IC3, IC4, IC5, IC6, IC7, IC8: TL081

Semi-conducteurs :

D1 à D16: diodes zener de 6,2 V ou 12 V (voir texte)

Divers:

2 borniers à vis à 8 entrées ou 1 bornier 16 entrées
2 connecteurs SUBD 9 broches mâles pour circuit imprimé

```
REM *****
REM ***** GESTION DE LA CARTE CONVERTISSEUR AD - VOLTMETRE *****
REM *****
REM La carte est adressée en H300
REM *****
CLS
LOCATE 1, 11: PRINT "V O L T M E T R E   C O N T I N U   G E R E   P A R   P C"
LOCATE 2, 11: PRINT "-----"
LOCATE 6, 2: PRINT "E N T R E E 1"
LOCATE 8, 2: PRINT "E N T R E E 2"
LOCATE 10, 2: PRINT "E N T R E E 3"
LOCATE 12, 2: PRINT "E N T R E E 4"
LOCATE 14, 2: PRINT "E N T R E E 5"
LOCATE 16, 2: PRINT "E N T R E E 6"
LOCATE 18, 2: PRINT "E N T R E E 7"
LOCATE 20, 2: PRINT "E N T R E E 8"
LOCATE 4, 32: PRINT "0           5           7.5         10"
LOCATE 5, 32: PRINT "I           I           I           I"
LOCATE 7, 32: PRINT "I           I           I           I"
LOCATE 9, 32: PRINT "I           I           I           I"
```

(n° 551), nous pouvons aborder la présentation du jeu d'instructions et des modes d'adressage de ces circuits,

```
d = INP(&H303): LOCATE 12, 20: dg = d * .03922: PRINT dg
LOCATE 12, 32: FOR x = 0 TO dg STEP .25: PRINT "I"; : NEXT x
FOR x = (dg * 4) TO 40: PRINT " "; : NEXT x
e = INP(&H304): LOCATE 14, 20: eg = e * .03922 / 10: PRINT eg
LOCATE 14, 32: FOR x = 0 TO eg STEP .025: PRINT "I"; : NEXT x
FOR x = (eg * 10 * 40) TO 40: PRINT " "; : NEXT x
f = INP(&H305): LOCATE 16, 20: fg = f * .03922 * 10: PRINT fg
LOCATE 16, 32: FOR x = 0 TO fg STEP 2.5: PRINT "I"; : NEXT x
FOR x = (fg / 10 / 2.5) TO 40: PRINT " "; : NEXT x
g = INP(&H306): LOCATE 18, 20: gg = g * .03922 / 10: PRINT gg
LOCATE 18, 32: FOR x = 0 TO gg STEP .025: PRINT "I"; : NEXT x
FOR x = (gg * 10 * 40) TO 40: PRINT " "; : NEXT x
h = INP(&H307): LOCATE 20, 20: hg = h * .03922 * 10: PRINT hg
LOCATE 20, 32: FOR x = 0 TO hg STEP 2.5: PRINT "I"; : NEXT x
FOR x = (hg / 10 / 2.5) TO 40: PRINT " "; : NEXT x
y = y + 1
LOCATE 23, 45: PRINT y
LOCATE 23, 55: PRINT "mesure(s) effectuée(s)"
LOCATE 23, 1: PRINT " Appuyer sur une touche pour sortir."
z$ = INKEY$
LOOP WHILE z$ = ""
END
```

Le petit logiciel de gestion en quick basic

NOMENCLATURE CARTE CONVERTISSEUR

Résistances:

R1: 27 kΩ
R2: 56 kΩ
R3, R4: 2,7 kΩ
R5: 680 kΩ
R6: 1 kΩ
R7: 10 kΩ
R8: 20 kΩ 0,1%
R9: 10 kΩ 0,1%

Résistances ajustables multitours:

RV1, RV2, RV3, RV4, RV5, RV6, RV7, RV8: 2 kΩ
RV9: 20 kΩ
RV10: 10 kΩ

Condensateurs:

C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C19, C20: 100 nF
C13: 22 pF
C14: 100 pF
C11, C12, C15, C16, C17, C18: 10 μF 15 volts tantale goutte

Circuits intégrés:

IC1: AD7581 (Analog Devices)
IC2: 74LS245
IC3: 74LS688
IC4: 74LS138
IC5: 74HCT4060
IC6, IC7: LF351 ou LF356

LES MICROCONTROLEURS PIC 16CXX DE MICROCHIP

Maintenant que vous connaissez

l'architecture interne détaillée

des circuits de la famille 16CXX

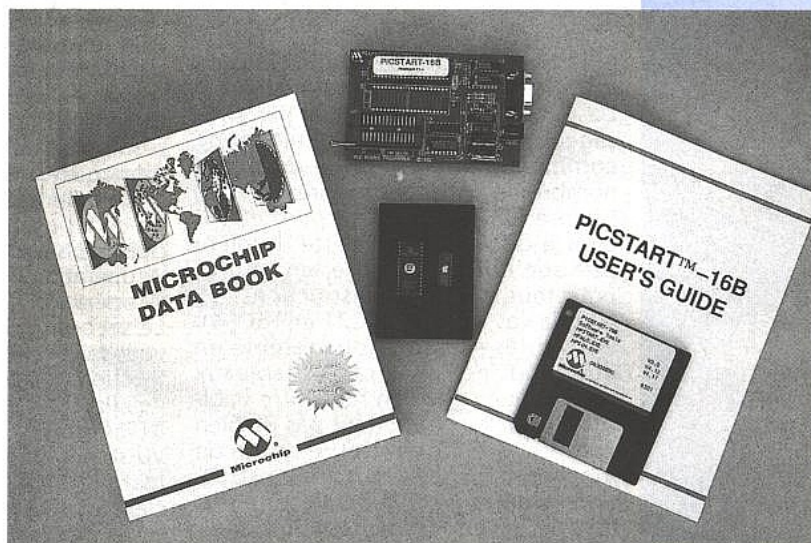
(n° 551), nous pouvons aborder la

présentation du jeu d'instructions et des

modes d'adressage de ces circuits,

mettant ainsi à votre disposition toutes

les informations utiles pour concevoir votre première application.



Des modes d'adressage bien cachés

Si vous avez déjà eu entre les mains un data book Microchip, sa lecture vous a peut être plongé dans un abîme de perplexité. En effet, alors que tous les fabricants de microcontrôleurs s'empressent de vous parler du jeu d'instructions et des modes d'adressage, ici on trouve bien le jeu d'instructions mais rien concernant les modes d'adressage.

Cette approche particulière s'explique par le fait que ces modes d'adressage sont très peu nombreux et font très souvent partie intégrante des instructions comme nous le verrons dans un instant. Afin de ne pas trop dépayser ceux d'entre vous qui sont déjà habitués aux microcontrôleurs plus "classiques" nous allons cependant essayer ci-après d'en dresser une liste logique. Le premier mode, qui est en général appelé immédiat par la majorité des fabricants, est celui dans lequel la donnée manipulée par l'instruction est codée avec l'instruction elle-même. La donnée en question s'appelle ici un "littéral", nom que nous conserverons tout au long de cette étude pour rester cohérent avec les appellations adop-

tées par Microchip dans tous ses documents.

L'instruction `MOVLW k` par exemple place ainsi le littéral `k` qui est une valeur quelconque codée sur 8 bits dans le registre de travail `W`.

On rencontre ensuite un mode d'adressage que l'on pourrait appeler direct, toujours par analogie avec les microcontrôleurs habituels. C'est d'ailleurs ici le mode le plus utilisé puisque, comme nous l'avons vu le mois dernier, la mémoire RAM est en fait divisée en registres spécifiques et en un ensemble de registres à usage général.

Ce mode consiste donc à coder le nom du ou des registres concernés directement dans l'instruction. Ainsi, par exemple:

`MOVWF f` déplace le contenu du registre `f` dans le registre de travail `W`. Le registre `f` est repéré par son "numéro" codé sur cinq bits qui n'est rien d'autre en fait que l'adresse de l'octet de RAM correspondant, après exploitation si nécessaire du mécanisme de pagination mémoire vu le mois dernier.

On dispose également, comme sur tout microcontrôleur qui se respecte, d'un mode d'adressage de type bit qui permet de manipuler un bit individuel dans n'importe quel registre. Il est à noter que ce mode d'adressage ne s'utilise jamais seul mais est toujours

couplé avec le mode d'adressage direct vu ci-avant.

Ainsi: `BCF f,b` met à zéro le bit numéro `b` du registre `f`. `f` est codé comme indiqué ci-avant avec son numéro de registre sur cinq bits et `b` n'est autre que le numéro du bit de ce registre, codé lui sur 3 bits seulement puisqu'il ne peut varier que de 0 à 7.

Enfin le dernier mode d'adressage, que certains auront tendance à appeler le mode le plus puissant par analogie avec des microcontrôleurs classiques, est le mode indirect dont nous avons déjà parlé le mois dernier à propos des registres `f0` et `f4`.

Rappelons donc juste rapidement que `f4` est le FSR ou registre de sélection de registre dans lequel on place le numéro du registre adressé. La seule "bizarrerie" des 16CXX est le mode de notation correspondant qui utilise le registre `f0` sous la forme par exemple: `MOVWF f0`.

Cette instruction déplace le contenu du registre de travail `W` dans le registre pointé par le registre `f4`. La notation `f0` ne sert ici qu'à signaler l'adressage indirect, et donc l'utilisation du registre `f4` comme pointeur. Même si cela vous semble maigre, surtout si vous êtes habitué à des microcontrôleurs style 6805 ou mieux encore 68HC11, ce sont là tous les modes d'adressage des

PIC 16CXX. Nous verrons que, compte tenu de l'efficacité de la structure des circuits et de leur jeu d'instructions, cela permet tout de même de faire du beau travail.

Notez, avant de conclure cette partie, que nous n'avons pas oublié le traditionnel mode d'adressage dit relatif qui permet dans les architectures classiques les sauts lors des branchements conditionnels par exemple. La lecture du descriptif des instructions de branchement vous permettra de comprendre pourquoi ce mode n'existe pas ici.

LE JEU D'INSTRUCTIONS

Si la présentation complète du jeu d'instructions d'un microcontrôleur classique n'est généralement pas envisageable dans le cadre d'une revue comme la notre en raison du grand nombre de pages nécessaires, l'architecture RISC des 16CXX permet par contre de vous offrir cette dernière puisque l'on ne dispose, en tout et pour tout que de 33 instructions (35 dans le cas des PIC 16C71 et 16C84). Cette présentation nous semble en outre indispensable car les tableaux synthétiques que l'on rencontre habituellement ne permettent pas de bien comprendre l'intérêt et le mode de fonctionnement de certaines instructions propres à cette architecture. Les instructions de branchement conditionnel évoquées ci-avant en sont un bon exemple. Courage donc pour cette plongée dans le RISC.

Afin que cette lecture ne soit pas trop fastidieuse, nous vous présentons les instructions par ordre alphabétique avec, pour chacune d'entre elles:

- Sa syntaxe, tenant compte des notations précisées ci-après.
- Son codage, réalisé sur 12 bits (14 bits dans le cas des 16C71 et 16C84). Ce dernier ne vous intéresse pas pour ce qui est de la programmation proprement dite puisqu'il est géré par l'assembleur bien sûr, mais il vous permet de comprendre comment l'on arrive à coder des instructions et les modes d'adressage qui suivent sur seulement 12 bits!
- Le nombre de mots et le nombre de cycles machine utilisés. Vous pouvez ainsi constater que le principe fondamental de l'architecture RISC est bien respecté avec une instruction par cycle sauf dans le cas de très rares exceptions.

- La représentation synoptique de l'opération réalisée par l'instruction.

- Les bits du registre d'état qui sont affectés par cette opération.

- Et enfin nos commentaires, issus de la documentation du fabricant ou de notre expérience personnelle lorsque ses explications étaient par trop nébuleuses!

La notation adoptée pour les données et adresses manipulées par les instructions est fort simple et est la suivante:

- f représente un numéro de registre, codé sur 5 bits (7 bits dans le cas des

16C71 et 16C84).

- b représente un numéro de bit, codé sur 3 bits. Le bit 0 est toujours le bit de poids le plus faible comme il se doit en notation logique cohérente (ce n'est hélas pas le cas pour tout le monde!).

- k représente une donnée; le fameux "literal" évoqué ci-avant. Son codage en nombre de bits est variable selon l'instruction.

Nous vous invitons à lire en détail le descriptif de ces instructions pour bien apprécier les possibilités des circuits mais nous tenons dès à présent à vous faire remarquer quelques particularités intéressantes.

Un certain nombre d'instructions (ADDWF, ANDWF, etc...) utilisent une notation particulière présentée sous la forme:

ADDWF f,d

f est le numéro de registre ce qui est déjà connu; par contre d peut prendre la valeur 0 ou 1 et change le comportement de l'instruction. Si d est à 0 le résultat est placé dans le registre W alors que si d est à 1 le résultat est placé dans le registre f. Les instructions de ce type sont donc en fait doubles puisque, selon la valeur de d, elles font: W opération f → W si d=0 ou W opération f → f si d=1.

Le second point que nous aimerions vous faire remarquer concerne les instructions de branchement conditionnel. Prenons par exemple:

BTFSC f,b

Vu sa notation vous savez déjà qu'elle teste le bit b du registre f. Comme c'est un Bit Test Skip if Clear, elle réalise un saut (skip) si le bit est à 0 (clear). Mais cela se passe de la façon suivante: - Si le bit est 1 donc si la condition testée N'EST PAS REALISEE, le programme continue son déroulement normal en séquence.

- Si le bit est à 0 donc si la condition testée EST REALISEE, le programme saute l'instruction qui suit le BTFSC dans le programme.

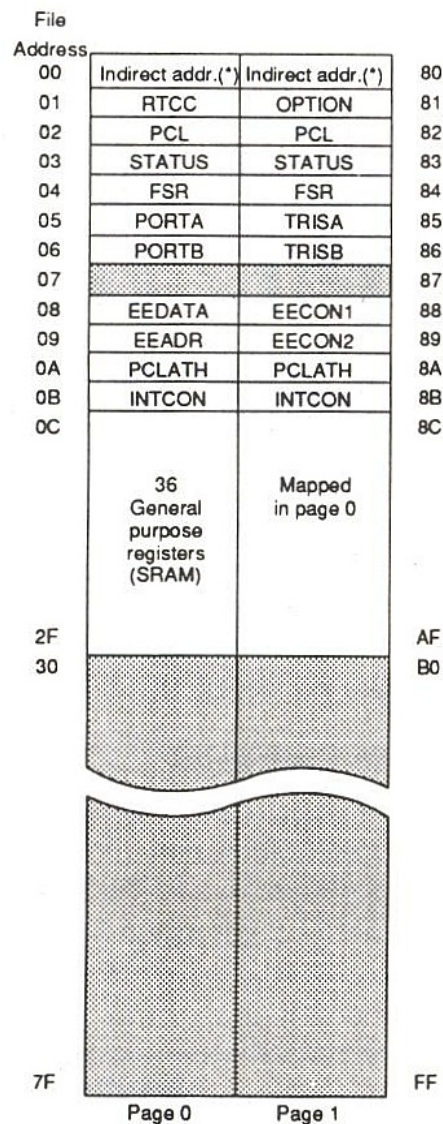
Si donc vous voulez, comme c'est généralement le cas, vous brancher à une autre partie du programme selon le résultat du test, vous adopterez généralement la syntaxe suivante:

Instruction de test et de branchement GOTO k ou CALL k.

En procédant de la sorte, si la condition est fautive, vous allez exécuter la branche de programme appelée par le GOTO ou le CALL alors que si la condition est vraie, vous continuez le programme avec l'instruction qui suit le GOTO ou le CALL puisque vous avez justement sauté cette ligne dans ce cas.

Notez que cette approche, qui peut sembler curieuse à première vue, est en réalité très pratique pour agir sur des bits de registres en fonction de conditions externes. Ainsi si un interrupteur est raccordé sur une ligne de port parallèle et que l'on doit, en fonction de son état, positionner un relais commandé par une autre ligne de port parallèle, il suffira de faire:

BTFSC f,b où b est le numéro de bit correspondant à l'interrupteur sur le port concerné et BCF f,b où b est le numéro du bit activant le relais sur le port concerné.



* Not a physical register

■ Unimplemented data memory locations; reads as '0's

Figure 1 : organisation mémoire des 16C71 et 16C84

Les autres instructions sont plus classiques mais arrêtons-nous tout de même un instant sur CALL qui est un appel de sous-programme et GOTO qui est un branchement incondi-

tionnel. Dans le cas de CALL, notez que l'adresse appelée semble codée sur 8 bits seulement. En fait, elle est bien codée sur 12 bits mais le neuvième bit du PC est mis à 0 et les trois bits de poids forts ne sont pas contenus au niveau de l'instruction elle-même mais sont extraits de PA2, PA1 et PA0 du registre d'état. Il faut donc songer à les positionner correctement au préalable si vous ne voulez pas avoir de surprise désagréable!

Dans le cas de GOTO, le même principe est adopté mais le neuvième bit du PC est codé au niveau de l'instruction. Les trois bits de poids forts quant à eux sont extraits du registre d'état comme pour CALL.

Attention aussi, lors des appels de sous-programmes, à ne pas imbriquer plus d'appels que la pile ne contient de niveaux (2 dans le cas des PIC 16C5X).

Bit d'état	prédiviseur du timer 1 → TO et 1 → PD	INCFSZ	Increment F, Skip if Zero	Opération	Néant
Description	Met à 00 le registre de comptage du timer chien de garde ainsi que le prédiviseur.	Syntaxe	INCFSZ f,d	Bit d'état	Aucun
		Codage	001111dffff	Description	Ne fait que consommer du temps machine (un cycle dans ce cas) comme tout NOP qui se respecte.
		Mots,cycles	1,1(2)		
		Opération	f+1 → f si d=1 ou f+1 → W si d=0 et saut si f+1 = 0		
COMF	Complement F	Bit d'état	Aucun	OPTION	Load Option Register
Syntaxe	COMF f,d	Description	Augmente le contenu de f d'une unité. Le résultat est placé à nouveau dans f si d=1 ou dans W si d=0 (dans ce cas f reste inchangé).	Syntaxe	OPTION
Codage	001001dffff			Codage	0000 0000 0010
Mots,cycles	1,1			Mots, cycles	1,1
Opération	/f → f si d=1 ou /f → W si d=0			Opération	W → OPTION
Bit d'état	Z			Bit d'état	Aucun
Description	Complément bit à bit de f. Le résultat est placé à nouveau dans f si d=1 ou dans W si d=0 (dans ce cas f reste inchangé).			Description	Charge le registre OPTION avec le contenu de W.
DECF	Decrement F	IORLW	Inclusive OR Literal with W	RETLW	Return Literal to W
Syntaxe	DECF f,d	Syntaxe	IORLW k	Syntaxe	RETLW k
Codage	000011dffff	Codage	1101kkkkkkkk	Codage	1000kkkkkkkk
Mots,cycles	1,1	Mots, cycles	1,1	Mots, cycles	1,2
Opération	f-1 → f si d=1 ou f-1 → W si d=0	Opération	W OU k → W	Opération	k → W, pile → PC
Bit d'état	C, DC, Z	Bit d'état	Z	Bit d'état	Aucun
Description	Diminue le contenu de f d'une unité. Le résultat est placé à nouveau dans f si d=1 ou dans W si d=0 (dans ce cas f reste inchangé).	Description	Effectue un OU logique inclusif entre le contenu de W et le literal k et place le résultat dans W.	Description	Charge W avec le literal k puis charge le PC avec la valeur qui se trouve au sommet de la pile effectuant ainsi un retour de sous-programme.
DECFSZ	Decrement F, Skip if Zero	IORWF	Inclusive OR W with F	RLF	Rotate Left F through Carry
Syntaxe	DECFSZ f,d	Syntaxe	IORWF f,d	Syntaxe	RLF f,d
Codage	001011dffff	Codage	000100dffff	Codage	0011 01df ffff
Mots,cycles	1,1(2)	Mots, cycles	1,1	Mots, cycles	1,1
Opération	f-1 → f si d=1 ou f-1 → W si d=0 et saut si f-1 = 0	Opération	W OU f → f si d=1 ou W OU f → W si d=0	Opération	Voir description
Bit d'état	Aucun	Bit d'état	Z	Bit d'état	C
Description	Diminue le contenu de f d'une unité. Le résultat est placé à nouveau dans f si d=1 ou dans W si d=0 (dans ce cas f reste inchangé). Si le résultat est nul l'instruction suivante est ignorée.	Description	Effectue un OU logique inclusif entre le contenu de W et le contenu de f et place le résultat dans f si d=1 ou dans W si d=0.	Description	Rotation à gauche d'un bit du contenu de f en passant par le bit de retenue C. Si d=1 le résultat est placé dans f, si d=0 le résultat est placé dans W.
GOTO	Branchement inconditionnel	MOVF	Move F	RRF	Rotate Right F through Carry
Syntaxe	GOTO k	Syntaxe	MOVF f,d	Syntaxe	RRF f,d
Codage	101kkkkkkkk	Codage	001000dffff	Codage	001100dffff
Mots,cycles	1,2	Mots, cycles	1,1	Mots, cycles	1,1
Opération	k → PC(0-8), PA2, PA1, PA0 → PC (9-11)	Opération	f → f si d=1 ou f → W si d=0	Opération	Voir description
Bit d'état	Aucun	Bit d'état	Z	Bit d'état	C
Description	Saut à l'adresse spécifiée par k et PA2, PA1 et PA0 du registre d'état	Description	Déplace le contenu de f dans f si d=1 (ce qui n'est pas vraiment utile!) ou dans W si d=0.	Description	Rotation à droite d'un bit du contenu de f en passant par le bit de retenue C. Si d=1 le résultat est placé dans f, si d=0 le résultat est placé dans W.
INCF	Increment F	MOVLW	Move Literal to W	SLEEP	Sleep
Syntaxe	INCF f,d	Syntaxe	MOVLW k	Syntaxe	SLEEP
Codage	001010dffff	Codage	1100kkkkkkkk	Codage	0000 0000 0011
Mots,cycles	1,1	Mots, cycles	1,1	Mots,cycles	1,1
Opération	f+1 → f si d=1 ou f+1 → W si d=0 Bit d'état C, DC, Z	Opération	k → W	Opération	0 → PD, 1 → TO, 00 → WDT, 0 → prédiviseur du WDT
Description	Augmente le contenu de f d'une unité. Le résultat est placé à nouveau dans f si d=1 ou dans W si d=0 (dans ce cas f reste inchangé).	Bit d'état	Aucun	Description	TO, PD
		Description	Charge W avec le literal k.	Description	Place le circuit en mode sommeil avec arrêt de l'oscillateur.
		MOVWF	Move W to F	SUBWF	Substract W from F
		Syntaxe	MOVWF f	Syntaxe	SUBWF f,d
		Codage	0000001ffff	Codage	0000 10dffff
		Mots, cycles	1,1	Mots, cycles	1,1
		Opération	W → f	Opération	f - W → f si d=1 ou f - W → W si d=0
		Bit d'état	Aucun	Bit d'état	C, DC, Z
		Description	Charge f avec le contenu de W.		
		NOP	No Operation		
		Syntaxe	NOP		
		Codage	0000 0000 0000		
		Mots, cycles	1,1		

Description Soustrait le contenu de W du contenu de f et place le résultat dans W si d = 0 et dans f si d = 1. Soustraction par la méthode du complément à 2.

SWAPF **Swap F**
Syntaxe SWAPF f,d
Codage 0011 10dffff
Mots, cycles 1,1
Opération f(0-3) → f(4-7) et f(4-7) → f(0-3) résultat → f ou W selon d

Bit d'état Aucun
Description Echange les 4 bits de poids forts avec les 4 bits de poids faibles de f et place le résultat dans f si d=1 ou dans W si d=0.

TRIS **Load TRIS Register**
Syntaxe TRIS f
Codage 0000 0000 0fff
Mots, cycles 1,1
Opération W → registre TRIS du port f

Bits d'état Aucun
Description Charge le contenu de W dans le registre TRIS du port f.

XORLW **Exclusive OR Literal with W**
Syntaxe XORLW k
Codage 1111 kkkkkkkk
Mots, cycles 1,1
Opération W ou excl. k → W
Bit d'état Z
Description Effectue un OU logique exclusif entre le contenu de W et le literal k et place le résultat dans W.

XORWF **Exclusive OR W with F**
Syntaxe XORWF f,d
Codage 0001 10dffff
Mots, cycles 1,1
Opération W OU EXCL. f → f si d=1 ou W OU EXCL. f → W si d=0
Bit d'état Z
Description Effectue un OU logique exclusif entre le contenu de W et le contenu de f et place le résultat dans f si d=1 ou dans W si d=0.

Tableau 2 : présentation synthétique des instructions des PIC 16C5X

BYTE - ORIENTED FILE REGISTER OPERATIONS						(11-6)	(5)	(4 - 0)
						OPCODE	d	f(FILE #)
						d = 0 for destination W d = 1 for destination f		
Instruction-Binary (Hex)	Name	Mnemonic, Operands	Operation	Status Affected	Notes			
0001 11dF ffff 1cF	Add W and f	ADDWF f, d	W + f → d	C,DC,Z	1,2,4			
0001 01dF ffff 14F	AND W and f	ANDWF f, d	W & f → d	Z	2,4			
0000 011F ffff 06F	Clear f	CLRF f	0 → f	Z	4			
0000 0100 0000 040	Clear W	CLRWF -	0 → W	Z				
0010 01dF ffff 24F	Complement f	COMF f, d	$\bar{f} \rightarrow d$	Z	2,4			
0000 11dF ffff 0cF	Decrement f	DECWF f, d	f - 1 → d	Z	2,4			
0010 11dF ffff 2cF	Decrement f, Skip if Zero	DECFSZ f, d	f - 1 → d, skip if zero	None	2,4			
0010 10dF ffff 28F	Increment f	INCF f, d	f + 1 → d	Z	2,4			
0011 11dF ffff 3cF	Increment f, Skip if zero	INCFSZ f, d	f + 1 → d, skip if zero	None	2,4			
0001 00dF ffff 10F	Inclusive OR W and f	IORWF f, d	W ∨ f → d	Z	2,4			
0010 00dF ffff 20F	Move f	MOVF f, d	f → d	Z	2,4			
0000 00dF ffff 02F	Move W to f	MOVWF f	W → f	None	1,4			
0000 0000 0000 000	No Operation	NOP -	-	None				
0011 01dF ffff 34F	Rotate left f	RLF f, d	f(n) → d(n+1), C → d(0), f(7) → C	C	2,4			
0011 00dF ffff 30F	Rotate right f	RRF f, d	f(n) → d(n-1), C → d(7), f(0) → C	C	2,4			
0000 10dF ffff 08F	Subtract W from f	SUBWF f, d	f - W → d [f + \bar{W} + 1 → d]	C,DC,Z	1,2,4			
0011 10dF ffff 38F	Swap halves f	SWAPF f, d	f(0-3) ↔ f(4-7) → d	None	2,4			
0001 10dF ffff 18F	Exclusive OR W and f	XORWF f, d	W ⊕ f → d	Z	2,4			

BIT - ORIENTED FILE REGISTER OPERATIONS						(11-8)	(7-5)	(4 - 0)
						OPCODE	b(BIT #)	f(FILE #)
Instruction-Binary (Hex)	Name	Mnemonic, Operands	Operation	Status Affected	Notes			
0100 bbbF ffff 4bF	Bit Clear f	BCF f, b	0 → f(b)	None	2,4			
0101 bbbF ffff 5bF	Bit Set f	BSF f, b	1 → f(b)	None	2,4			
0110 bbbF ffff 6bF	Bit Test f, Skip if Clear	BTFSZ f, b	Test bit (b) in file (f); Skip if clear	None				
0111 bbbF ffff 7bF	Bit Test f, Skip if Set	BTFSZ f, b	Test bit (b) in file (f); Skip if set	None				

LITERAL AND CONTROL OPERATIONS						(11-8)	(7 - 0)
						OPCODE	k (LITERAL)
Instruction-Binary (Hex)	Name	Mnemonic, Operands	Operation	Status Affected	Notes		
1110 kkkk kkkk Ekk	AND Literal and W	ANDLW k	k & W → W	Z			
1001 kkkk kkkk 9kk	Call subroutine	CALL k	PC + 1 → Stack, k → PC	None	1		
0000 0000 0100 004	Clear Watchdog timer	CLRWDI -	0 → WDT (and prescaler, if assigned)	TO, PD			
101k kkkk kkkk Akk	Go To address (k is 9 bit)	GOTO k	k → PC (9 bits)	None			
1101 kkkk kkkk Dkk	Incl. OR Literal and W	IORLW k	k ∨ W → W	Z			
1100 kkkk kkkk Ckk	Move Literal to W	MOVLW k	k → W	None			
0000 0000 0010 002	Load OPTION register	OPTION -	W → OPTION register	None			
1000 kkkk kkkk 8kk	Return, place Literal in W	RETLW k	k → W, Stack → PC	None			
0000 0000 0011 003	Go into standby mode	SLEEP -	0 → WDT, stop oscillator	TO, PD			
0000 0000 0fff 00F	Tristate port f	TRIS f	W → I/O control register f	None	3		
1111 kkkk kkkk Fkk	Excl. OR Literal and W	XORLW k	k ⊕ W → W	Z			

Note 1 : le neuvième bit du PC est forcé à 0 par toute instruction qui écrit dans le registre f2 (PC) sauf dans le cas de l'instruction GOTO.

Note 2 : lorsqu'un registre d'entrée/sortie est modifié par rapport à son propre contenu (par exemple MOVF 6,1), la valeur utilisée est celle réellement présente sur les pattes elles-mêmes et non celle que l'on devrait trouver dans le registre compte tenu de ce que l'on y a écrit au préalable.

Note 3 : l'instruction TRIS f avec f = 5, 6 ou 7 charge le contenu de W dans le registre TRIS du port correspondant. Un bit à 1 force la ligne correspondante dans le troisième état.

Note 4 : si cette instruction est exécutée sur le registre f1, le prédiviseur est remis à 0 s'il est affecté à l'horloge temps réel à cet instant.

Tableau 3 : les instructions supplémentaires des 16C71 et 16C84

ADDLW **Add Literal to W**
Syntaxe ADDLW k
Codage 11111xkkkkkkkk
Mots, cycles 1,1
Opération W + k → W
Bit d'état C, DC, Z
Description Ajoute le contenu de W au literal k et place le résultat dans W.

RETFIE **Return From Interrupt**
Syntaxe RETFIE
Codage 0000000001001
Mots, cycles 1,2
Opération Pile → PC, 1 → GIE
Bit d'état GLINTD

Description Charge le PC avec la valeur qui se trouve au sommet de la pile assurant ainsi un retour d'interruption.

RETURN **Return from Subroutine**
Syntaxe RETURN
Codage 00000000001000
Mots, cycles 1,2
Opération Pile → PC
Bit d'état Aucun
Description Charge le PC avec la valeur qui se trouve au sommet de la pile effectuant ainsi un retour de

sous-programme. Il s'agit d'un RETLW simplifié.

SUBLW **Subtract W from Literal**
Syntaxe SUBLW k
Codage 11110xkkkkkkkk
Mots, cycles 1,1
Opération k - W → W
Bit d'état C, DC, Z
Description Soustrait le contenu de W du literal k et place le résultat dans W. Soustraction par la méthode du complément à 2.

BYTE-ORIENTED FILE REGISTER OPERATIONS				13	8	7	6	0	
				OPCODE	d	(FILE #)			
				d = 0 for destination W d = 1 for destination f f = 7-bit file register address					
Instruction-Binary	(Hex)	Name	Mnemonic, Operands	Operation	Status affected	Notes			
00 0111	dfff ffff	07ff	Add W and f	ADDWF f, d	W + f → d	C, DC, Z	2,3		
00 0101	dfff ffff	05ff	AND W and f	ANDWF f, d	W & f → d	Z	2,3		
00 0001	1fff ffff	01ff	Clear f	CLRF f	0 → f	Z	3		
00 0001	0xxx xxxx	0100	Clear W	CLRW -	0 → W	Z			
00 1001	dfff ffff	09ff	Complement f	COMF f, d	1 → d	Z	2,3		
00 0011	dfff ffff	03ff	Decrement f	DECf f, d	f - 1 → d	Z	2,3		
00 1011	dfff ffff	0Bff	Decrement f, Skip if Zero	DECFSZ f, d	f - 1 → d, skip if zero	None	2,3		
00 1010	dfff ffff	0Aff	Increment f	INCF f, d	f + 1 → d	Z	2,3		
00 1111	dfff ffff	0Fff	Increment f, Skip if zero	INCFSZ f, d	f + 1 → d, skip if zero	None	2,3		
00 0100	dfff ffff	04ff	Inclusive OR W and f	IORWF f, d	W v f → d	Z	2,3		
00 1000	dfff ffff	08ff	Move f	MOVF f, d	f → d	Z	2,3		
00 0000	1fff ffff	00ff	Move W to f	MOVWF f	W → f	None	3		
00 0000	0xxx 0000	0000	No Operation	NOP -	-	None			
00 1101	dfff ffff	0Dff	Rotate left f	RLF f, d	f <n> → d <n+1>, C → d <0>, f <7> → C	C	2,3		
00 1100	dfff ffff	0Cff	Rotate right f	RRF f, d	f <n> → d <n-1>, C → d <7>, f <0> → C	C	2,3		
00 0010	dfff ffff	02ff	Subtract W from f	SUBWF f, d	f - W → d [f + W + 1 → d]	C, DC, Z	2,3		
00 1110	dfff ffff	0Eff	Swap halves f	SWAPF f, d	f <0-3> ↔ f <4-7> → d	None	2,3		
00 0110	dfff ffff	06ff	Exclusive OR W and f	XORWF f, d	W ⊕ f → d	Z	2,3		

BIT-ORIENTED FILE REGISTER OPERATIONS				13	10	9	7	6	0	
				OPCODE	b(BIT #)	(FILE #)				
				b = 3-bit bit address f = 7-bit file register address						
Instruction-Binary	(Hex)	Name	Mnemonic, Operands	Operation	Status affected	Notes				
01 00bb	bfff ffff	1bff	Bit Clear f	BCF f, b	0 → f(b)	None	2,3			
01 01bb	bfff ffff	1bff	Bit Set f	BSF f, b	1 → f(b)	None	2,3			
01 10bb	bfff ffff	1bff	Bit Test f, Skip if Clear	BTFSC f, b	Test bit (b) in file (f); Skip if clear	None				
01 11bb	bfff ffff	1bff	Bit Test f, Skip if Set	BTFSS f, b	Test bit (b) in file (f); Skip if set	None				

LITERAL AND CONTROL OPERATIONS				13	8	7	6	0	
				OPCODE	k (LITERAL)				
				k = 8-bit immediate value.					
Instruction-Binary	(Hex)	Name	Mnemonic, Operands	Operation	Status affected	Notes			
11 111X	kxxx kxxx	3Ekk	Add literal to W	ADDLW k	k + W → W	C, DC, Z	Z		
11 1001	kxxx kxxx	39kk	AND Literal and W	ANDLW k	k & W → W	Z			
10 0xxx	kxxx kxxx	2kkk	Call subroutine	CALL k	PC + 1 → TOS, k → PC <10:0>, PCLATH <4:3> → PC <12:11>;	None			
00 0000	0110 0100	0064	Clear Watchdog timer	CLRWDT -	0 → WDT (and prescaler, if assigned)	TO, PD			
10 1xxx	kxxx kxxx	2kkk	Go To address	GOTO k	k → PC <10:0>, PCLATH <4:3> → PC <12:11>;	None			
11 1000	kxxx kxxx	38kk	Incl. OR Literal and W	IORLW k	k v W → W	Z			
11 00XX	kxxx kxxx	30kk	Move Literal to W	MOVLW k	k → W	None			
00 0000	0000 1001	0009	Return from interrupt	RETIE -	TOS → PC, '1' → GIE	None			
11 01XX	kxxx kxxx	34kk	Return, place literal in W	RETLW k	k → W, TOS → PC	None			
00 0000	0000 1000	0008	Return from subroutine	RETURN -	TOS → PC	None			
00 0000	0110 0011	0063	Go into standby mode	SLEEP -	0 → WDT, stop oscillator	TO, PD			
11 110X	kxxx kxxx	3Ckk	Subtract W from literal	SUBLW k	k - W → W	C, DC, Z	Z		
11 1010	kxxx kxxx	3Akk	Excl. OR Literal and W	XORLW k	k ⊕ W → W	Z			
00 0000	0110 0010	0062	Load OPTION register	OPTION -	W → OPTION register	None	1		
00 0000	0110 0011	0063	Tristate port f	TRIS f	W → I/O control register f	None	1		

X = 0 or 1. The assembler will generate code with x = 0. It is the recommended form of use for compatibility with all software tools.
Notes: See previous page

Tableau 4 : présentation synthétique des instructions des PIC 16C71 et 84

Note 1 : les instructions TRIS et OPTION ne sont présentes que par soucis de compatibilité de code source avec les 16C5X.

Note 2 : lorsqu'un registre d'entrée/sortie est modifié par rapport à son propre contenu (par exemple MOVF 6,1) la valeur utilisée est celle réellement présente sur les pattes elles-mêmes et non celle que l'on devrait trouver dans le registre compte tenu de ce que l'on y a écrit au préalable.

Note 3 : si cette instruction est exécutée sur le registre f1, le prédiviseur est remis à 0 s'il est affecté à l'horloge temps réel à cet instant.

ETSF
recherche
auteurs.
Contacter
Claude Ducros
au 42 00 33 05

NOUVEAU CATALOGUE LEXTRONIC

Véritable compilation regroupant 25 années de production, ce dernier est sans conteste un des plus complets du moment. Vous y trouverez toutes les rubriques que l'on est en droit d'attendre d'un catalogue: kits et composants électroniques, circuits imprimés, appareils de mesure, batteries, boîtiers, outillages, etc... mais aussi et surtout l'ensemble des produits LEXTRONIC qui marquent constamment notre différence et qui ont fait notre réputation: Télécommandes agréées P.T.T., synthèse vocale, systèmes d'alarme, modélisme, etc... En bref, des centaines de réalisations que vous ne trouverez nulle part ailleurs. Véritable outil de travail pour tous les bureaux d'études et sociétés d'électronique, qui y trouveront de nombreux modules spécialisés destinés à être directement incorporés au sein de leurs applications, ce catalogue s'adresse également à tous les passionnés d'électronique, les débutants, les écoles, etc...

Disponible à la mi-Décembre

Commandez-le dès maintenant!



100% NOUVEAU
+ de 800 nouvelles références.
Nouvelle mise en page.
Nouvelles rubriques.
Nouvelles photos.

Catalogue remboursé dès la première commande supérieure à 300 F.

Coupon à envoyer à: LEXTRONIC 36/40 Rue du Gal De Gaulle 94510 LA QUEUE EN BRIE

Nom: Prénom:

Adresse:

Code Postal: Ville:

Ci-joint un chèque de 37 F (Pour la France)

R.P.

BALMA électronique

COMPUTEXTE

Gestionnaire de cassettes vidéo avec décodeur télétexte incorporé.

- Classement de vos cassettes vidéo par visualisation sur le téléviseur des :
 - Numéro des cassettes.
 - Titre, genre et durée de l'enregistrement.
 - Temps restant sur les cassettes.
 - Recherche rapide de vos enregistrements par :
 - Genre.
 - Titre, (même partiel).
 - Numéro de vos cassettes.
 - Recherche rapide de place libre sur cassettes (pour enregistrements supplémentaires)
 - Raccordement sur la prise péritel sur téléviseur.
 - L'appareil est muni d'une seconde prise péritel permettant le raccordement d'autres appareils.
 - Télécommande 54 touches alphanumériques.
- Livré avec télécommande, câble péritel et notice. **Prix : 1890 F**

EGALEMENT DISPONIBLE :

DECODEUR TELETEXTE

- En boîtier extérieur.
 - Raccordement par la prise péritel.
 - 2^e prise péritel pour connecter magnétoscope, décodeur, etc.
 - Télécommande infrarouge avec fonction veille.
 - Mémorisation de 4 pages pour faciliter la lecture.
 - Nouvelle norme française ceclax.
 - Informations télématiques sur TF1, FR2 et sur chaînes satellite.
 - Sous-titrage sur TF1, FR2 et FR3.
 - Alimentation 220V ac interne.
- Livré avec télécommande, câble péritel et notice. **Prix : 890 F**
Version sous-titrage enregistrable. **Prix : 1190 F**

TRANSCODEUR PAL/SECAM

- Entrée vidéo pal 1vcc sortie secam 1vcc sur prise péritel.
 - Alimentation 220v ac interne.
- Livré avec câble péritel et notice. **Prix : 690 F**

MIRE COULEUR PERITEL

- Dégradé de couleurs au centre.
 - Grille de convergence en fond.
 - Damier sur le pourtour.
 - Sortie sur câble péritel en RVB 1vcc/75 ohms.
 - Alimentation 220vcc ac interne.
- Livrée avec notice d'utilisation. **Prix : 690 F**

CONDITIONS DE VENTE (MATERIEL GARANTI 1 AN)
paiement à la commande : franco de port
contre remboursement : frais de c.r.t. en sus

RECHERCHONS
DISTRIBUTEURS

ETS BALAVOINE - Tel : 35.39.06.04
Z.A. Les Bosquets St-Eustache-La-Forêt
76210 BOLBEC

MODÉLISATION ET SIMULATION DES CIRCUITS A TUBES AVEC ISSPICE3

Tous les concepteurs de circuits audio

ou de circuits haute tension qui

nécessitent l'emploi de tubes

électroniques ont pu déplorer jusqu'à

présent l'absence de modèles sérieux de

tubes dans les simulateurs de circuits

électroniques.

Pour satisfaire ses propres besoins lors du développement et des évolutions de

ses amplificateurs haute tension et aussi pour aider les utilisateurs de simulation

électronique, EXCEM a créé des modèles compatibles avec le simulateur

d'Intusoft basé sur la version SPICE 3E.2 de l'université de Berkeley, l'un des

standards du marché (voir encadré 1). Dans cet article, nous ne chercherons

pas à justifier en détail nos modèles, mais plutôt les présenter.

Les détenteurs du logiciel ICAP/4 d'Intusoft, pourront reprendre ou s'inspirer de nos modèles. Ils pourront surtout s'inspirer de notre approche pour créer des modèles correspondant à leurs besoins. Il suffit pour cela d'avoir un simple éditeur de texte (ou le PreSpice d'Intusoft) et de respecter les règles de syntax du noyau de calcul SPICE 3E.2. Ils pourront éventuellement modifier les paramètres de leurs composants et par exemple négliger certains effets selon le domaine d'utilisation de leur circuit. Pour ceux qui préfèrent les bibliothèques toutes faites, celle dont nous parlons ici sera bientôt complétée (et les nouveaux modèles testés), et pourra être commercialisée. Les modèles décrits ici représentent la

triode 12AU7 et une pentode. Ces composants ont été utilisés dans des montages simples d'amplificateurs, les courbes résultant de la simulation rendant très bien compte du comportement de ces tubes.

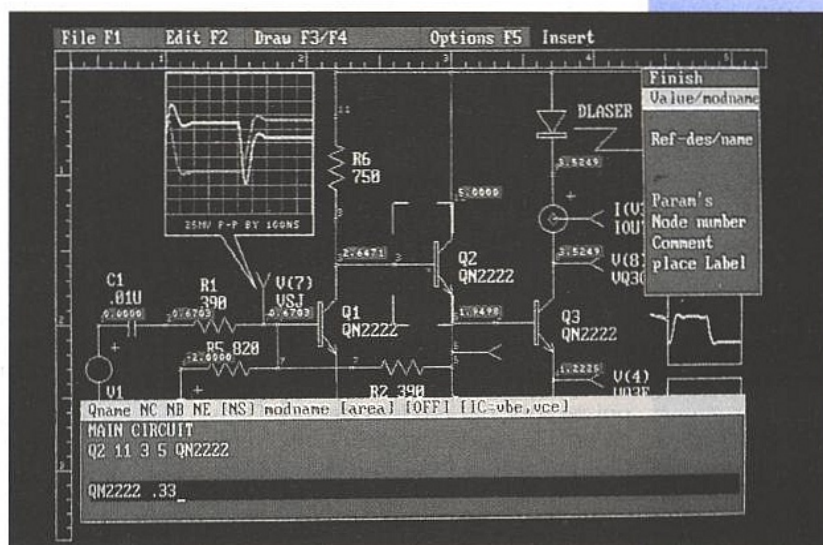
Utilisation de la triode dans un montage amplificateur

Jusqu'à présent les rares modèles de triode existants exploitaient seulement une loi fondamentale pour rendre compte de la variation du courant d'anode I_A en fonction des tensions

d'anode V_A et de grille V_G : où K est la pervéance et μ le coefficient d'amplification.

$$I_A = K \left(V_G + \frac{V_A}{\mu} \right)^{1,5}$$

Cette loi implique que le courant d'anode croît indéfiniment avec la tension d'anode. Or les utilisateurs de triode savent bien qu'une telle loi n'est pas réaliste. A forts courants (impulsionnels !), ou lorsque le tube est « pompé », il se produit une saturation de sorte que la valeur du courant atteint une valeur plafond caractéristique de la triode et indépendante de la tension d'anode.



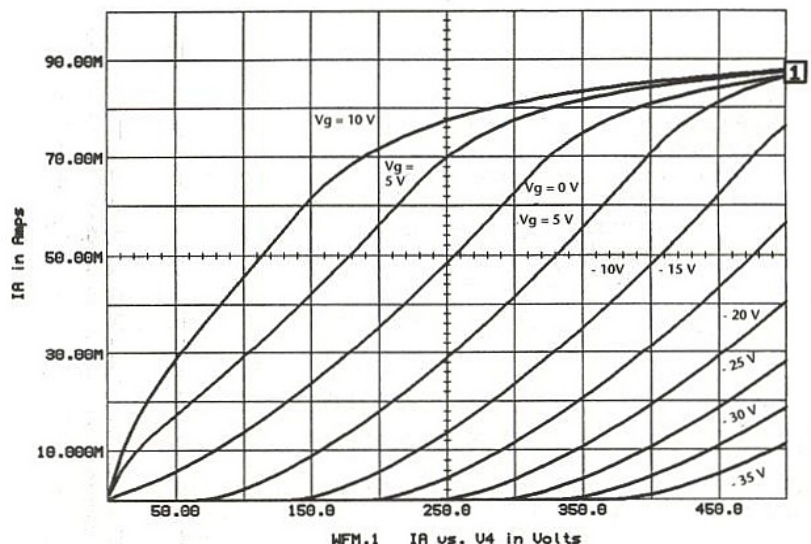
La figure 1 donne un extrait de notre bibliothèque Extubes.Lib contenant le modèle de tubes. Un des sous-circuits décrivant la triode 12AU7 apparaît en haut de la figure. Il comporte lui-même un sous-circuit X1 et un sous-circuit X2. Le sous-circuit X1 dont le nom est TRIO1 est présenté en bas de la figure et comporte un ensemble d'équations utilisant la syntaxe des B-éléments de la version IsSpice3 de Berkeley, enrichie par la syntaxe IF-The-nelse, propre au IsSpice3 d'Intusoft (voir encadré 2). Le circuit TRIO1 décrit les phénomènes électroniques dans la triode. Le sous-circuit 12AU7 comporte également un sous-circuit X2 dont le nom est Heat1 qui correspond aux phénomènes thermiques au niveau du filament et de la cathode de triode. Ce sous-circuit n'apparaît pas dans la figure 1. A titre d'exemple, on peut détailler un peu la constitution du sous-circuit Trio1. Ce sous-circuit Trio1 est connecté aux nœuds anode, grille et cathode de la triode 12AU7, un quatrième nœud (le nœud 10) recevant le courant de saturation créé par le sous-circuit Heat1, le courant de saturation de la triode étant déterminé par la température de la cathode.

D'autre part il était intéressant de modéliser les différences de concavité des courbes I_A en fonction de V_A pour différentes valeurs de la tension de grille qui ne sont pas rendues par (1). Dans ce but, le modèle créé fait intervenir des corrections pour les coefficients K et μ lorsque V_G est très négative. Ces corrections apparaissent dans le circuit Trio1, où l'on trouve les B-éléments B1 et B2 qui décrivent la variation de la pervéance K et du facteur d'amplification μ . Les nouvelles pervéances et coefficients d'amplification apparaissent donc aux nœuds 15 et 16. Ces données sont ensuite utilisées dans les B-éléments B4 et B6 qui décrivent la loi (1). Le B-élément B7 prend en compte la loi de saturation que l'on observe lorsque le courant de cathode est très intense, comme évoqué plus haut. Les B-éléments B8, B9, et B10 décrivent une loi d'évolution du courant de grille lorsque la grille est positive par rapport à la cathode. Ce courant de grille dépend à la fois de la tension grille-cathode et de la tension anode-cathode. Les B-éléments B15 et B16 utilisent les résultats précédents, pour déterminer les courants dans le tube.

La figure 2 montre le réseau de courbes que l'on obtient pour la triode 12AU7 correspondant à la figure 1. On notera le comportement correct pour les tensions de grille négatives, comme pour les tensions de grille positives. La valeur du courant de saturation (environ 100 mA) pour les courants de tension et de chauffage nominaux a été fixée arbitrairement, cette valeur dépendant en réalité de la fabrication et du vieillissement du tube. Le courant de saturation I_{sat} dépend de la tension et du courant de chauffage. Le modèle correspondant est basé sur des considérations thermiques et sur la loi de Richardson-Dushman. On notera qu'il est néanmoins possible (et facile) de supprimer cet effet, qui consomme malgré tout du temps de calcul, en

```
*****
.SUBCKT 12AU7_1 1 2 3 4 5
*
* Anode Grid Cathode F F'
* COPYRIGHT EXCEM, 1993
*
* This is a model for 12AU7, without parameter fitting, with heater model.
*
X1 1 2 3 10 TRIO1 (SFS=0.7 VBIG=-0.9 VBIA=-1.3 MU=17 RMU=0.5 VMU=-20
+ SFMU=1.6 K=827E-6 RK=0.08 VK=-20 SFK=1.6 SIGMAG=0.05 ALPHAG=5.2 SFG=3.5)
*
X2 4 5 10 HEAT1 (INOM=0.15 VNOM=6.3 LAMBDA=1 RCOOL=3 TCTE=10 TNOM=1150
+ INITT%=100 W=2.045 ISAT=0.099)
*
C2 1 2 1.5P
C3 3 1 0.5P
C4 2 3 1.6P
C5 3 4 4P
C6 3 5 4P
*
.ENDS
*****
.SUBCKT TRIO1 A G C ISAT
*
* COPYRIGHT EXCEM, 1993
*
* forward and reverse condition are treated in this triode model
* as well as saturation.
* the model describes only the static behaviour of the triode, and
* neglects secondary emission (that would occur at high VG and low VA).
*
* THE TRIODE'S 14 PARAMETERS ARE:
*
* SFS shape factor of the saturation law.
* VBIG contact potential of the grid
* (the voltage above which current grid may start to flow).
* VBIA contact potential of the anode.
* MU amplification factor at slightly negative grid voltage.
* RMU reduction factor for MU at very negative grid voltage.
* VMU grid voltage for mid-range MU (negative).
* SFMU shape factor for MU reduction law.
* K pervéance at slightly negative grid voltage.
* RK pervéance reduction factor at very negative grid voltage.
* VK grid voltage for mid-range pervéance (negative).
* SFK shape factor for pervéance reduction law.
* SIGMAG effective cross-section of the grid relative to the anode.
* ALPHAG grid current amplification factor.
* SFG shape factor of the grid current law.
*
B1 15 0 V=V(G)-V(C)<-1P ?
+ (K)*(1+(RK)*((V(G)-V(C))/(VK))^((SFK))/(1+((V(G)-V(C))/(VK))^((SFK))) : (K)
B2 16 0 V=V(G)-V(C)<-1P ? (MU)*(1+(RMU)*((V(G)-V(C))/(VMU))^((SFMU))
+ /((1+(V(G)-V(C))/(VMU))^((SFMU))) : (MU)
B4 9 0 V=V(G)-V(C)-(VBIG)+(V(A)-V(C)-(VBIA))/(V(16)+1U)
B6 10 0 V=V(G)>0 ? V(15)*V(9)^1.5/(V(ISAT)+1P) : 0
B7 12 0 V=V(10)<(SFS) ? V(10)*(V(ISAT)+1P) :
+ (V(ISAT)+1P)*((SFS)+(V(10)-(SFS))*((1-SFS)/((1-2*SFS)+V(10))))
B8 14 0 V=V(A)-V(C)>(VBIA+0.1M) ? (V(A)-V(C)-(VBIA))/(ALPHAG) : 2P
B9 28 0 V=V(G)-V(C)>(VBIG+0.1M) ? V(14)>1P ? ((V(G)-V(C)-(VBIG)
+ +(SIGMAG*(1/SFG))*V(14))/(V(G)-V(C)-(VBIG)+V(14)))^((SFG)) : 0
B10 8 0 V=V(G)-V(C)<0 ?
+ V(28)*((VBIG+10U)+V(C)-V(G))/(VBIG+10U) : V(28)
B15 G C I=V(B)*V(12)
B17 A C I=(1-V(B))*V(12)
*
.ENDS
*****
```

■ Figure 1 : extrait de la bibliothèque «tubes» Excem.



■ Figure 2 : réseau de courbes obtenues pour la 12AU7 selon le modèle de la figure 1.

remplaçant dans le sous-circuit 12AU7, le filament (Heat1) par une résistance et une source de tension délivrant I_{sat} . Finalement la simulation rend compte de façon assez précise du comportement réel de la triode.

La figure 3 montre un schéma d'amplificateur utilisant à la fois un transistor MOS et une double triode, utilisés en étage cascode, de façon à obtenir, sur une impédance élevée, un très fort gain en tension, un taux de contre-réaction élevé, et une bonne caractéristique en fréquence.

La figure 4 montre, pour cet amplificateur, la tension de sortie (courbe 2), pour une tension d'entrée donnée sur la courbe 1. Cette simulation est une simulation non linéaire, faisant entrer en ligne de compte tous les phénomènes dont nous avons parlé dans la triode. Le modèle pour le MOS est lui-même un sous-circuit sophistiqué, approprié à la description des MOS de puissance, tel qu'il est disponible dans la bibliothèque fournie par Intusoft. On note que, à la fréquence considérée, de 100 kHz pour le signal d'entrée, avec une amplitude crête-à-crête de 1 V, on obtient en sortie une amplitude crête à crête de 260 Volts environ. La courbe de la figure 5 donne la réponse en fréquence pour des petits signaux, de cet amplificateur.

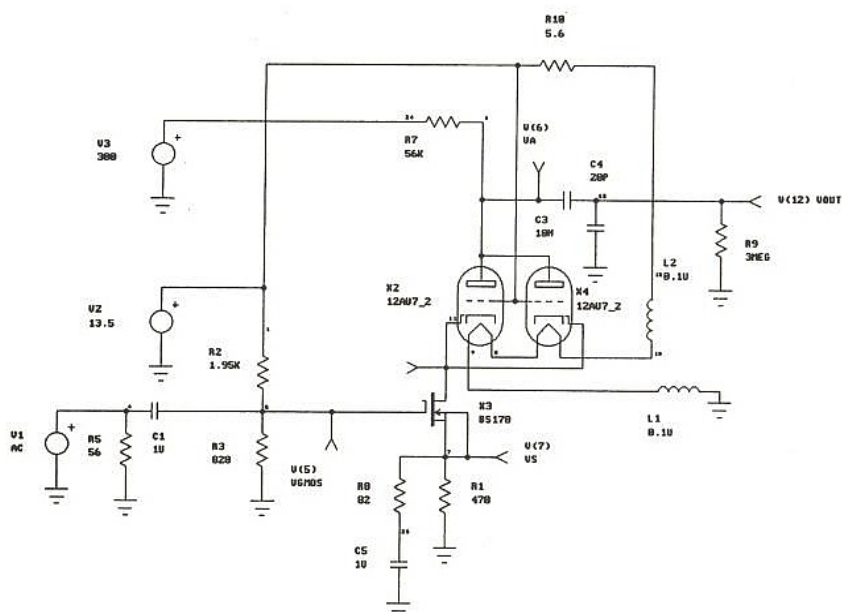


Figure 3 : un schéma d'amplificateur cascode utilisant une double triode, saisi sous Spicenet.

Utilisation de la pentode dans un montage amplificateur

Les utilisateurs de pentodes étaient encore plus démunis que les utilisateurs de triodes puisqu'il n'existait aucun modèle crédible, même rudimentaire, pour ce type de tube.

Nous avons donc créé un modèle pour la penthode, qui reprend le principe du modèle de triode en tenant compte des spécificités dues à la présence de plusieurs grilles et de leur interaction. Comme celui-ci est beaucoup plus compliqué que celui correspondant à la triode, nous ne le décrivons pas ici en détail. Ce modèle prend en compte la loi du courant de G_2 , les effets de la

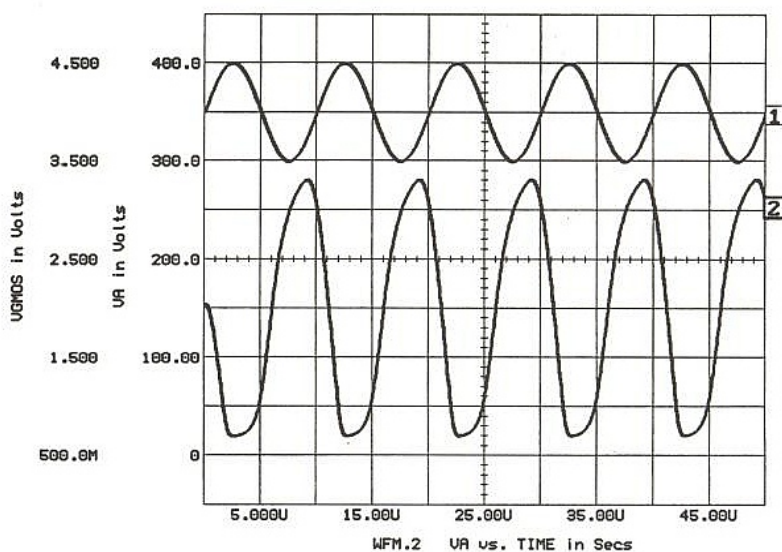


Figure 4 : tension de sortie de l'ampli de la figure 3 en (2) obtenue pour l'excitation (1).



ROBUSTESSE GARANTIE

MULTIMETRE 4315 AVEC EN PLUS CAPACIMETRE, DECIBELMETRE EN LECTURE DIRECTE et 42 fonctions en Voltmètre CC / CA - Ampèremètre CC/CA et ohmmètre livré en mallette métallique hermétique.



metreX
DU JAMAIS VU !

Multimètre digital 10 A.
Toutes fonctions de base
+ continuité sonore
+ test diode 3 1/2 digit -
grand afficheur -
Auto ranging automatique -
livré avec cordons et piles
+ notice en français.

AUTO RANGING AUTOMATIQUE

En vente chez : (forfait de port 35 F)

ACER Composants

42, rue de chabrol
75010 PARIS
Tél. : 47 70 28 31
Fax : 42 46 86 29

ACER Reuilly Composants

79, boulevard Diderot
75012 PARIS
Tél. : 43 72 70 17
Fax : 42 46 86 29

tension de G_2 sur le courant d'anode et le courant de G_1 , etc. Même les effets de cathode virtuelle (réduction rapide du courant de cathode lorsque V_a descend en dessous de 40 V) ont pu être décrits.

La figure 6 montre un exemple de réseau de courbes (courant d'anode en fonction de tension d'anode pour différentes tensions de grilles), que l'on obtient avec notre modèle pour une pentode.

La figure 7 montre l'utilisation de cette pentode dans un schéma similaire à celui apparaissant sur la figure 3.

Sur la figure 8, on voit que la réponse de cet amplificateur à une sinusoïde à 100 kHz d'amplitude 1,6 Volts crête-à-crête donne en sortie une amplitude d'environ 430 volts crête à crête. On note comme dans le cas de l'amplificateur à triode, la légère distortion qui apparaît à ce niveau, toutefois avec des caractéristiques un peu différentes. La courbe 1 est le signal d'entrée, et la courbe 2, le signal de sortie.

La figure 9 montre sur la courbe 1 le signal sur la cathode de la pentode et sur la courbe 2 le signal sur la grille G_2 de la pentode. On notera la forme très non-linéaire sur la tension de cathode. C'est grâce à la contre-réaction qui crée cette forme, particulière, que le signal de sortie est à peu près linéaire ! La courbe de la figure 10, enfin, donne la réponse en fréquence de l'amplificateur avec une pentode. On peut noter que les circuits des figures 3 et 7 sont assez semblables à celui de l'amplificateur Amp1 conçu et fabriqué par Excem, qui est un amplificateur utilisant une tétrode à faisceau dirigé alimenté en 1000 à 1200 V continu et pouvant délivrer un signal crête-à-crête en sortie d'environ 960 volts.



Figure 5 : réponse en petits signaux de l'ampli de la figure 3.

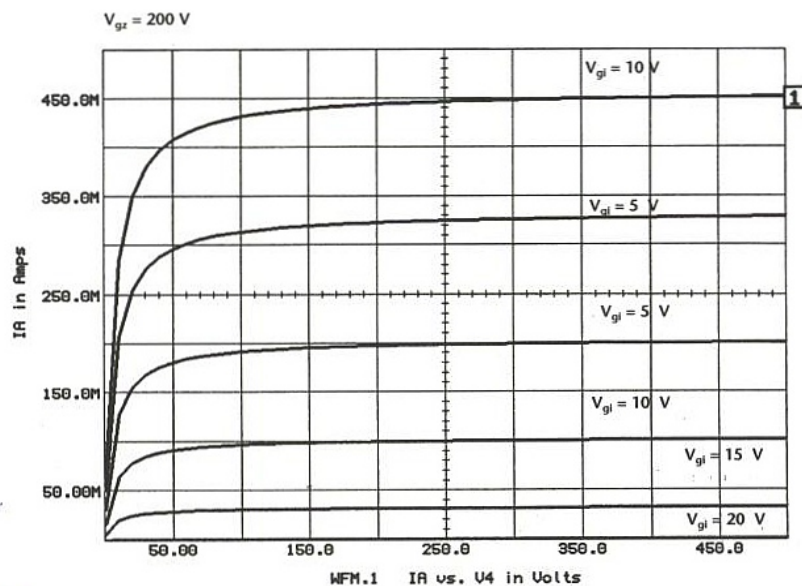


Figure 6 : réseau de courbes du modèle de pentode.

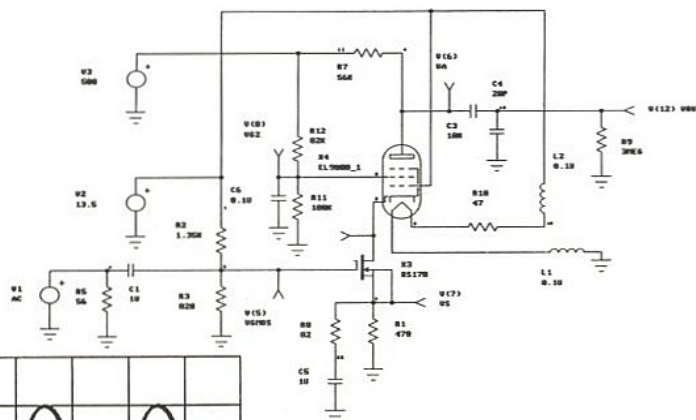


Figure 7 : amplificateur à pentode saisi sous Spicenet.

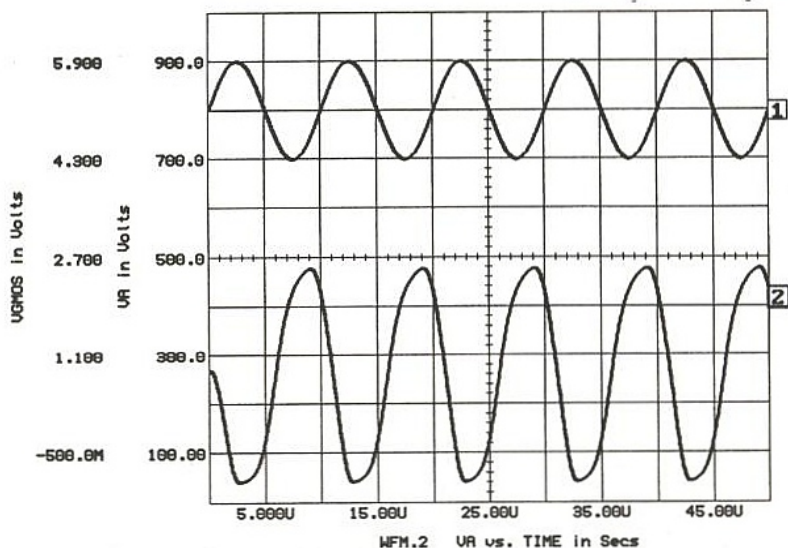


Figure 8 : réponse (2) de l'amplificateur à pentode de la figure 7 pour l'excitation sinusoïdale (1).

Conclusion

Ces travaux permettent d'étendre encore les possibilités des simulateurs dérivés du SPICE de Berkeley. Les concepteurs bénéficieront ainsi pour les tubes du même confort de conception que pour leurs études (plus fréquentes !) de circuits 100 % à «l'état solide» !

F. Broyde
EXCEM

Encadré 1

Pour ceux qui ne connaissent pas le logiciel d'Intusoft, nous rappelons comment l'on peut mener une simulation :

Le simulateur électronique ICAP/4 d'Intusoft est un ensemble intégré se composant de plusieurs modules s'utilisant successivement pour mener à bien une simulation.

SPICENET permet de dessiner à l'écran le schéma électronique dans un environnement convivial, offrant l'accès à une très large bibliothèque de composants, contenue dans PRESPICE.

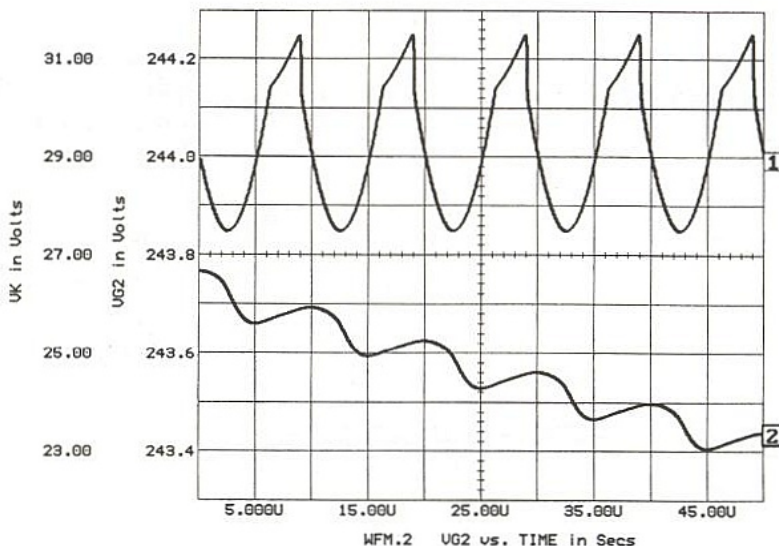
La variation des sources de courant et de tension (que l'on peut gérer sous l'environnement de SpiceNet) conditionne le comportement du circuit au cours de l'analyse. Il est ainsi possible de simuler entre autres des variations temporelles ou continues, dans différentes conditions de polarisation. Les paramètres (courant, tension) dont on souhaite observer l'évolution sont également déterminés dans l'environnement de SpiceNet. La netlist résultante est un fichier. CIR (format Spice), qui est un texte comportant une description nodale du circuit et d'autres instructions Spice, à partir duquel le noyau de calcul ISSPICE3, basé sur la version 3E.2 de l'université de Berkeley, effectue la simulation.

On peut visualiser alors les résultats de la simulation, fichiers. Out au format Spice, à l'aide d'INTUSCOPE.

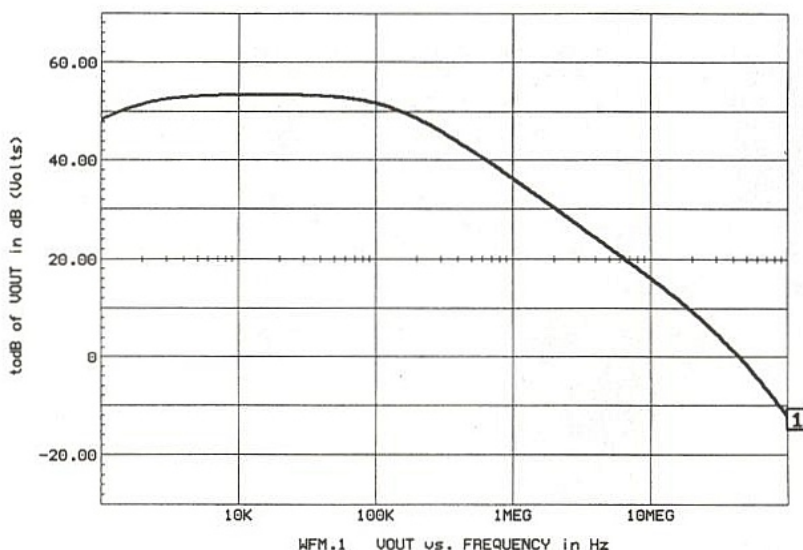
Encadré 2

Le noyau de calcul IsSpice3 d'Intusoft contient des possibilités de syntaxe étendues, et notamment : Les B-éléments : ce sont des sources de tension ou de courant définies par une fonction mathématique d'une autre source de courant ou de tension.

Les instructions If-Then-Else permettent d'introduire des conditions booléennes lors de la simulation.



■ Figure 9 : tensions cathode et grille G2 de la pentode pour le circuit de la figure 7.

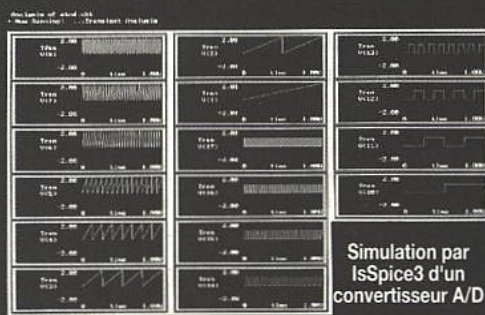


■ Figure 10 : réponse en fréquence de l'amplificateur à pentode.

SIMULATION ÉLECTRONIQUE MIXTE

IsSpice3 affiche les signaux pendant les calculs !

- Entrée de schémas
- Simulation SPICE
- Bibliothèques de modèles
- Monte Carlo
- Oscilloscope logiciel
- Prix ABORDABLES



Simulation par IsSpice3 d'un convertisseur A/D

ENVIRONNEMENT INTÉGRÉ - UTILISATION AISÉE

Les progiciels ICAPS pour PC ou MAC permettent de dessiner un circuit mixte analogique/digital et d'évaluer ses performances avant de le construire réellement. Un ensemble ICAP est composé de quatre modules principaux :

- **SPICENET**, outil dédié à la saisie de schémas.
- **PRESPICE**, qui comprend, entre autres, des bibliothèques de composants très complètes.
- **ISSPICE**, noyau de calcul SPICE, effectue des analyses AC, DC, transitoire, time, noise, pole-zero,.... La nouvelle version IsSpice3, basée sur le SPICE 3E.2 de Berkeley, permet en plus d'évaluer des expressions booléennes et des multipôles définis par une simple équation.
- **INTUSCOPE**, oscilloscope logiciel, affiche, manipule et effectue des opérations sur les courbes obtenues aux différents nœuds après simulation. Il existe plusieurs versions ICAPS, à partir de 9800 F.H.T. ICAP est un produit de la société INTUSOFT.

Documentation, disquette de démonstration, Information technique ou commerciale, Services d'ingénierie, Contactez nous !



EXCEM
Département
Produits Informatiques
12, chemin des Hauts de
Clairefontaine 78580 MAULE
Tél. : (1) 34 75 13 65

LES TUBES CATHOSCOPES PHILIPS A DREUX

Quand, au début des années 50, David Sarnoff des Laboratoires RCA proposa pour la restitution des images de la TV couleur - qui allait commencer ses émissions aux USA - le tube cathodique de type «shadow-mask», nombreux furent les sceptiques à crier «casse-cou»



ou à dénoncer l'utopie du procédé. Faire passer trois faisceaux d'électrons distincts, au travers d'une plaque perforée comportant des centaines de milliers de trous pour aller exciter les phosphores adéquats et ce plusieurs dizaines de fois par seconde ? Allons donc, nous étions en pleine utopie !... Et puis, pourtant, David Sarnoff avait eu une idée géniale : la preuve en est que, de nos jours, il se fabrique près de 100 millions de tubes de ce type chaque année...

** Après s'être adressé à Thomson pour ses premiers tubes 16/9, Philips les produit désormais en RFA, à Aix-la-Chapelle, à une cadence de 100 000 tubes/an. Aix-la-Chapelle (capacité de production : 2,4 millions de tubes) est orienté comme Dreux vers la fabrication de tubes de grande diagonale (59, 66 et 80 cm) ; les petits et moyens tubes, sont fabriqués à Durham (UK : 2 millions de tubes), Lebring (Autriche : 1,7 millions de tubes) et Barcelone (Espagne : 1,5 millions de tubes). Ceci pour l'Europe. Ce qui fait abstraction de la production de Philips aux USA, en Amérique du Sud et dans le sud-est asiatique.*

Les divers éléments qui entrent dans la composition d'un tube cathodique à masque sont fournis par des usines spécialisées du groupe : verrerie (Aix-la-Chapelle et Simostone-UK), canons à électrons et luminophores (Eindhoven, Hollande), masques et parties des canons (Sittard-Hollande), cathodes (Blackburn-UK) et blocs de déflexion (Washington-UK). Cet ensemble représente 17000 emplois, répartis dans 8 usines.

Premier constructeur mondial de tubes «shadow-mask», Philips en sort, bon an mal an, quelque 13 millions d'exemplaires. Bien sûr, les progrès de la technologie - tant s'agissant des tubes eux-mêmes et de leurs performances que des procédés de fabrication - s'accompagnent d'une constante évolution pour accéder à la fois à une productivité et à une fiabilité accrue. L'usine de Dreux, à quelque 80 kilomètres à l'ouest de Paris, devait nous être présentée par son directeur, B. Casanhiol, en prélude à la découverte des

En France, l'activité «Composants» de Philips comprend également les CI analogiques et MOS (Caen), les ferrites, la microélectronique hybride et les circuits imprimés (Evreux) ainsi que la photonique (Brive). CA global : 4100 MFF pour 3700 employés.

différentes lignes de fabrication in-situ. Le Centre de Dreux ne comporte pas moins de 71000 m² de surface construite, pour une capacité de production annuelle qui vient d'être portée à 2,3 millions de tubes, soit 8000 à 9000 tubes/jour, avec la possibilité de passer, instantanément, à la fabrication des tubes 16/9*. Parce que Philips tient à la flexibilité et qu'il convient tout autant de ne pas perdre de vue la compétitivité du groupe, Philips n'a pas hésité à investir dans cette opération 300 millions de FF...

En ce qui concerne les moyens de production, quelques autres chiffres. Le Centre de Dreux :

- emploie 1200 personnes**
 - consomme 13 MW/heure en électricité et 800 litres d'eau par tube.
- La durée d'un cycle de fabrication est

de 20 heures et 70% de la production est exportée.

La formation en 1991, compte tenu de l'évolution rapide des technologies, traduit le désir de Philips de maintenir et développer la compétence de ses salariés. En 1991, 20000 heures de stage, représentant un investissement de 4,3 millions de FF, ont été consacrés à cet aspect de manière à développer les connaissances techniques et de favoriser la polyvalence, gage de l'amélioration des performances collectives. Le Centre de Dreux est spécialisé dans la production en semi-continu (4 x 6 heures, 6 jours sur 7) de tubes cathodiques couleur de grande taille (59 et 66 cm de diagonale utile).

La fabrication de ces tubes s'effectue dans 6 ateliers :

- atelier masque : réalisation de l'association optimisée du masque avec la

de pair avec l'association du déviateur avec le tube cathodique de façon à former un tout homogène.

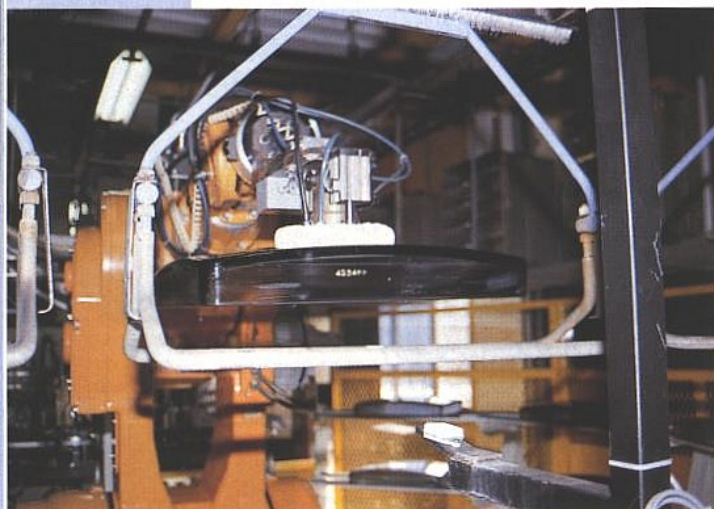
Suivront les mesures, obligatoires, du contrôle qualité et, enfin, le conditionnement automatisé en préambule à toute livraison.

Depuis la première installation robotisée, en 1984, le Centre de Dreux a implanté une soixantaine de robots, auxquels il nous faut ajouter une vingtaine de kilomètres de convoyeurs. En outre, de nombreuses opérations de mesure et de contrôle se font automatiquement, pilotées par l'informatique durant tout le process.

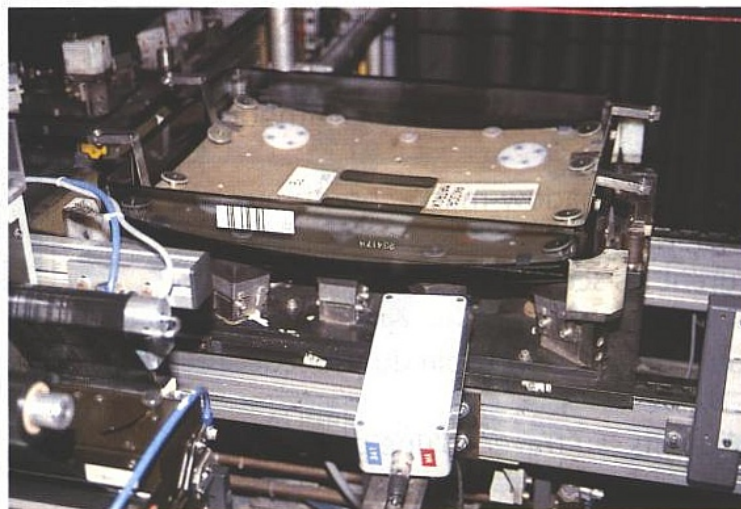
A titre d'exemple, le nouvel atelier «Matrix» - connu pour être la plus grande salle blanche d'Europe, avec 5000 m² de surface sans aucun pilier - emploie seulement 11 personnes par équipe dont 7 n'interviennent que par-



■ Association dalle-masque.



Un des nombreux robots manipulateurs ici utilisé pour le déplacement d'une dalle d'un convoyeur à un autre.



Toutes les dalles sont marquées d'un code barre de même que le masque : toute confusion avec une autre association est devenue impossible.

face avant - la dalle - c'est-à-dire en ajustant avec la meilleure précision possible la distance dalle-masque.

- atelier «Matrix-Flowcoat» : dépôt d'une couche de graphite - la grille - qui recevra les 3 couleurs. Les «fenêtres» Matrix sont remplies par dépôt des phosphores colorés (les lumino-phores) sous excitation cathodique, dans l'ordre : vert, bleu et rouge.

- atelier «hors-Flowcoat» : pulvérisation sous vide d'une couche d'aluminium pour augmenter la brillance et le contraste.

- atelier «Joining» : préparation du cône verre avec dépôt d'une couche d'oxyde de fer (conducteur) dans le cône et d'un ruban d'émail sur le bord (pour la soudure cône-dalle par frittage).

- atelier «Finition 1» : assurer le contact électrique interne, fixer le triple canon à électrons et faire le vide dans le tube, vide qui sera parfait par un «getter» à la base de baryum, lequel sera évaporé. Ici intervient la pose d'une ceinture de sécurité qui évitera toute implosion du tube.

- atelier «Finition 2» : traitement et test électrique de convergence et de pureté couleurs. Il a pour but de permettre au canon triple d'émettre des électrons et de préajuster les 3 faisceaux et la pureté des couleurs. Cette opération va

tiellement pour assurer la maintenance et le contrôle des lignes de production entièrement automatisées.

En fait, en ces lieux qui mettent en œuvre des technologies de pointe et fort complexes, l'informatique tient une place déterminante : le système informatique est constitué de 250 terminaux industriels, de 500 lasers et 150 PC assurant le système de contrôle de production en vérifiant les quelque 200 opérations effectuées au cours de l'élaboration d'un tube. L'analyse globale et permanente de ces paramètres permet d'optimiser et de parfaitement maîtriser le processus de fabrication, et ce sont plus de 500 paramètres par tube qui sont enregistrés et disponibles, pour étude statistique ultérieure, pendant un an... Ceci en dehors de l'action du Laboratoire Qualité qui ne teste pas moins, sur 4% des produits finis, de quelque 5000 paramètres ayant trait aux caractéristiques électriques et mécaniques : colorimétrie, pureté, émission, haute tension, résolution, convergence, aspect et dimensions.

Par ailleurs, 300 terminaux passifs à la disposition de l'ensemble des techniciens (production, qualité, maintenance) et des opérateurs sont connectés à un ordinateur central fournissant tous les outils indispensables à des analyses

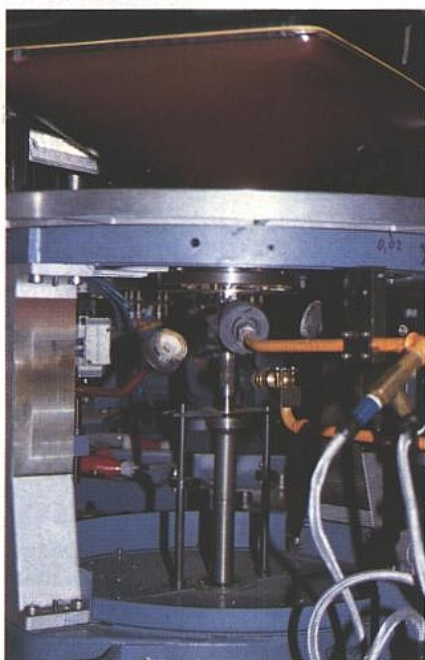


Contrôle de l'homogénéité des couches de lumino-phores.

** En 1981, Philips, sur le même site, employait 2400 personnes pour un nombre de tubes atteignant 800 000 exemplaires.



■ Défecteurs en attente de recevoir leur tube cathodique.



■ Fermeture du tube après pose du canon.



■ Préajustement de la convergence des trois faisceaux et de la pureté des couleurs. Le tube est directement positionné par le robot.



■ La tri des tubes achevés s'effectue automatiquement, grâce à leur code spécifique, avant emballage.

en temps réel. Le réseau informatique du Centre permet en outre d'assurer un suivi permanent des produits tout au long de la fabrication : en effet, chaque tube fabriqué possède un numéro d'identification spécifique, composé de données de temps, homme, machine, mesures, qualité et des différents contrôles effectués.

Quant aux nouveaux modèles de tubes, composant les gammes Black Line (BL), Black Line S (BLS) et Black Line SF (BLSF), ils se caractérisent tous par l'utilisation d'un luminophore rouge d'un rendement amélioré, un masque en invar (alliage d'acier et de nickel de très faible coefficient de dilatation) qui permet, par rapport à un masque en acier conventionnel et à égalité de dilatation, une puissance dissipée en chaleur plus élevée donc de faisceaux d'électrons plus intenses, la technologie «Black Matrix» permettant un contraste amélioré, encore accru pour les BLS et BLSF par l'utilisation d'une dalle teintée noire (écran neutre). Le masque de tous ces tubes est compatible avec les différents standards (625/525 Hz) ; en outre, en option, tous les modèles peuvent être livrés en version 100 Hz pour éviter le scintillement de l'image alors que les BL et BLS peuvent être dotés d'une modulation de la vitesse de balayage - pour une image plus «piquée» - que les BLSF possèdent d'origine. Ajoutons que si les BL et BLS sont du type plat à coins rectangulaires, la face avant des BLSF bénéficie d'une courbure encore plus faible d'où l'appellation SF («Super Flat» : super plat). On retiendra également l'augmentation des valeurs de la THT : 30 kV pour les 33 pouces BL, 27,5 kV pour les 28 pouces BLS et 29,5 kV pour les 29 pouces BLSF.

Y. Thomas, responsable du département «Innovation et Qualité» et qui connaît bien son affaire - il est au Centre de Dreux depuis 1957... - et à qui nous sommes redevables de la plupart des renseignements que nous donnons ci-dessus, à propos et des nouvelles gammes de cathodoscopes et de leur fabrication, a attiré notre attention sur un point précis que nous ignorions et nous ne sommes vraisemblablement pas les seuls. Certes, nous savions que des haut-parleurs mal blindés, à proximité du tube cathodiques, pouvaient avoir une influence pernicieuse sur la déviation des faisceaux d'électrons et donc sur la qualité de l'image restituée. Mais Y. Thomas nous a appris que le seul champ magnétique terrestre ($H = 0,2$ gauss) pouvait perturber l'image et que, pour minimiser cet effet, il convenait dans la pièce où était installé le téléviseur d'orienter ce dernier de façon que l'axe principal du tube cathodique coïncide avec une direction est-ouest (ou, ce qui revient au même, ouest-est). Mais est-ce toujours possible ?

Resterait, dans le cadre de cet article, à aborder le sujet des nouvelles cathodes qui équipent déjà les tubes 16/9. Ce qui fera l'objet d'un prochain développement dans «ERP».

DIX ANS DE CARTES A PUCE AU S.E.P.T. DE CAEN

Ce n'est assurément pas un hasard si le dixième anniversaire de la création, à Caen, du Service d'Études Communes des Postes et Télécommunications coïncide presque exactement avec celui de l'apparition des premières télécartes en France.



Le SEPT fut en effet l'un des principaux acteurs du succès éclatant de ce qui est toujours la plus grande application des cartes à puce.

Aujourd'hui encore, la vocation du SEPT est de fournir à la Poste et à France Télécom des prestations de recherche et développement de qualité dans leurs deux domaines d'intérêt commun que sont le paiement et le courrier électroniques.

On y prépare, bien sûr, les technologies de demain, mais on y veille aussi au bon fonctionnement de celles d'aujourd'hui, en étroite collaboration avec l'industrie et les instances de normalisation.

LA TÉLÉCARTE DE DEUXIÈME GÉNÉRATION

En dix ans, l'industrie des semiconducteurs a considérablement évolué : la technologie NMOS, qui sert encore à produire les puces des actuelles télécartes (T1G), est arrivée au seuil de l'obsolescence et devrait être progres-

sivement abandonnée par les fondeurs.

Le SEPT a donc imaginé, dès 1989, de passer en CMOS, quitte à profiter de l'occasion pour améliorer les fonctionnalités du produit sans pour autant en augmenter le prix de revient.

Après une phase d'expérimentation «terrain» sur 100000 cartes fin 1993, le basculement des 120000 publiphones à carte devrait s'effectuer courant 1994.

Parfaitement transparente pour l'utilisateur, cette opération débouchera ce-

pendant, tôt ou tard, sur l'impossibilité d'utiliser les T1G restant en circulation. On peut toutefois penser qu'une compensation commerciale sera proposée à la clientèle concernée...

Le remplacement de l'actuelle mémoire EPROM par une EEPROM spécifique développée en partenariat avec SGS-Thomson va permettre de concilier une simplification du matériel (six contacts au lieu de huit, pas de Vpp externe) avec une plus grande souplesse du produit.

Il serait facile, par exemple, de pro-

grammer une T2G pour qu'elle ne puisse servir à appeler qu'un seul et unique numéro.

Réinscriptible, une T2G pourrait contenir des milliers d'unités : c'est un atout pour l'exportation, de nombreux pays appliquant une taxation beaucoup plus fine qu'en France.

Grâce à un mécanisme d'authentification par calcul de signature à partir de clefs secrètes internes, la T2G sera également plus sûre que la T1G, bien que France Télécom, qui dispose de puissants moyens de dépistage de toute forme de fraude, affirme catégoriquement que ce problème est aujourd'hui réglé.

Mais, en la matière, il est vital d'avoir toujours quelques années d'avance sur l'adversaire potentiel.

Le porte-monnaie électronique

En attendant la T3G (dans dix ans ?), la technologie EEPROM permet d'aller beaucoup plus loin que le simple décomptage de «jetons» prépayés.

Sept années de recherche ont permis au SEPT de démontrer la faisabilité d'échanges sécurisés de monnaie entre deux cartes, sans composition de code confidentiel : de la carte d'une banque vers celle du client (chargement), et de la carte du client vers celle du commerçant (paiement).

Basé sur des cartes à microprocesseur intégrant un algorithme cryptographique (le DES), le «Porte-Monnaie

Électronique» ou PME pourrait relayer efficacement la carte bancaire pour tous les petits paiements : ce pourrait être un système aussi universel que les espèces et non limité à une seule application comme les télécartes.

Contrairement à la carte bancaire qui fait «remonter» des transactions nominatives vers un système central, le PME ne travaille que sur des cumuls d'opérations anonymes : c'est bien moins coûteux à l'usage et très important à l'heure où le public prend conscience que le simple fait de payer par carte rend actuellement possibles de véritables «filatures électroniques».

Bien que la communauté bancaire pense qu'il est «urgent d'attendre» et que le Trésor craigne l'apparition de «fausse monnaie électronique», la Poste poursuit délibérément dans cette voie, en partenariat avec Bull CP8 et Philips-TRT.

Après tout, France Télécom n'a nullement à regretter d'avoir fait confiance au SEPT en lançant la télécarte au milieu du scepticisme général !

Une institution européenne

Déjà considéré en France comme une véritable institution, le SEPT est maintenant habilité par la Commission des Communautés européennes pour le test de conformité aux normes des cartes à microcircuit et des terminaux associés.

Tout industriel souhaitant obtenir un

agrément à l'échelle européenne peut donc, dorénavant, s'adresser au SEPT ou à son homologue espagnol, le LGAI à Barcelone.

Parallèlement, le SEPT poursuit une active collaboration avec les organismes de normalisation.

Mieux qu'une délocalisation

Bien que le SEPT soit rattaché au CNET (Centre National d'Études des Télécommunications), son installation à Caen ne résulte pas d'un transfert de laboratoires parisiens, mais d'une création de toutes pièces.

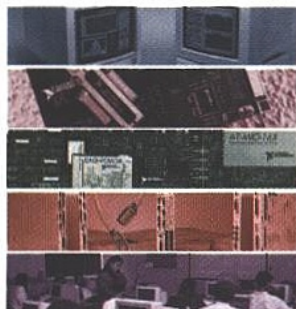
Les quelques deux cents chercheurs qui y inventent quotidiennement le futur y jouissent d'une belle qualité de vie, éminemment favorable à ce genre d'activité.

D'ailleurs, un véritable pôle «cartes à puce» se forme ici : département «monétique» de l'IUT de Caen et, très prochainement, implantation du nouveau centre de fabrication de cartes de TRT.

Patrick GUEULLE

GUIDE GRATUIT DE L'ACQUISITION ET DE L'ANALYSE DE DONNÉES

1994



IEEE 488 and VXibus Control, Data Acquisition, and Analysis



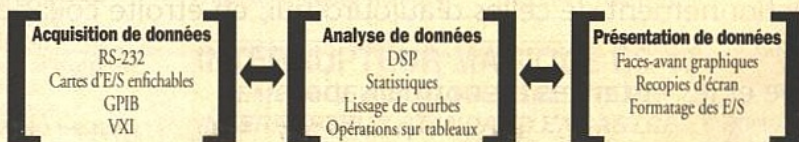
Le catalogue 1994 décrit les produits nécessaires à la réalisation de systèmes de mesure sur ordinateur:

Matériels

- Interfaces IEEE 488.2 (GPIB)
- Contrôleurs VXI
- Cartes d'acquisition de données
- Cartes DSP
- Modules de conditionnement du signal (SCXI)

Logiciels d'applications

- LabVIEW (Windows, Macintosh, Sun)
- LabWindows pour DOS
- LabWindows/CVI (Windows, Sun)
- Drivers NI-VXI, NI-DAQ et NI-488.2



Pour recevoir notre catalogue gratuit, il vous suffit de nous renvoyer le coupon-réponse ci-joint, par courrier ou par télécopie: (1) 48 65 19 07 ou appelez le: (1) 48 65 33 70



Centre d'Affaires Paris-Nord
Immeuble "Le Continental"
BP 217 - 93153 Le Blanc Mesnil

CATALOGUE GRATUIT

© Copyright 1993 National Instruments Corporation. Tous droits réservés. Les noms de produits et de sociétés cités sont des marques déposées par leurs propriétaires respectifs.

Je souhaite recevoir gratuitement le catalogue 94.

Nom/Prénom _____

Fonction _____

Société _____

Adresse _____

Code/Ville _____

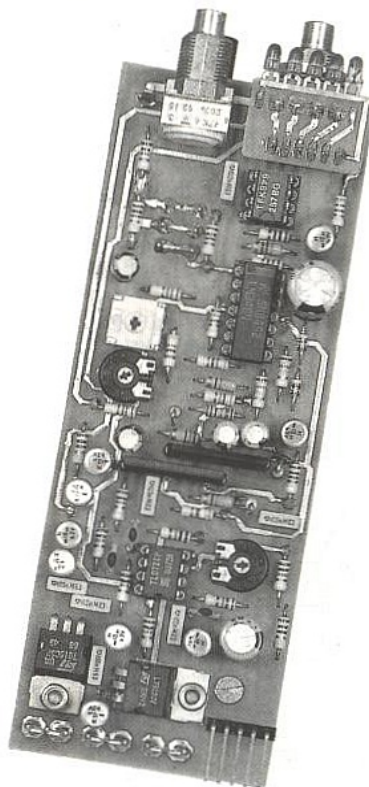
Tél. _____ Fax _____

J'ai déjà reçu de la documentation de la part de National Instruments oui non

L8TC

8 COMPRESSEURS / LIMITEURS DANS 1 U

La première mouture d'une étude
similaire date de 1988 et plusieurs
centaines de modules «Limit 6 ou 8»
ont été réalisés depuis sans que l'ombre
d'un problème ne vienne assombrir les
objectifs que nous nous étions fixés :
excellentes performances,
reproductibilité garantie sans devoir faire appel
à un laboratoire «pro», approvisionnement des
composants fiable et aisé.



Une brève mise à jour fut faite en avril 1993 (ERP N° 545), mais la version L8TC
que voici dépasse tout ce que l'on pouvait imaginer dans 1U, soit 8
compresseurs disposant chacun : en face avant d'un potentiomètre de
threshold (pour une large gamme de seuils), d'un de ratio (- 20/1 à 1/1), d'un
indicateur de réduction de gain (GR) à 5 LED, d'une clé de preset ;
en interne d'un temps d'attaque et de retour ajustables ;
Entrée symétrique, sortie asymétrique.

C'est un best of pour les studios, la sono, les musiciens, les radios, mais
également pour tous les «audiophages domestiques» !

La refonte - ou l'évolution d'un produit -
donne à penser parfois que la précé-
dente version est obsolète, au point de
conclure hâtivement que son posses-
seur s'est laissé dépasser par les événe-
ments. En ce qui concerne Limit 6 (8),
il n'en est rien : les premiers modules

de 1988 sont aussi performants que
ceux bénéficiant de l'amélioration ap-
portée en avril 1993. Seul le prix de re-
vient a changé (à la baisse !).
Mais, de ce montage sain, les profes-
sionnels ont demandé plus encore
dans un minimum de place ; jusqu'à

dépasser les offres commerciales tradi-
tionnelles. Il n'existe en effet à ce jour,
à notre connaissance, aucun produit
concurrent au L8TC. On peut faire les
comptes à brève, moyenne et longue
échances ; le résultat sera toujours en
faveur d'un tel système pour peu que

l'on accepte de mettre la main à la pâte.

Toutefois, et pour conclure cet intermède, il faudrait observer que le but de L8TC n'est pas de se substituer à un Limit 6 (8) ou L6TC2 : c'est un autre produit, pour d'autres besoins.

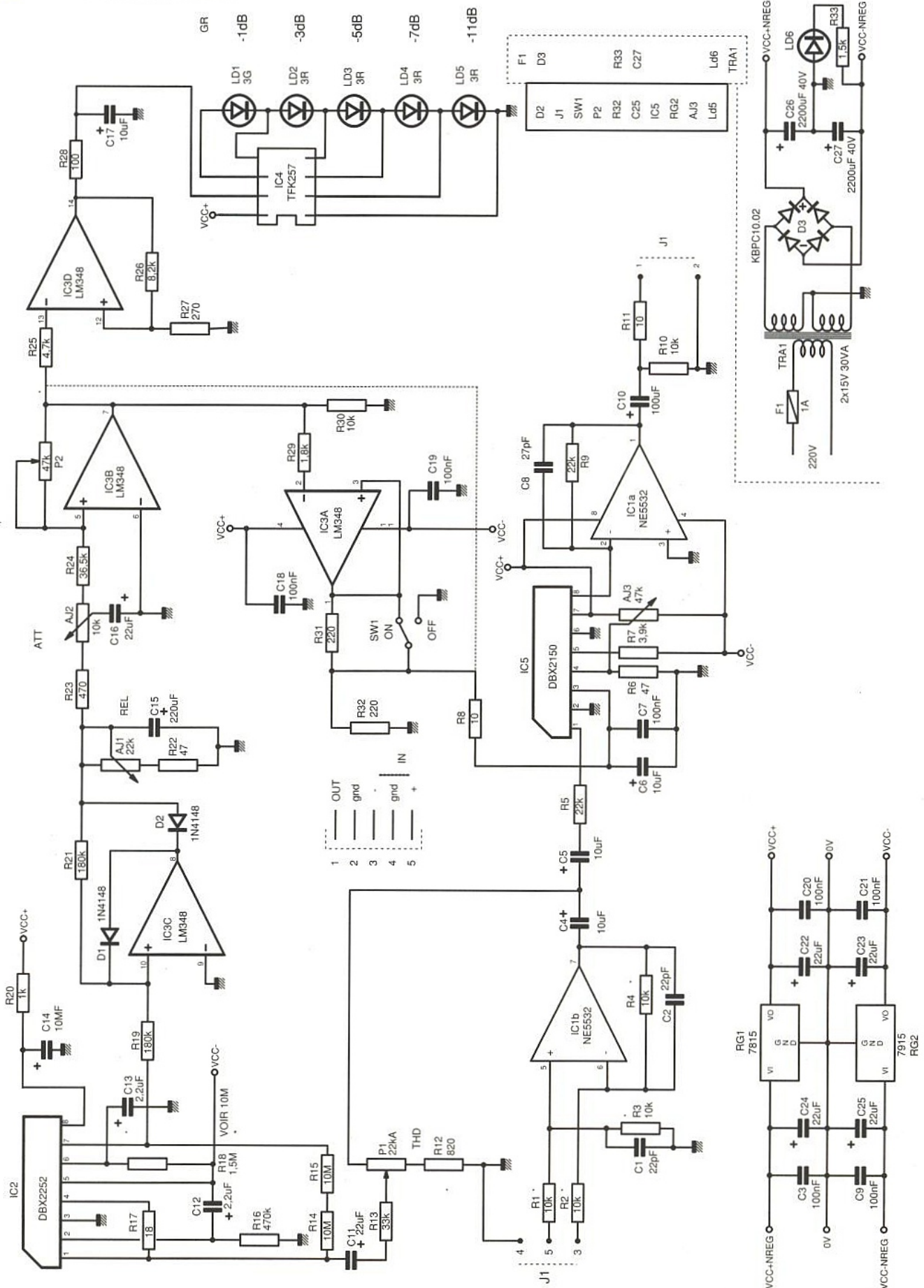
SCHEMA

Le schéma proposé figure 1 représente une unité parmi les huit implantables. Quoique pouvant donner l'impression de n'avoir pas subi de

grandes modifications par rapport aux précédentes versions, l'évolution est pourtant considérable à plusieurs titres.

Une entrée symétrique est désormais offerte en 3 et 5 du connecteur J1 grâce à IC1b. Aucun gain n'est donné

■ Figure 1 : schéma d'un module



ici, mais nous en reparlerons : tous les composants marqués dans ce schéma d'une étoile (*) seront en mesure d'être modifiés pour adapter chaque module à des exigences particulières. La chaîne purement audio se poursuit par un vieil ami (le VCA IC5) dont la sortie en courant est convertie en tension par IC1a.

L'insertion dans un trajet de modulation est donc disponible intégralement sur J1 (out en 1).

On remarquera que sur cette version la chaîne audio peut être inversée ou non, et qu'une substantielle économie a été faite en utilisant un NE5532 à la place des 2 NE5534 prévus jadis : simple problème d'implantation !

Le prélèvement du signal à traiter est fait au point nodal C4/C5 et le dosage de l'amplitude par P1 permet de choisir le seuil souhaité. Le talon R12 sert à déployer au mieux la plage désirée, et il est bon de noter que si THD est au maximum (côté R12) on arrive par exemple à +10 dBu, ce qui est très élevé mais ne constitue pas une désactivation totale de l'effet. Le détecteur RMS IC2 convertit la modulation prélevée en tension continue, à raison de 6mV/dB. Les tensions positives sont seules retenues mais inversées dans IC3c, et deux réseaux résistances/capacités permettent d'introduire des temps d'attaque et de retour variables du signal de commande négatif, avant de l'inverser enfin dans IC3b, dont le gain est modifiable au moyen de P2 (RATIO).

A la sortie de IC3b, on dispose d'une tension de commande qui pourrait servir directement à IC5 (c'est-à-dire positive), mais deux tâches sont encore à installer : une amplification dans IC3d assure une commande de l'indicateur de réduction de gain construite désormais autour d'un TFK257. Ce petit circuit largement distribué (et moult fois utilisé dans nos montages) offre une barre d'indications sur 5 LED, qui correspondent ici à des réductions de 1, 3, 5, 7 et 11 dB.

Une simplification notable a, de ce fait, été apportée, tout en augmentant considérablement le confort d'utilisation.

Le dernier étage (IC3a) s'insère entre la tension de commande et la broche 3 du VCA (IC5). Il a pour fonction de véhiculer celle-ci sans modification (suiveur/non inverseur) si SW1 est sur ON, et d'assurer le pilotage du VCA à basse impédance. Si SW1 est sur OFF, la broche 3 de IC5 est portée à 0 V, ce qui conduit à éliminer tout effet de compression/limitation en forçant le VCA au gain unité, sans pour autant perturber IC3a (R31).

Mais - et c'est une demande des professionnels qui travaillent en «live» - si SW1 est sur OFF, les effets des réglages de la side chain sont toujours visibles sur l'indicateur GR. C'est la raison pour laquelle nous avons nommé Preset/on cette clé, contrairement à un simple By-Pass : sur preset OFF, on peut régler THD, Ratio, etc. sans que les effets soient actifs, seul le passage sur ON transmet alors les données.

Il est évident qu'une signalisation de SW1 est fondamentale, car elle seule

indiquera si le système est efficient ou non. Nous avons choisi les boutons «œil de chat», ne consommant rien, et bien visibles même dans des conditions d'éclairage restreint. Ce choix pourrait toutefois déplaire à certains, et le suivi de l'indicateur à SW1 ne sera qu'une formalité, comme nous allons le voir.

Avant, on constatera que chaque module dispose de sa propre régulation, ce qui présente, à peu de frais, de nombreux avantages : distribution en tensions simplement redressées, réduction de l'échauffement, protection individuelle de chaque unité en cas de «pétard», etc. La consommation est d'environ 40 mA dans la branche positive (toutes LED allumées, modulation au maxi) et 15 mA dans la branche négative.

Adaptations

Voici quelques suggestions pour personnaliser L8TC.

1/ Suivi de l'indicateur à SW1 : Débrancher R25 du nœud R29/R30/P2 et la raccorder au commun de SW1 (nœud R8/31/32).

2/ Modification des seuils haut et bas : ceci peut être fait à divers niveaux et il est bon de rappeler le petit tableau publié dans ERP N° 551, page 26, à l'occasion de MASE.

R18	100 kΩ	1 MΩ	10 MΩ
+ 20	128	192	252
+ 15	96	160	221
+ 10	65	65	191
+ 5	34	98	160
0 dBu	4	67	129
- 5	- 25	38	100
- 10	- 53	9	70
- 15	- 82	- 21	39
- 20	- 108	- 50	9
- 25	- 135	- 85	- 29
- 30	- 150	- 112	- 58

On peut y voir les comportements de IC2 en fonction de la valeur de R18 : les valeurs correspondent aux tensions en mV à la sortie de IC2 et seules celles qui sont positives nous concernent ici. Avec 1,5 MΩ et R12 = 820 Ω, la plage de réglage s'étend de -10 dBu à +10 dBu environ.

En portant R18 à 10 MΩ, on obtient cette fois de -20 dBu à +9 dBu ; cette plage est celle que nous avons retenue pour nos propres besoins.

R12 peut être éventuellement modifiée afin d'augmenter ou réduire le seuil haut : c'est un simple calcul de diviseur de tension. On pourrait aussi envisager de donner du gain dans IC1b et en retirer autant dans IC1a, en sachant toutefois que, le plafond actuel à +18 dBu restant inchangé, la dynamique serait alors réduite : avec 10 dB de gain dans IC1b et R 18 à 10 MΩ le seuil bas se situerait à -30 dBu, mais le niveau maxi acceptable en entrée à +8 dBu, par saturation de IC1b uniquement.

Tout dépend du niveau d'insertion où l'on placera le L8TC. En effet, avec un

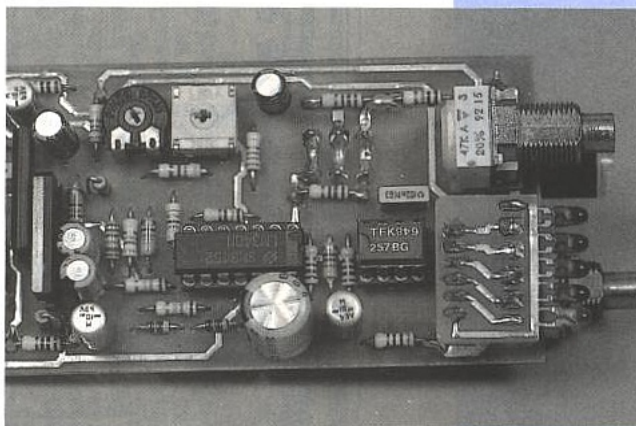
ratio faible de 2/1 et pour un seuil de -20 dB dans une ligne d'insertion à 0 dBu nominal, le niveau de sortie avant saturation de IC1b (+18 dBu en entrée, sans modification) serait ramené à 0 dBu environ. C'est parfait.

Par ailleurs, comme une ligne d'insertion à -10 dBu a rarement la possibilité de supporter plus de 20 dB (au-delà saturation des étages suivants), un détour par un seuil bas de -30 dBu reste tout à fait adapté. Il sera bon alors d'augmenter légèrement le talon R12 pour étaler au mieux la plage de réglage de P1.

Mais la réduction complémentaire dans IC1a pourrait être omise, et le L8TC servirait en plus de booster de 10 dB dans notre exemple : entrée -10, sortie 0 dBu.

Les temps d'attaque et de release peuvent également être changés : le release est déterminé par C15 et AJ1 + R22, et l'attaque par C16 et R23 + Aj2. Attention toutefois : en modifiant la valeur d'AJ2, il faudra penser à ce que l'égalité R23 + AJ2 + R24 = P2 soit respectée.

Toutes ces modifications simples rendent ce module très souple d'emploi, et lui permettent de s'adapter idéale-



ment à de multiples situations.

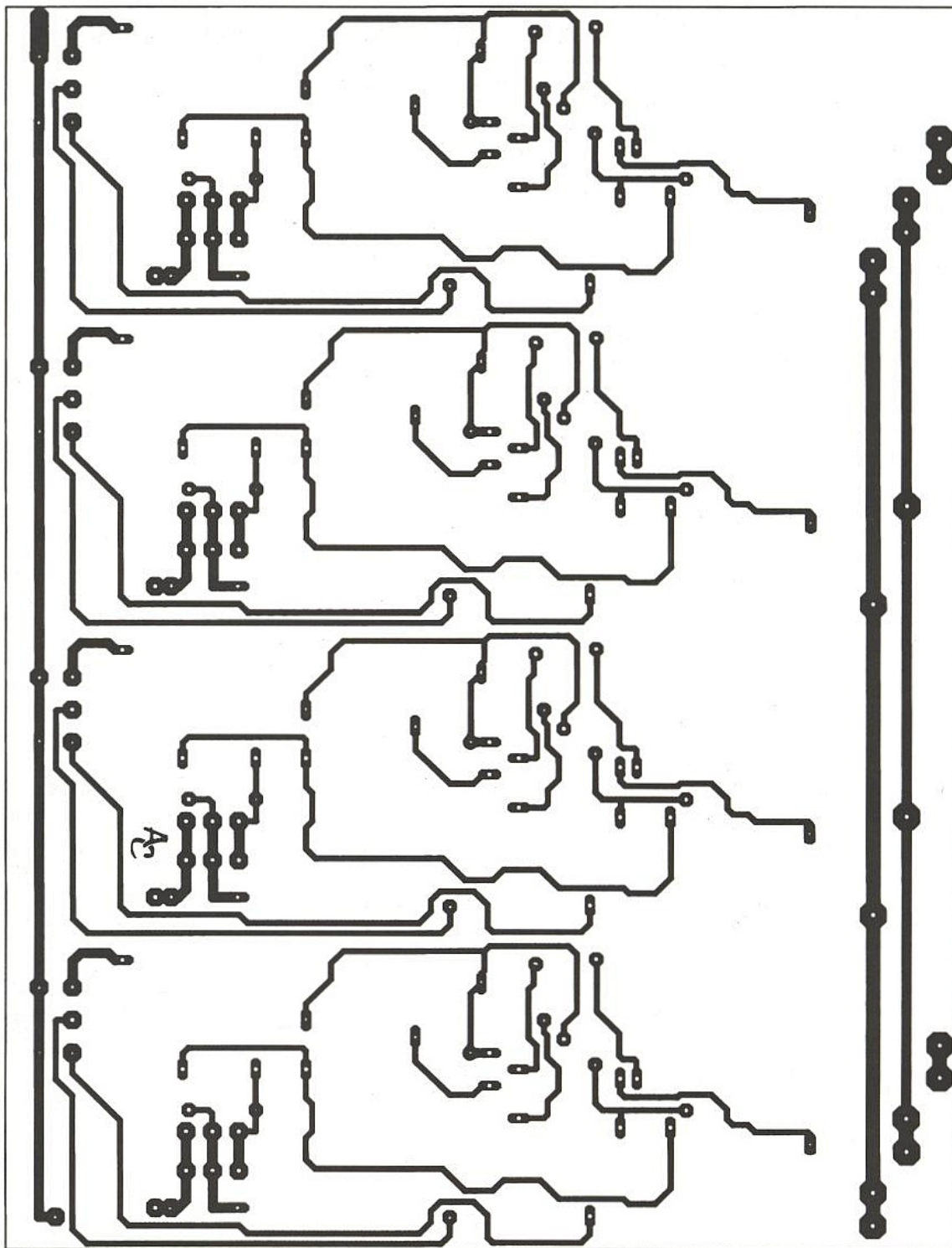
Du home studio - véhiculant souvent de faibles niveaux - à la sonorisation de concert qui «booste» un maximum pour exploiter toute la puissance disponible, en passant par l'audiophile exigeant (ou prudent) et les instrumentistes désirant des effets de qualité studio, L8TC répondra toujours présent.

RÉALISATION

Un tel cahier des charges nous a posé d'énormes problèmes.

En effet, il fallait réunir les composants de la figure 1 en harmonieuse cohabitation dans 0,662 dm² maximum par unité et garder tout le charme des précédentes versions :

- construction (maintenance) aisée ;
- commandes par potentiomètres à pistes cermet ;
- boutons manipulables par tous (l'évolution de la technologie n'ayant pas été suivie - pour l'auteur du moins - d'une modification physiologique adaptant ses doigts aux micro-commandes) ;



■ Figure 2a : côté composants pour 4 L8TC

- offrir une alimentation secteur autonome (ce qui n'était pas le cas pour les versions Limit8 et L62T6 x 8) ;
 - placer 16 jacks stéréo, plus fusible et câble secteur, en face arrière d'un modeste rack 1 U profondeur 250 mm ;
 - respecter (fondamental) un point de masse unique et une mise au châssis électrique (pas uniquement mécanique) de tous les canons des potentiomètres ;
 - enfin, proposer une mise à la terre du châssis optionnelle, non rédhibitoire. L'impossible n'étant pas ERP, le défi fut relevé (et transformé) sous certaines conditions :

- 1/ CI double face impérativement (trous métallisés non indispensables).
- 2/ Mécanique exigeant une bonne précision (certains jeux sont de l'ordre de 0,3 mm maxi).

3/ Groupement par blocs de quatre unités minimum (pour le CI).

4/ Assemblages parfois un peu particuliers, mais néanmoins très simples et « payants ».

La figure 2 dévoile les faces 1, puis 2 et le côté composants pour quatre unités. On remarquera qu'il est possible d'implanter à haute densité à partir de composants classiques, sans pour autant « tailler le cuivre dans la dentelle » : aucune piste n'est inférieure à 1 mm ! Deux petites cartes (figure 3) complètent la construction. La première porte les LED des indicateurs et la seconde sert de cale aux potentiomètres P2.

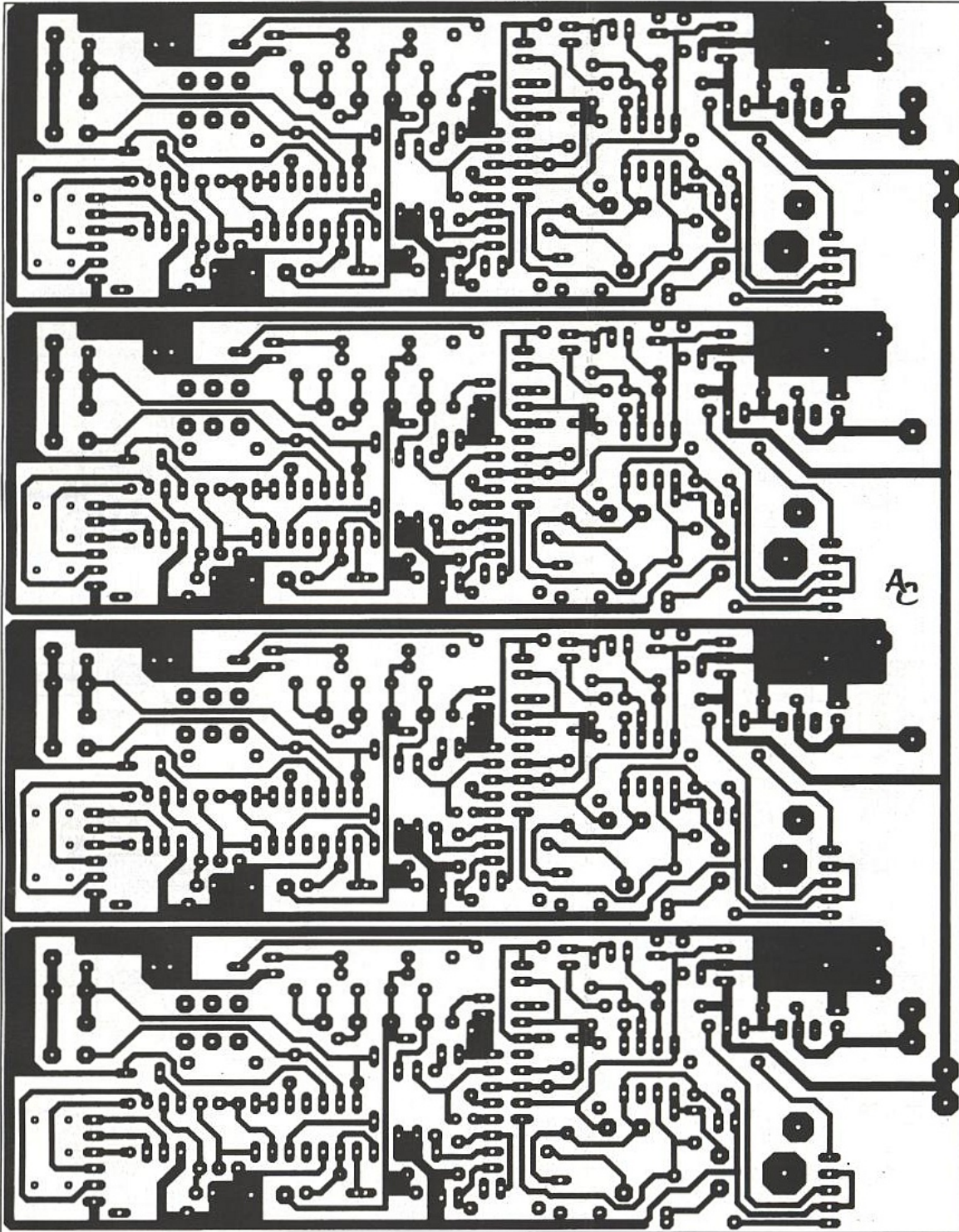
Le montage des switches SW1 a ceci de particulier qu'il faudra « souder » les pattes des boutons « œil de chat » sur le corps des Schadows. Les bâtis adaptés étant trop volumineux, il a bien fallu

trouver une solution, et un coup de fer à souder pour mélanger les matières plastiques en est une (au besoin, on pourrait utiliser une colle « super glu »). SW1 et P1 sont soudés en-dessous de la carte, mais attention : SW1 devra être placé **après** avoir soudé P2 et glissé la petite cale permettant d'élever ce dernier de 16/10° ; cette dernière servant à donner un peu « d'air » aux commandes accessibles en façade.

Un connecteur de 6 broches reporte les liaisons de la carte LED afin que ses dernières s'alignent avec P2.

Les photographies de notre prototype montrent qu'il reste peu de place à l'improvisation...

En effet, isoler chaque module (nous l'avons fait) est un sport dangereux et le faible jeu entre unités est tel que la mécanique devient alors très délicate.



■ FIGURE 2b : circuit imprimé de quatre L8TC chaînés coté cuivre.

Nous proposons donc des blocs de quatre qu'il sera facile de réduire et qui assurent la distribution en tensions non régulées.

Par ailleurs, il faut savoir qu'un tel tracé n'a été possible que par phototraçage sur film épais (LP2002). Il y a en effet presque 900 trous par plaque et la face sérigraphie occupe à elle seule plus de 15000 lignes de données sous Layo.

On pourra s'étonner du recul de P2 qui interdit d'en fixer le canon par un écrou en face avant. C'est voulu, car cette solution permet d'utiliser des P11 à axe de 6 et de monter indifféremment des boutons de 13 mm (rares) ou de 16 sans jupe, tout en conservant une esthétique élégante et un bon accès aux commandes.

Il n'a pas été prévu de C1 pour l'alimentation : le pont est vissé directe-

ment sur le côté du rack et les condensateurs peuvent être tenus de diverses manières (colliers, brides métal, etc.). Pour notre part, ils ont été immobilisés au Rubson, car la maquette sera fréquemment transportée (utilisation en sonorisation de concert).

Mise en route

Le schéma a été soigneusement étudié afin de garantir une reproductibilité totale. Le seul réglage entrant dans la mise au point est AJ3, permettant d'assurer une symétrie d'écrêtage parfaite. La documentation de dbx propose d'insérer, entre le curseur d'AJ3 et la broche 4 de IC5, une résistance de 100 k Ω afin d'affiner le réglage. Pour avoir manipulé plusieurs centaines de

2150, l'auteur a constaté qu'il était judicieux d'éliminer cette résistance afin d'offrir un pré-réglage quasi parfait avec AJ3 à mi-course, ce qui n'est que rarement le cas avec l'insert de 100 k Ω .

Les lecteurs qui ne disposeraient d'aucun appareil de mesure pourront donc placer AJ3 en plein centre, sans autre forme de procès. Pour les autres, il faudra mettre le module sur OFF (SW1 sorti) et injecter de quoi faire sauter le 2150.

Avec les valeurs du schéma, il est fort possible qu'un générateur à 1 kHz classique soit insuffisant : il faut +20 dBu environ. Mais ce n'est pas grave. On peut détourner le problème sur L8TC en entrant en asymétrie non inversée (In sur 5 de J1, et 3 à 0 V), puis en plaçant provisoirement une résistance de 1 k Ω en parallèle avec R2.

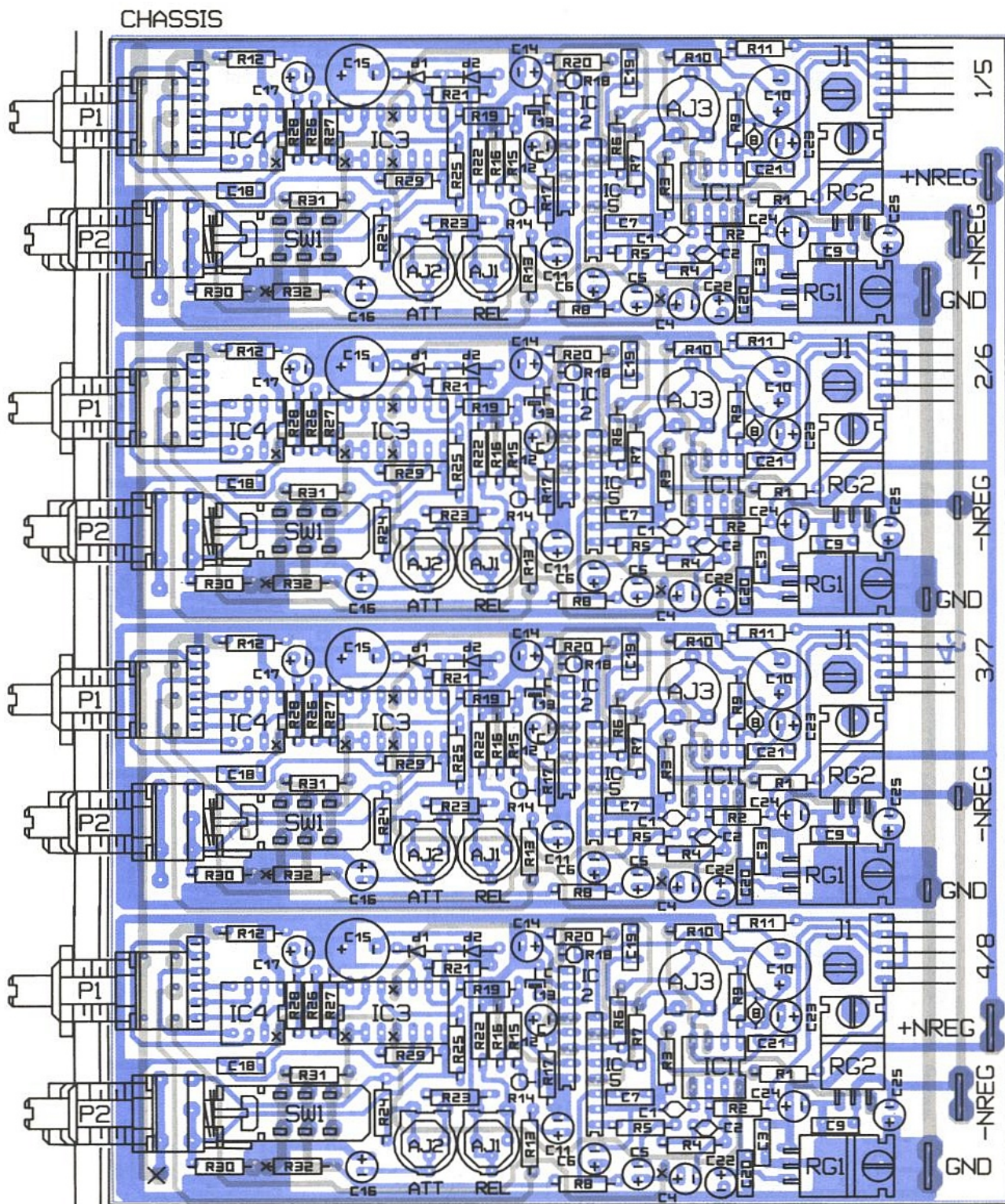
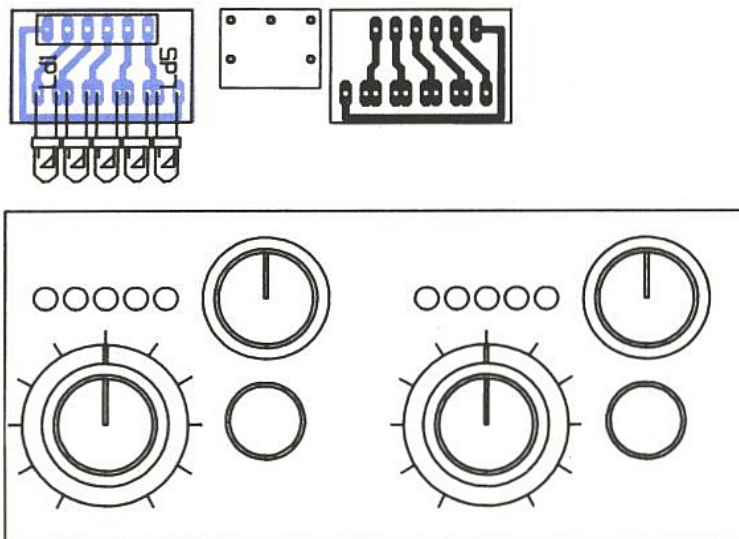


Figure 2c : implantation.

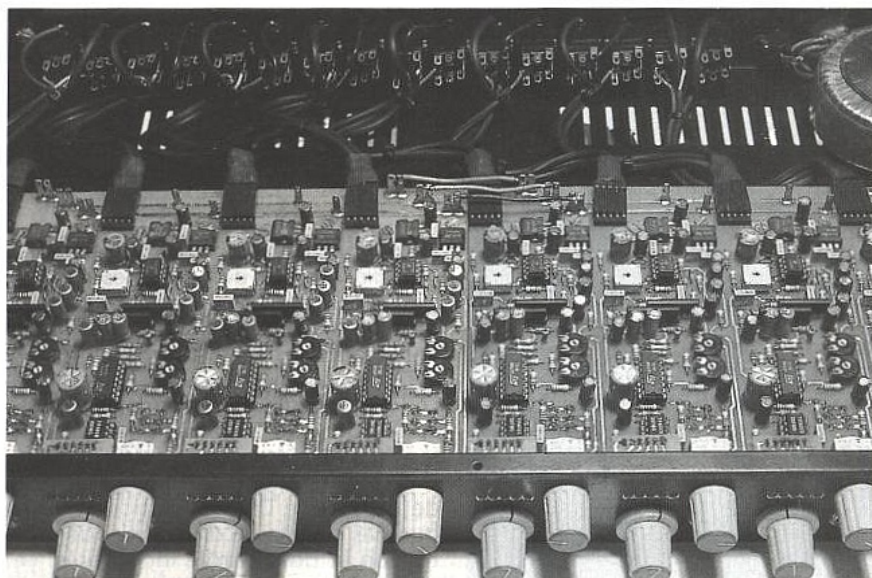


Augmenter le niveau d'injection jusqu'à obtenir un début d'écrêtage en sortie, et rendre ce dernier parfaitement symétrique en retouchant doucement AJ3.
C'est tout ! Il ne reste plus qu'à retirer la 1 kΩ provisoire... et jouer avec les commandes.
Au fait, une astuce : avant d'engager un dbx2150 dans un support, remplacer ce dernier par une 10 Ω entre 1 et 8 pour surveiller la modulation !

Terre au châssis ?

Combien de fois, sous prétexte de vouloir mieux faire, des installations Audio ont été équipées de prises de terre et

Figure 3 : carte support de LED.



se sont conclues par une abominable ronflette ?

On passe son temps à assurer un seul point de masse au châssis et cette attention se voit annulée par un joyeux bouclage dans les barrettes d'alimentation secteur, «grâce» au fil de terre. Le matériel professionnel offre parfois un cavalier à déplacer pour mettre ou non la terre au châssis, voire dans certains cas une borne de terre à relier ou non ; le câble secteur n'étant alors qu'à deux fils.

La terre ne devant être mise qu'à un seul élément de la chaîne, on en choisira un (en général, sur une pièce fondamentale : console par exemple), et tous les autres racks seront soigneusement déconnectés de ce potentiel : la masse s'en occupe.

Les équipements disposant d'entrées symétriques galvaniquement isolées peuvent être traités différemment, mais, comme ils sont de plus en plus rares, on veillera à ne pas improviser sans discernement. L8TC dispose donc d'un fil de terre que l'on ne raccordera pas au châssis, sauf s'il est le seul de la chaîne !

Conclusion

Comme nous l'avons annoncé, L8TC n'a pas la même destination que Limit6 et L62TC.

Son but est plus artistique que protecteur : pour protéger des amplis, un émetteur, etc., les L62TC seront mieux adaptés (moins coûteux).

Par contre, pour traiter une dynamique généreuse, L8TC est idéal et le compléter par une élévation en façade des potentiomètres agissant sur l'attaque et le retour ne serait qu'une formalité.

Nous travaillons sur une nouvelle génération de noise-gate au même format (et aux commandes particulières), afin d'inclure dans un seul rack 4 U en façade : 8 L8TC, 8 gates et un patch d'inserts pour 8 lignes.

Vaste projet dont une bonne partie a déjà été donnée ici.

Jean ALARY.

NOMENCLATURE

Résistances :

R1, R2, R3, R4, R10, R30 = 10 k Ω
 R5, R9 = 22 k Ω
 R6, R22 = 47 Ω
 R7 = 3,9 k Ω
 R8, R11 = 10 Ω
 R12 = 820 Ω
 R13 = 33 k Ω
 R14, R15 = 10 M Ω
 R16 = 470 k Ω
 R17 = 18 Ω
 R18 = 1,5 M Ω ou 10 M Ω (voir texte)
 R19, R21 = 180 k Ω
 R20 = 1 k Ω
 R23 = 470 Ω
 R24 = 36,5 k Ω
 R25 = 4,7 k Ω
 R26 = 8,2 k Ω
 R27 = 270 Ω
 R28 = 100 Ω
 R29 = 1,8 k Ω
 R31 = R32 = 220 Ω
 R33 = 1,5 k Ω *

Condensateurs :

C1, C2 = 22 pF
 C3, C7, C9, C18, C19, C20, C21 = 100 nF
 C4, C5, C6, C14, C17 = 10 μ F

C8 = 27 pF
 C10 = 100 μ F
 C11, C16, C22, C23, C24, C25 = 22 μ F
 C12, C13 = 2,2 μ F
 C15 = 220 μ F
 C26, C27 = 2200 μ F 40V *

Potentiomètres et ajustables :

AJ1 = 22 k Ω PIHER
 AJ2 = 10 k Ω PIHER
 AJ3 = 47 k Ω PIHER
 P1 = 22 kA P11
 P2 = 47 kA P11

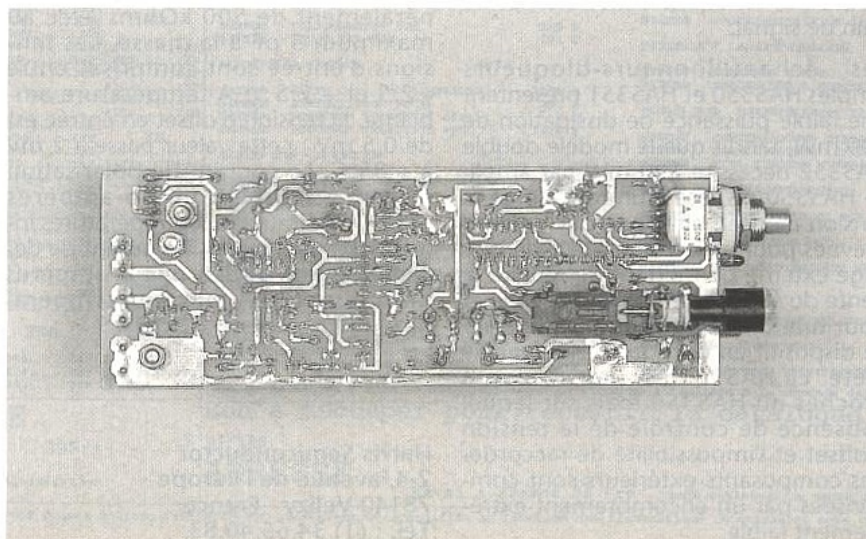
Semiconducteurs :

D1 = D2 = 1N4148
 D3 = KBPC10.02 *
 Ld1 = LED 3 mm verte
 Ld2 à Ld5 = LED 3 mm rouge
 Ld6 = LED 5 mm rouge + support *
 IC1 = NE5532
 IC2 = dbx 2252
 IC3 = LM348
 IC4 = TFK 257
 IC5 = dbx 2150
 RG1 = 7815
 RG2 = 7915

Divers :

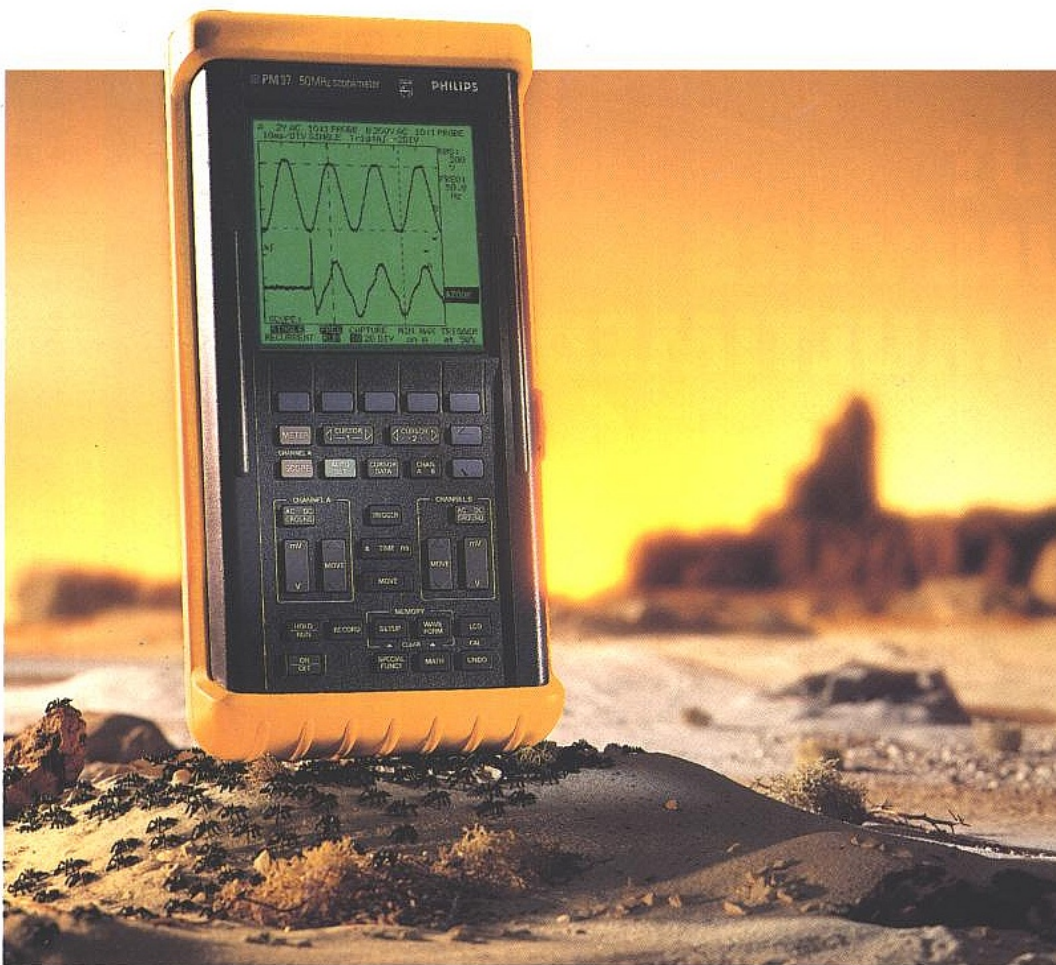
F1 = Fusible 1A + porte fusible châssis *
 TRA1 = transfo torique 2 x 15 V 30 VA *
 SW1 = Schadow 2 inv + bouton FA
 Rack 1 U ESM, câble secteur, cosses faston simples et doubles, connecteur F (2,54 x 5) + 6 points M droits + 5 points coudés, 2 boutons axe de 6, 2 jacks châssis isolés, visserie.*
 Supports tulipes : 2 de 8 broches
 1 de 14 broches
 16 pts en barrette

NOTA : les éléments non marqués d'une étoile (*) sont à multiplier par 8 pour une version complète : 8 unités dans un rack 1U.



L'Oscilloscope qui vous accompagne partout

Le ScopeMeter™ est unique au monde. Ce nouveau concept associe les fonctions d'un oscilloscope puissant et d'un multimètre haut de gamme dans un seul appareil portable. Il est spécialement conçu pour faciliter les interventions et les tests rapides sur le terrain : ne pesant que 1,8 kg, robuste, résistant à l'eau et aux poussières, il a une autonomie de 4 heures.



C'est un oscilloscope numérique

- 2 voies 50 MHz
- 25 Méga-échantillons/s
- Fonctions mémoires et curseurs
- Enregistrement des phénomènes lents 60s/div avec capture de parasites de 40 ns
- Autoset : sélection automatique de la sensibilité, base de temps, déclenchement
- Sondes hautes sécurité, protection jusqu'à 600V rms
- Large écran LCD rétro-éclairé

C'est un multimètre numérique

- 3 000 points
- Mesure de valeurs efficaces vraies AC et AC+DC jusqu'à 5 MHz
- Mode enregistrement Min/Max/Moyenne avec affichage des temps relatifs
- Touch Hold®
- Affichage simultané oscillo/multimètre

C'est un fréquencemètre

- Affichage des fréquences sur 4 digits



Le ScopeMeter™
Il est indispensable

FLUKE.

ADVT-017-01/93