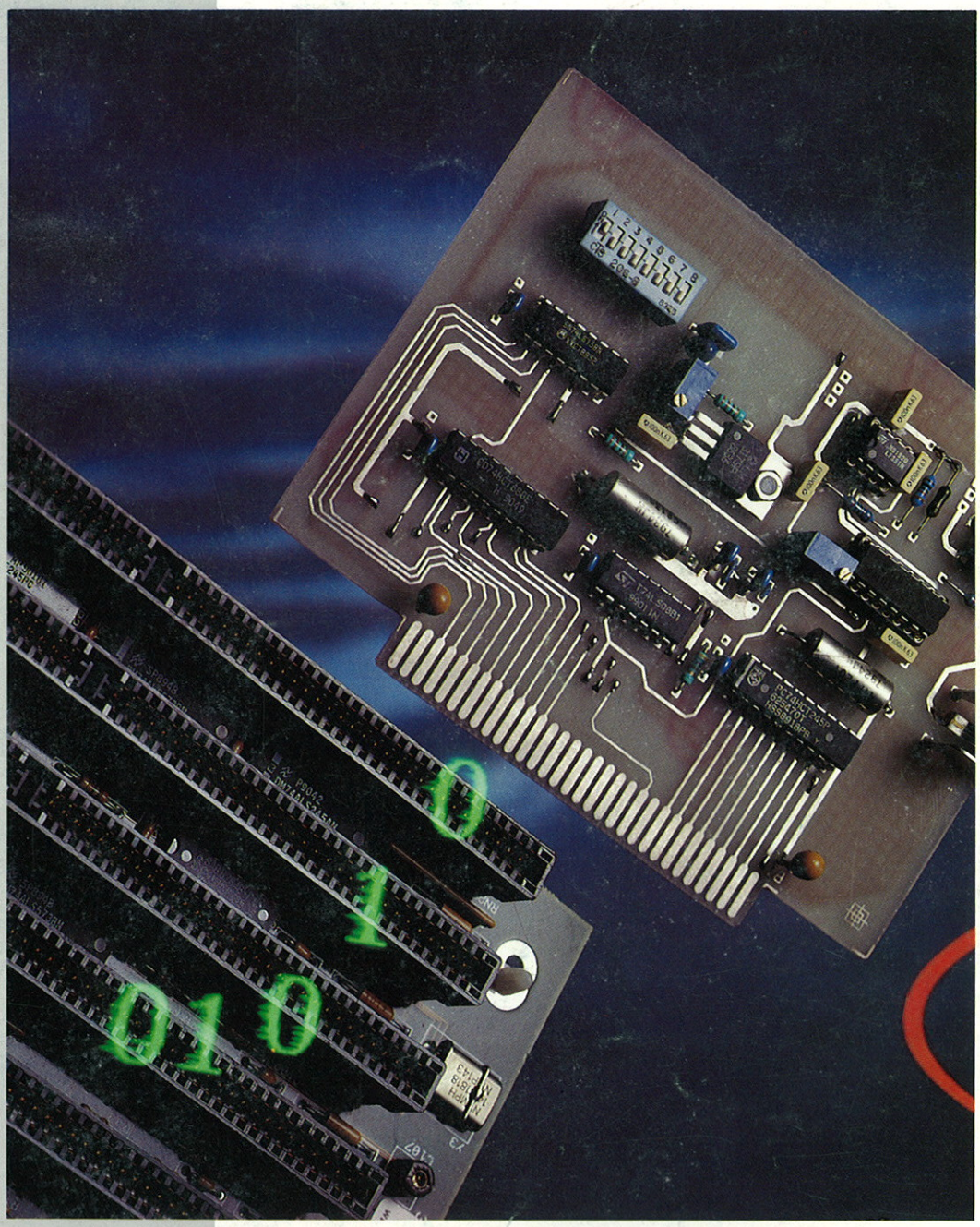
RADIO PLANS

électronique

LES MICROCONTRÔLEURS ST 62XX SGS-THOMSON.
CARTE CONVERTISSEUR N/A POUR PC.
LA TRANSMISSION VIDÉO SUR PAIRE TORSADÉE.
MODULES «NOISE-GATE» FORMAT EUROPE.

AVRIL 93



T 2438 - 545 - 24,00 F

NUMERO 545 - AVRIL 93 - ISSN 1144-5742

RADIO PLANS

ELECTRONIQUE APPLICATIONS

MENSUEL édité par
Publications Georges Ventillard
Société anonyme au capital de 350 880 F
Siège social
Direction-Rédaction-Administration-Ventes :
2 à 12, rue de Bellevue, 75940 Paris Cedex 19
Tél. : 42.00.33.05
Télex : PGV 220409F - Télécopie : 42.41.89.40
Président-Directeur Général,
Directeur de la Publication :
J.-P. VENTILLARD
Directeur de la Rédaction :
Bernard FIGHIERA
Rédacteur en chef :
Claude DUCROS
Publicité : Société Auxiliaire de Publicité
70, rue Compans, 75019 paris
Tél. : 42.00.33.05 - C.C.P. 37-93-60 Paris
Directeur commercial : J.-P. REITER
Chef de publicité : Francine FIGHIERA
Assistée de : Laurence BRESNU
Marketing : Jean-Louis PARBOT
Directeur des ventes : Joël PETAUTON
Inspecteur des ventes : Société PROMEVENTE
M. Michel IATCA
11, rue de Wattignies, 75012 Paris.
Tél. : 43.44.77.77 - Fax : 43.44.82.14
Service des abonnements :
2 à 12, rue de Bellevue, 75019 Paris.
Voir notre tarif «spécial abonnement».
Pour tout changement d'adresse, envoyer la dernière bande accompagnée de 2,50 F en timbres.
IMPORTANT : ne pas mentionner notre numéro de compte pour les paiements par chèque postal.

Electronique Radio Plans décline toute responsabilité quant aux opinions formulées dans les articles, celles-ci n'engageant que leurs auteurs. Les manuscrits publiés ou non ne sont pas retournés.
«La loi du 11 mars 1957 n'autorisant aux termes des alinéas 2 et 3 de l'article 41, d'une part que «copies ou reproductions strictement réservées à l'usage privé du copiste et non destinées à une utilisation collective» et d'autre part, que les analyses et les courtes citations dans un but d'exemple et d'illustration, «toute représentation ou reproduction intégrale, ou partielle, faite sans le consentement de l'auteur ou de ses ayants-droit ou ayants-cause, est illicite» (alinéa premier de l'article 40). Cette représentation ou reproduction, par quelque procédé que ce soit, constituerait donc une contrefaçon sanctionnée par les articles 425 et suivants du Code Pénal».

Ce numéro a été tiré à 39 000 exemplaires
Dépôt légal avril 93 - éditeur 1716
Mensuel paraissant en fin de mois.
Distribué par S.A.E.M. Transport-Presse
Photocomposition COMPOGRAPHIA - 75011 PARIS -
Imprimerie SIEP Bois-le-Roi et REG Lagny.
Photo de couverture : E. Malemanche.

SOMMAIRE

ETUDE ET CONCEPTION

15 Quatre modules «portes de bruit» audio.

49 Carte de conversion N/A pour PC.

MONTAGES

11 Deux convertisseurs à découpage 12 V.

67 Carte parallèle bidirectionnelle pour PC.

TECHNIQUE

7 Le démarrage des oscillateurs à résonateur.

57 Les DSP Analog Devices (2).

CIRCUITS D'APPLICATION

41 Les microcontrôleurs ST62XX, SGS-Thomson

COMPOSANTS ET TECHNOLOGIE

35 Les FPGA XC4000 XILINX.

46 Présentation du 68HC705K1 MOTOROLA.

COMMUNICATION

25 La transmission vidéo sur paire torsadée.

INFOS

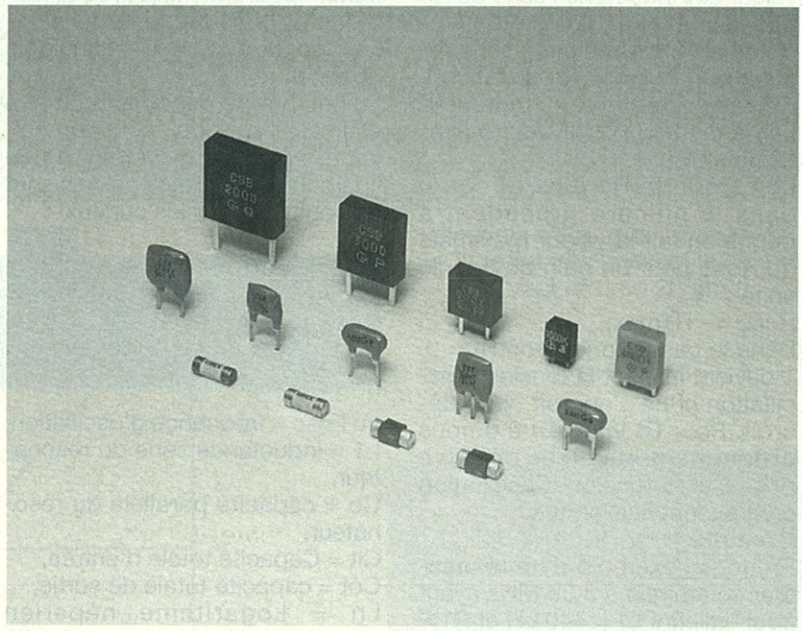
74 - Le HA7210, CI oscillateur basse tension HARRIS.
- Le générateur de mires TV SIDER 920.

76 - Un nouveau compteur universel : le HP53131A.
- Des EEPROM 16 kbits I2C chez SGS-THOMSON.

Ont participé à ce numéro :
J. Alary, J.-Y. Bedu, C. Broussas, P. de Carvalho, F. de Dieuleveult, X. Fenard, A. Garrigou, P. Gueulle, J.-P. Jacquet, P. Oguic, D. Paret.

Le démarrage des oscillateurs

Quels sont les éléments importants pour le bon fonctionnement d'un oscillateur ?
Comment le résonateur doit-il être spécifié pour être certain que le montage fonctionnera dans les conditions les plus défavorables ?
Peut-on remplacer, dans un montage considéré, un quartz par un résonateur céramique moins cher ?
Pourquoi le montage n'oscille-t-il plus quand on remplace le résonateur à 4 MHz par un résonateur à 32 kHz ?
Combien de fois avons-nous entendu ces simples petites phrases ?
Que de bonnes questions !
Lors des deux précédents numéros, nous vous avons décrit comment réussir à faire fonctionner des oscillateurs pour microcontrôleurs et comment définir le type de quartz ou résonateur céramique à utiliser.
Ce dernier article concernant ce domaine va évoquer comment résoudre les cas difficiles du «démarrage» des oscillateurs et comment savoir rédiger les lignes et cases parfois si complexes des OEF («Order Entry Form») des constructeurs.



Qu'est-ce encore que ces bêtes étranges - OEF - ?
Pour les non-initiés, sachez que les OEF sont d'horribles feuilles que chaque constructeur de microcontrôleur demande de remplir à chacun des utilisateurs de microcontrôleurs masqués au moment où ces derniers sont prêts à donner leurs «codes» à rommer. Ce «papier» étant par principe «contractuel», il vaut mieux ne pas se tromper en ce qui concerne les multiples options qui sont offertes (ports, types de reset...)..., y compris celles concernant les oscillateurs, (sinon le lot de composants rommés que vous recevriez pourrait à la rigueur vous servir de – chers – pin's !
Maintenant que nous vous avons bien sensibilisés au problème, vous êtes prêts à pouvoir nous suivre dans ce dédale oscillatoire.

LE DÉMARRAGE DES OSCILLATEURS

Le démarrage d'un oscillateur n'est possible que lorsque les deux conditions suivantes sont remplies :
- il doit y avoir un signal de départ à la fréquence d'oscillation,
- si, après avoir appliqué un signal de démarrage, le niveau du signal de sortie est trop faible alors il faut que le gain de boucle soit supérieur à l'unité (pour qu'il y ait divergence).

Normalement, la première condition est toujours remplie du fait de la présence de «bruit thermique» ou encore d'impulsions dues à la mise sous tension du montage.
Avec un gain de boucle supérieur à l'unité, le signal à la fréquence d'oscillation sera amplifié et s'accroîtra exponentiellement jusqu'à un niveau adéquat.
La valeur de R1 max telle que nous l'avons chiffrée dans l'article précédent garantit un gain de boucle de «1», aussi devons-nous prendre une valeur inférieure de façon à être certain du démarrage.
Cependant, le fait de prendre certaines marges de sécurité ne résoud pas tous les problèmes de démarrage. En effet, très souvent, même un démarrage «fiable» prenant trop de temps n'est pas acceptable pour l'utilisateur.
Examinons plus en détail ce point particulier.
L'amplitude du signal de l'oscillateur croit exponentiellement avec

la constante de temps :

$$\tau = -\frac{2\,L}{Rt}$$

(le signe moins est utilisé parce que nous sommes en présence d'une résistance négative).
Équation dans laquelle L est la valeur de l'inductance série du résonateur et Rt la somme des résistances R1 (résistance série résonateur) et Rosc (Résistance – de valeur négative – présentée par le montage oscillateur à l'ensemble L1, C1, R1).
Le calcul de R1 max effectué dans le numéro précédent a donné en fait la valeur maximale de Rosc pour un gain de boucle unité :
Rosc = - R1max
Dans le cas théorique où Rt = 0, τ devient infini et la tension d'oscillation ni ne s'accroît ni ne décroit. Pour Rt inférieur à 0 nous obtenons une valeur positive pour τ et la tension d'oscillation croit exponentiellement.

Exemple 1

Prenons l'exemple d'un résonateur céramique à 3,58 MHz ayant pour valeurs L1 = 440 µH et R1 = 8 Ω et le montage de l'exemple utilisant le 84 C xxx dans lequel Rosc = - R1max = - 10,5 Ω.
Ce qui donne pour τ :

$$\tau = -\frac{2 \times 440\,10^{-6}}{8 - 10{,}5} \cong 0{,}35 \text{ ms}$$

Exemple 2 :

Prenons maintenant le cas d'un montage à quartz dans lequel L1 = 41 mH, R1 inférieure à 60 Ω et dans le cas où Rosc = - R1 max. : 248 Ω, on obtient en utilisant la même formule :
τ = 0,44 ms

Temps de démarrage de l'oscillateur

Après avoir chiffré la constante de temps de démarrage de l'oscillateur, venons-en maintenant au temps qui lui est nécessaire pour se mettre réellement en branle.
Cette valeur est fondamentale dans de nombreux montages qui passent leur temps à «s'endormir» (pour de sombres raisons de consommation) puis à se réveiller le plus rapidement possible dès qu'une catastrophe poind à l'horizon d'une entrée d'interruption par exemple.
Le démarrage de la tension d'oscillation aura une certaine valeur à la mise sous tension et croitra jusqu'au niveau adéquat pour faire fonctionner la partie digitale du circuit intégré.
Sachant qu'à chaque période, l'amplitude du signal augmentera d'un facteur «e» (= 2,71828), il est possible d'estimer le nombre de périodes qu'il est nécessaire d'effectuer pour atteindre le seuil fatidique de tension de l'amplificateur (connu pour une technologie donnée).
Le nombre de périodes peut être estimé à l'aide de l'équation suivante : (d'accord ça fait un peu «parachuté» mais les calculs sont disponibles pour les curieux) :

$$N \cong \text{Ln}\left[16\,\text{Fosc}^2\,L1\,\frac{Co + Cit}{Cit}\left(Co + \frac{Cit \times Cot}{Cit + Cot}\right)\right]$$

où Fosc = fréquence d'oscillation,
L1 = inductance série du résonateur,
Co = capacité parallèle du résonateur,
Cit = Capacité totale d'entrée,
Cot = capacité totale de sortie,
Ln = Logarithme néperien
et le temps de démarrage égal à
$t = N \times \tau$
En reprenant les valeurs citées plus haut (440 µH et 40 pF) du premier exemple à résonateur céramique on obtient t = 1 ms et, en prenant celles du montage à quartz (41 mH et 4 pF), on obtient 2,5 ms.

Et si on parlait un peu transconductance Gm de l'amplificateur

Pour terminer cet article, nous allons revenir au point de départ de cette petite série (en fait «boucler» semble assez normal quand on évoque le sujet des oscillateurs)
En effet, si par les temps qui courent, on considère que le choix de l'élément résonant s'effectue (hélas) principalement en fonction de considérations souvent plus économiques que techniques, le seul élément auquel il est nécessaire de s'intéresser est le malheureux amplificateur intégré qui n'en demandait pas tant.
Son schéma équivalent est à nouveau donné **figure 1** dans lequel en lieu et place de «i» nous avons écrit (gm x V1).
La transconductance «gm» est alors le paramètre le plus important du montage (ce paramètre fut aussi longtemps appelé la «pente» «s» du montage).
Les variations de ce paramètre en fonction de la réalisation des transistors CMOS «N» et «P» sont données **figures 2** et **3**.
La première figure montre que gm dépend énormément de la tension d'alimentation.
La seconde figure montre qu'après avoir introduit des résistances de contre-réaction dans les «sources» des transistors, la transconductance est rendue moins dépendante de l'alimentation.
De plus, pour des composants en CMOS, ce paramètre «gm» varie peu en fonction de la fréquence (au moins dans les plages qui nous concernent) et peut donc être mesuré en statique.
Si l'on en revient maintenant au montage **figure 4,** il faut lui adjoindre l'élément résonant (et son schéma équivalent **figure 5**) pour être complet **figure 6**. Sa version équivalente est indiquée **figure 7** dans laquelle Z1, Z2, Z3 sont les impédances équivalentes de chaque branche. On en déduit très simplement que :

$V2 = - gm \times V1 \,(\, Z2 / (Z1 + Z3)$

Le gain de boucle est unitaire si la tension de contre-réaction est égale à la tension d'entrée initialement présente V1 soit :

$V1 = V2 \times (Z1 / (Z1 + Z3)$.

Ces deux équations permettent de définir la condition d'oscillation entretenue :

$$gm = -\frac{Z1 + Z2 + Z3}{Z1 \times Z2}$$

et compte tenu des éléments équivalents des branches, on calcule Z1, Z2, Z3 ce qui donne la valeur de gm (en fonction de la pulsation ω).

Les valeurs de gm

La valeur calculée de gm est un nombre complexe dont il est nécessaire de rendre nulle la partie imaginaire pour ne conserver que la partie réelle.
L'annulation de ce terme amène à résoudre une équation du second degré en fonction de la pulsation et donne donc deux valeurs possibles pour gm (en fait une plage de valeurs entre lesquelles le montage pourra osciller).
Une manière simple et imagée de représenter ces solutions est de résoudre géométriquement dans

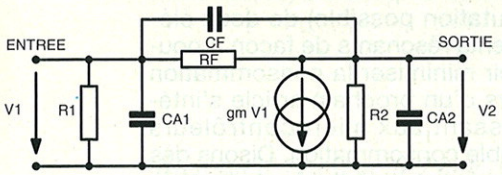


Figure 1

le plan complexe l'équation correspondant aux deux membres de cette dernière :
- gm x (Z1 x Z2) d'une part = (Z1 + Z2 + Z3) d'autre part.

La **figure 8** donne la représentation et les valeurs obtenues aux intersections des courbes.
Si l'on revient aux calculs purs et durs, la résolution mathématique de l'équation de gm donne les deux valeurs suivantes :

$$gm\ max = \frac{C1\ C2}{R_{X1}\,(C_{X0} + C_F)^2 + 1\,/\,(\omega^2\ R_F)}$$

$$gm\ min = \left(2 + \frac{C_1}{C_2} + \frac{C_2}{C_1}\right)\left[R_{X1}\,\omega^2\,(C_{x0} + C_F + C_L)^2 + \frac{1}{R_F}\right] + \frac{C_2}{R_1 C_1} + \frac{C_1}{R_2 C_2}$$

valeur qui s'écrit aussi lorsque C1 = C2 (c'est très souvent le cas) et que R2 vaut environ 20/gm :

$$gm\ min \cong 4{,}2\left[R_{x1}\,\omega^2\,(C_{x0} + C_F + C_L)^2 + \frac{1}{R_F}\right]$$

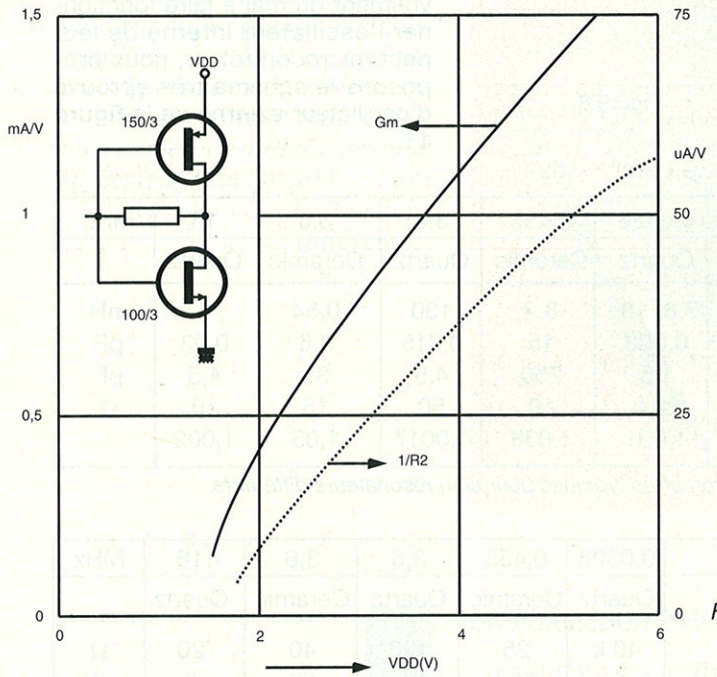


Figure 2

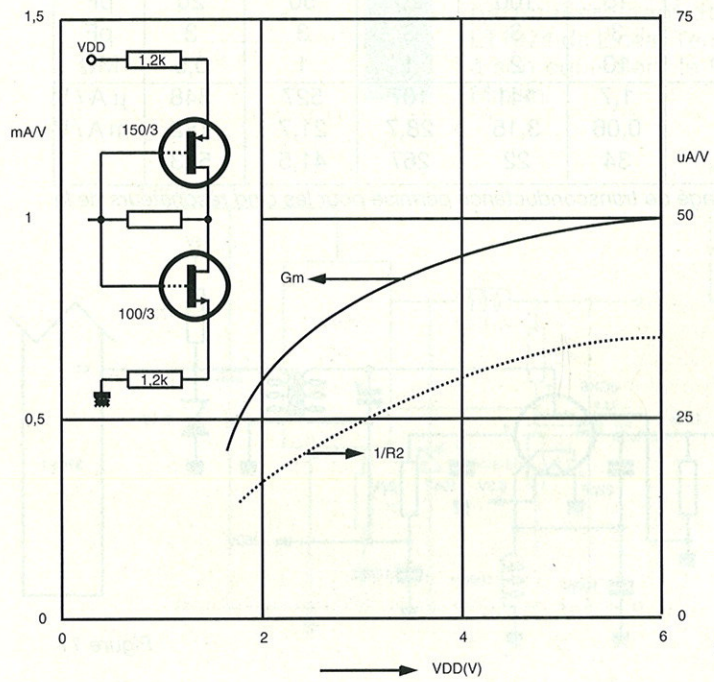


Figure 3

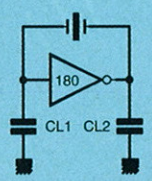


Figure 4

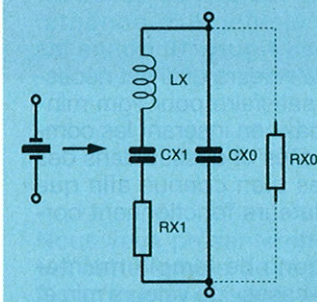


Figure 5

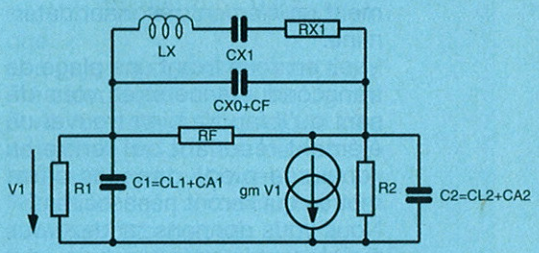


Figure 6

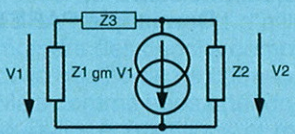


Figure 7

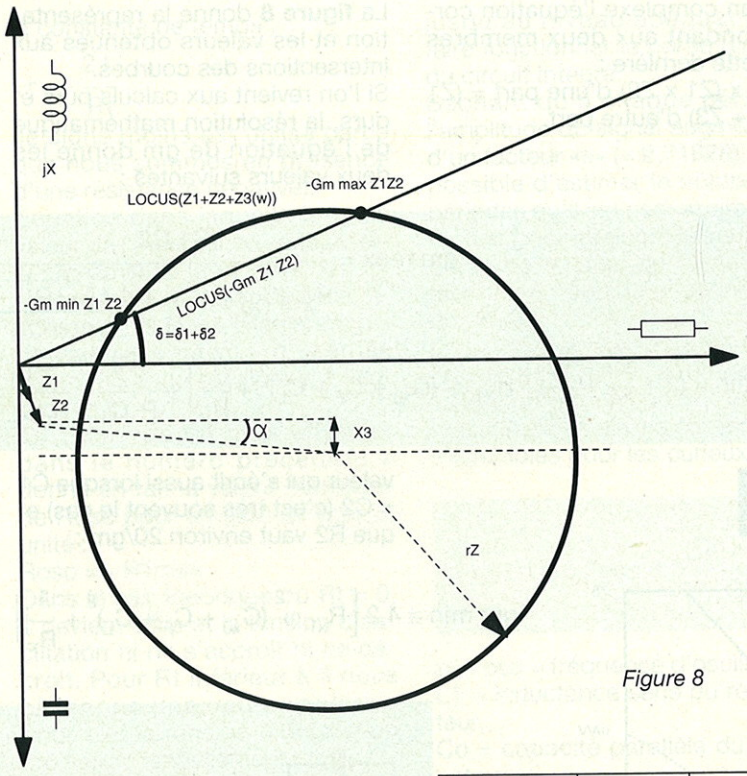


Figure 8

En réponse à des courriers de lecteurs.

1. Nous reviendrons sur une question très «salée» concernant la mise en parallèle (et leur commutation possible) de deux éléments résonants de façon à pouvoir minimiser la consommation lors d'un prochain article s'intéressant aux microcontrôleurs faible consommation. Disons dès à présent qu'à l'aide de l'article ci-dessus, en calculant l'impédance équivalente à l'ensemble des deux mis en parallèle et en s'aidant de la connaissance de gm de l'oscillateur, on peut d'ores et déjà obtenir une réponse très «smart» au problème posé.

2 - Pour ceux qui auraient encore vraiment du mal à faire fonctionner l'oscillateur interne de leur petit microcontrôleur, nous proposons le schéma très éprouvé d'oscillateur externe de la **figure 11**.

Exemples

Le tableau **figure 9** donne un exemple de valeurs habituellement fournies par les constructeurs d'éléments résonants. Le tableau **figure 10** donne les plages de valeurs qu'il est nécessaire de satisfaire pour «gm min» et «gm max» en insérant les composants cités ci-dessus dans des montages bien connus afin que les oscillateurs fonctionnent correctement.

A vous donc de remplir maintenant les «cases» de valeurs min et max de gm des fameuses «OEF» en toute connaissance de cause :

- soit en ayant choisi préalablement un élément résonant déterminé.
- soit en vous fixant une plage de transconductance et en vous disant qu'il faudra bien trouver un élément résonant qui rentre au «chausse-pied» dans les paramètres qui seront nécessaires !

Nous vous donnons rendez-vous maintenant le mois prochain pour entamer un nouveau sujet concernant un domaine brûlant des microcontrôleurs !

Dominique PARET

f_{os}	0,0328	0,455	3,6	3,6	16	MHz
Material	Quartz	Ceramic	Quartz	Céramic	Quartz	
L_x	$7{,}8.\ 10^6$	8,2	130	0,54	5	mH
C_{X1}	0,003	15	0,015	3,6	0,02	pF
C_{xo}	1,5	250	4,5	35	4,5	pF
R_{x1}	20 k	10	50	15	10	Ω
f_p/f_s	1,001	1,038	1,0017	1,05	1,002	

Figure 9 : paramètres typiques pour cinq résonateurs différents.

f_{os}	0,0328	0,455	3,6	3,6	16	MHz
Material	Quartz	Ceramic	Quartz	Ceramic	Quartz	
$R_{X1\ max}$	40 k	25	120	40	20	Ω
C_{Xomax}	3	350	7	50	7	pF
$C_1 = C_2$	15	100	20	50	20	pF
C_F	3	3	3	3	3	pF
R_F	10	2	1	1	0,5	MΩ
g_{mmin}	1,7	141	107	527	348	µA/V
g_{mmax}	0,06	3,15	28,7	21,7	182	mA/V
g_{mmax}/g_{mmin}	34	22	267	41,5	523	

Figure 10 : plage de transconductance permise pour les cinq résonateurs de la figure 9.

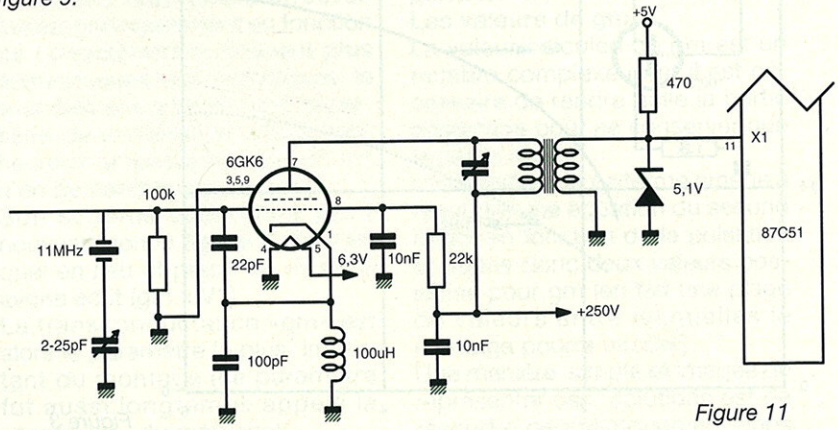
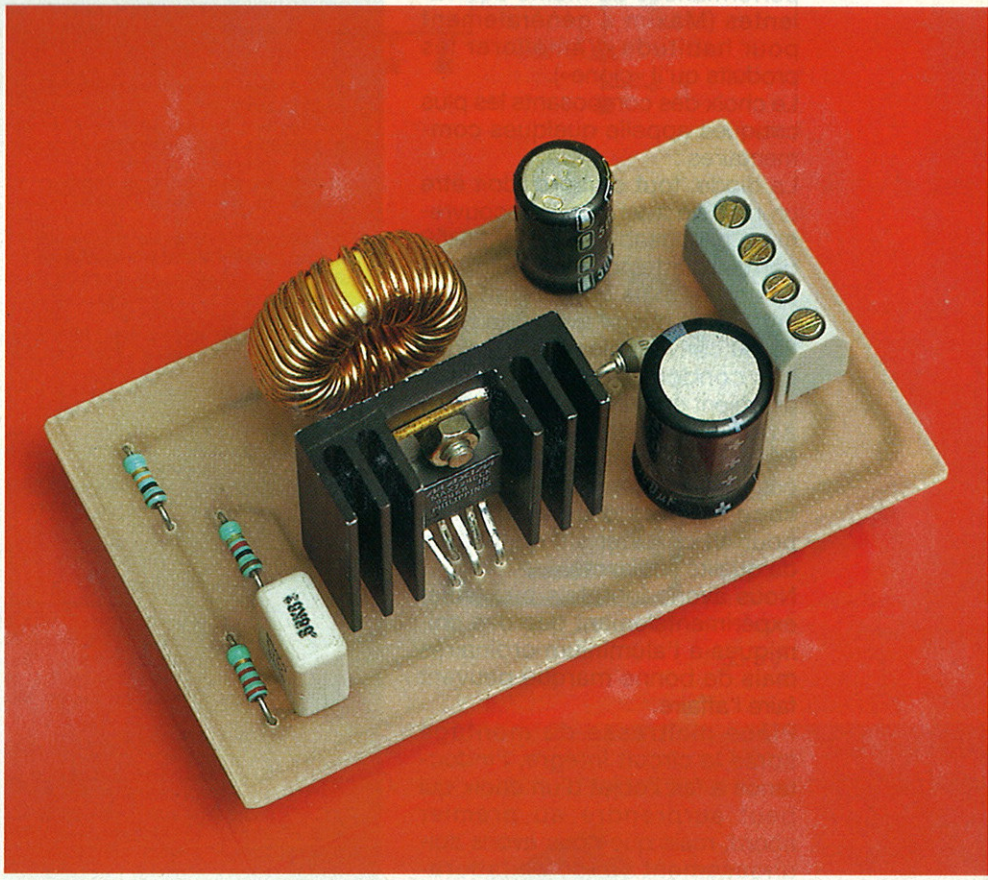


Figure 11

Deux convertisseurs 12 V à découpage

Bien qu'il s'agisse de l'une des tensions d'alimentation les plus courantes qui soient, on ne dispose pas toujours de 12 V là où l'on en aurait besoin.
Les deux petits convertisseurs continu-continu à découpage dont nous vous proposons la réalisation offrent une solution élégante pour produire, avec un excellent rendement énergétique, quelques ampères sous 12 V à partir de tensions supérieures ou inférieures (par exemple 6 ou 24 V).
Mais les principes utilisés seraient facilement transposables à des puissances ou des tensions différentes.



UN ABAISSEUR 24 V À 12 V :

Le schéma de la **figure 1** fait appel à un composant récent et particulièrement attrayant, le LT1074 de Linear Technology, ou à son équivalent le MAX724 de Maxim.

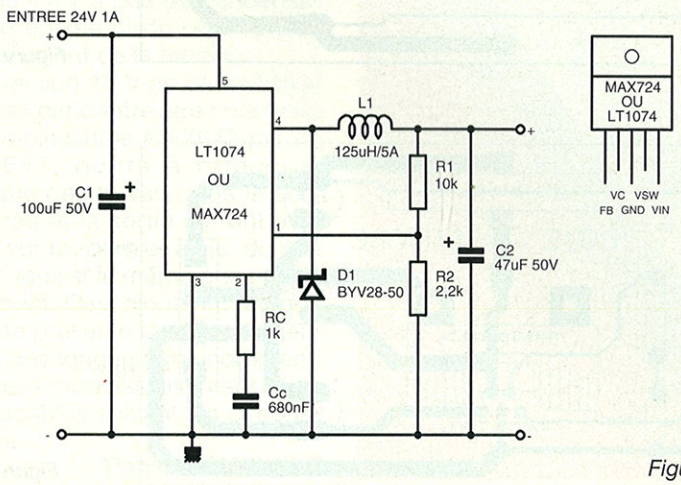


Figure 1

Nous vous présenterons en détail cette famille de régulateurs à découpage «5 pattes», aussi ne nous étendrons nous pas sur les principes mis en jeu puisqu'il s'agit là, tout simplement, du schéma d'application typique.
Les valeurs de composants ont été calculées à l'aide du logiciel Switchercad, puis quelque peu adaptées en fonction des possibilités d'approvisionnement en France et des performances mesurées en laboratoire.
En principe, Switchercad est offert aux clients de Linear Technology à la condition qu'il ne soit utilisé qu'avec les composants de la marque : c'est d'ailleurs la moindre des choses compte tenu de la qualité de ce cadeau.
Mais comme nous attendons toujours les échantillons et même la documentation réclamés aux distributeurs français de la marque, il

était bien tentant de s'intéresser aux «secondes sources» aimablement fournies par Maxim.
Notre maquette a donc été réalisée avec un MAX724, dont nous avons pu vérifier à cette occasion l'excellente compatibilité et les performances au moins équivalentes (Maxim a généralement pour habitude d'améliorer les produits qu'il «clone»).
Le choix des composants les plus critiques appelle quelques commentaires :
La diode, tout d'abord, doit être un modèle à temps de recouvrement négligeable. La BYV 28-50 permet d'atteindre aisément 2 A en sortie, mais on pourrait faire nettement mieux avec une BYW 80-50 convenablement refroidie.
Les condensateurs chimiques devraient en principe être du type à faible impédance série (Low ESR) : celui d'entrée doit en particulier supporter un courant efficace de près d'un ampère et pourrait chauffer s'il n'était pas de qualité suffisante.
Nous avons toutefois pu vérifier expérimentalement que des chimiques à l'aluminium ordinaires mais de bonne marque peuvent faire l'affaire.
Pièce maîtresse du montage après le circuit intégré, l'inductance a fait l'objet d'un choix qui peut surprendre au premier abord, mais que nous avons soigneusement validé en laboratoire : une self d'antiparasitage de triacs 125 µH/5A Monacor.
On pourrait craindre que ce composant se comporte médiocrement à la fréquence de 100 kHz utilisée ici, mais en pratique nous avons pu mesurer un rendement de 83% à pleine charge et une consommation à vide inférieure à 10 mA.
Un choix concurrent menant quasiment aux mêmes résultats consiste à bobiner 33 spires de fil émaillé 10/10 sur un tore en matériau Philips 2P80 (poudre de fer) de 94 nH/sp². C'est un peu plus encombrant, nettement plus lourd, mais moitié moins cher !
Compte tenu des courants en jeu et de la fréquence de fonctionnement, le tracé du circuit imprimé de la **figure 3** est critique : on s'y conformera donc soigneusement, ainsi qu'au plan de câblage de la **figure 4**.
Moyennant quoi, on aboutira à un module de dimensions modestes, particulièrement facile à utiliser puisque équipé d'un bornier à vis. Nous l'avons testé, branché sur une batterie 24 V,

```
********************** SW   2.0 ******* 2/ 1/1993*******
        (C) Copyright, 1991, 1992.  Linear Technology.
   1630 McCarthy Blvd, Milpitas, CA 95035.   408-954-8400
          Topology: Positive Buck       Part: LT1074
*************************************************************
C1 Nichicon x1 UPL1H820MPH 82µF 50V ESR=.170Ω Irms=.500A
C2 Nichicon x1 UPL1E560MPH 56µF 25V ESR=.440Ω Irms=.235A
C3 Not required.
L1 Gowanda GT10-115 95µH R=0.030Ω
L2 Not required.
D1 Motorola Schottky 1N5825 If=5A  Vr=40V Trr=0nS
R1    9.79 kΩ  1%
R2    2.21 kΩ  1%
Rc Suggested value(not for production use): 1.00 kΩ  5%
Cc Suggested value(not for production use): 1.00 µF
U1 LT1074 Im=5.50A Vs=1.6V Rsw=0.10Ω f=100kHz
1    Vout=12V    VinMin=20V    VinNom=24V    VinMax=30V
2   Iomin=0.0A    Ionom=2A      Iomax=2A
3  Ripple=200mV  TaMax=50°C    TjMax=100°C  TjDmax=100°C

0.129 Operating Mode at full load current      = __Cont__
0.131 Duty Cycle                               =   67.2 %
0.132 Max Rated Switch Current at this D.C.    =  5.500 A
0.133 Peak Inductor/Switch Current             =  2.217 A
0.134 Output current at crossover (cont/dis)   =  0.223 A
0.135 Is Max Switch Current Exceeded?          = __No__
0.136 Is Max Duty Cycle Exceeded?              = __No__

0.139 RMS Inductor Current                     =  2.004 A RMS
0.140 Peak Inductor Current                    =  2.217 A
0.141 P-P Inductor Ripple Current              =  0.434 A p-p
0.142 Inductor V*µs Product                    =   41.2 V*µs

0.145 Input capacitor RMS ripple current       =  0.945 A RMS
0.149 Output capacitor RMS ripple current      =  0.125 A RMS

0.159 Output ripple (p-p) without filter       =  191.0 mV p-p
0.160 Is an Output Filter Required?            = __No__
0.176 Output ripple voltage after filter       =          mV p-p

0.186 Peak Switch Current                      =  2.217 A
0.187 Average switch current during on time    =  2.000 A
0.194 Is an IC Heat Sink Required?             = __Yes__
I.196 Thermal Resistance of IC Heat Sink Selec =     13 °C/W
0.197 IC Temperature at Max Ambient Temp       =    100 °C

0.200 Avg Diode Current                        =  0.657 A
0.202 Avg diode current during on time         =  2.000 A
0.203 Max Diode Reverse Voltage @VinH          =   30.0 V
I.205 Diode Forward Voltage for Thermal Calc   =    0.5 V
0.213 Is a Diode Heat Sink Required?           = __No__
I.215 Thermal Resistance of Diode Heat Sink Se =          °C/W
0.216 Diode Temperature at Max Ambient Temp    =     68 °C

0.227 Total IC loss                            =   3.17 W
0.230 Total Diode loss                         =   0.33 W
0.233 Total inductor loss                      =   0.26 W
0.234 Input capacitor loss                     =   0.15 W
0.235 Output capacitor loss                    =   0.01 W
0.236 Total of all losses                      =   3.91 W
0.238 Input power                              =  30.24 W
0.239 Input Supply Current                     =  1.512 A
0.240 Efficiency                               =   86.0 %
```

Figure 2

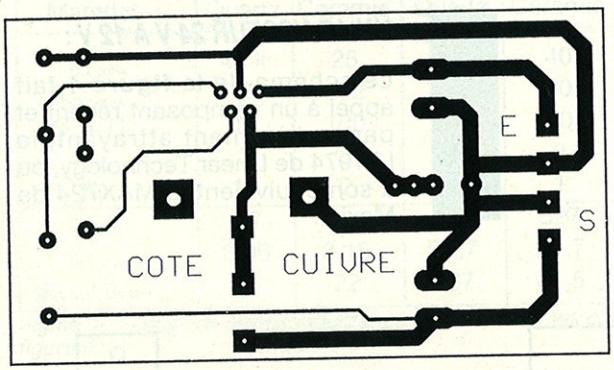


Figure 3

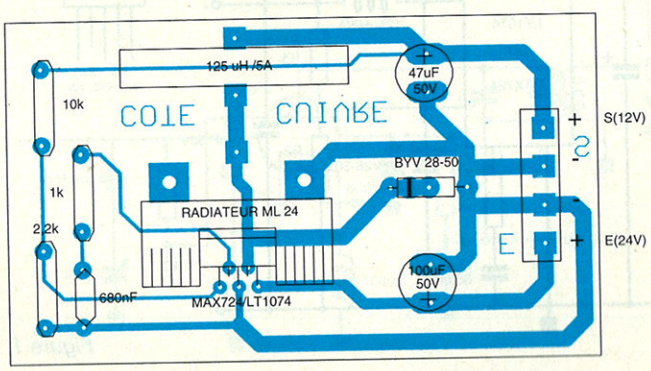


Figure 4

dans deux situations très différentes : d'abord en le faisant débiter sur une ampoule «code» de 36 W, puis en lui faisant alimenter un émetteur-récepteur 27 MHz de 4 W AM.
La surcharge temporaire à 3A a été vaillamment supportée, tandis que la réception radio n'a subi aucune interférence provenant du convertisseur.
Dans les deux cas, le radiateur ML24 de 17° C/W tiédit tout juste à la température ambiante de 20° C : nous sommes à cent lieues du simple régulateur linéaire chutant par effet Joule 12 V sous 2 ou 3 A !

UN ÉLÉVATEUR 6 V À 12 V

Faute d'avoir pu obtenir à temps des régulateurs «5 pattes» élévateurs, nous avons bâti notre schéma de la **figure 5** autour d'un micro-régulateur à tension fixe MAX642 (12 V) pilotant un MOS de puissance séparé.
Ce n'est pas plus encombrant, mais un peu moins optimisé car on ne dispose plus de la puissance de calcul de Switchercad pour dimensionner les composants périphériques : tout au plus peut-on s'inspirer des résultats relatifs à un convertisseur faisant le même travail à une fréquence voisine.
Ce montage arrive tout de même à produire 1 A sous 12 V à partir d'une batterie de 6 V, avec un rendement de 91% et une consommation à vide de l'ordre du milliampère !
Cela avec une self de 50 µH/3A de même provenance que la précédente, ou avec le même tore 2P80 sur lequel on bobinera cette fois 23 spires de fil émaillé 10/10.
Là encore, le tracé du circuit imprimé de la **figure 6** est critique, et conduit à l'implantation de la **figure 7**, relativement compacte puisqu'il n'y a pas de condensateur d'entrée ni de résistances d'ajustement de la tension.
Une version 15 V de ce montage pourrait par contre être construite en remplaçant le MAX642 par un MAX643, quitte à retoucher quelque peu la valeur de la self.
L'entrée et la sortie se font toujours sur un bornier à vis, dont le brochage est le même que précédemment. Cela ajouté au fait que la carte présente la même largeur (mais une longueur moindre) rend ces deux modules aisément interchangeables suivant les circonstances.

Patrick GUEULLE

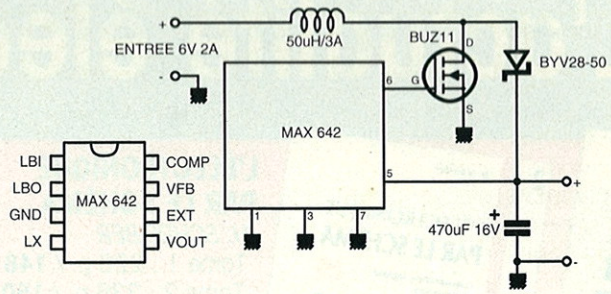


Figure 5

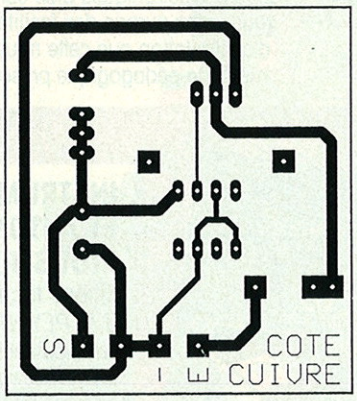


Figure 6

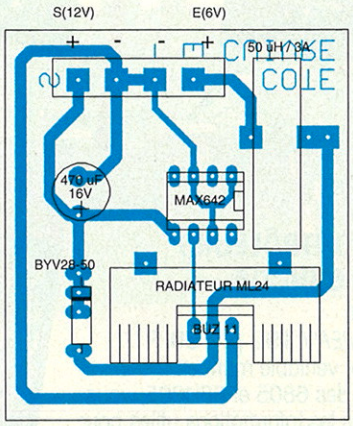
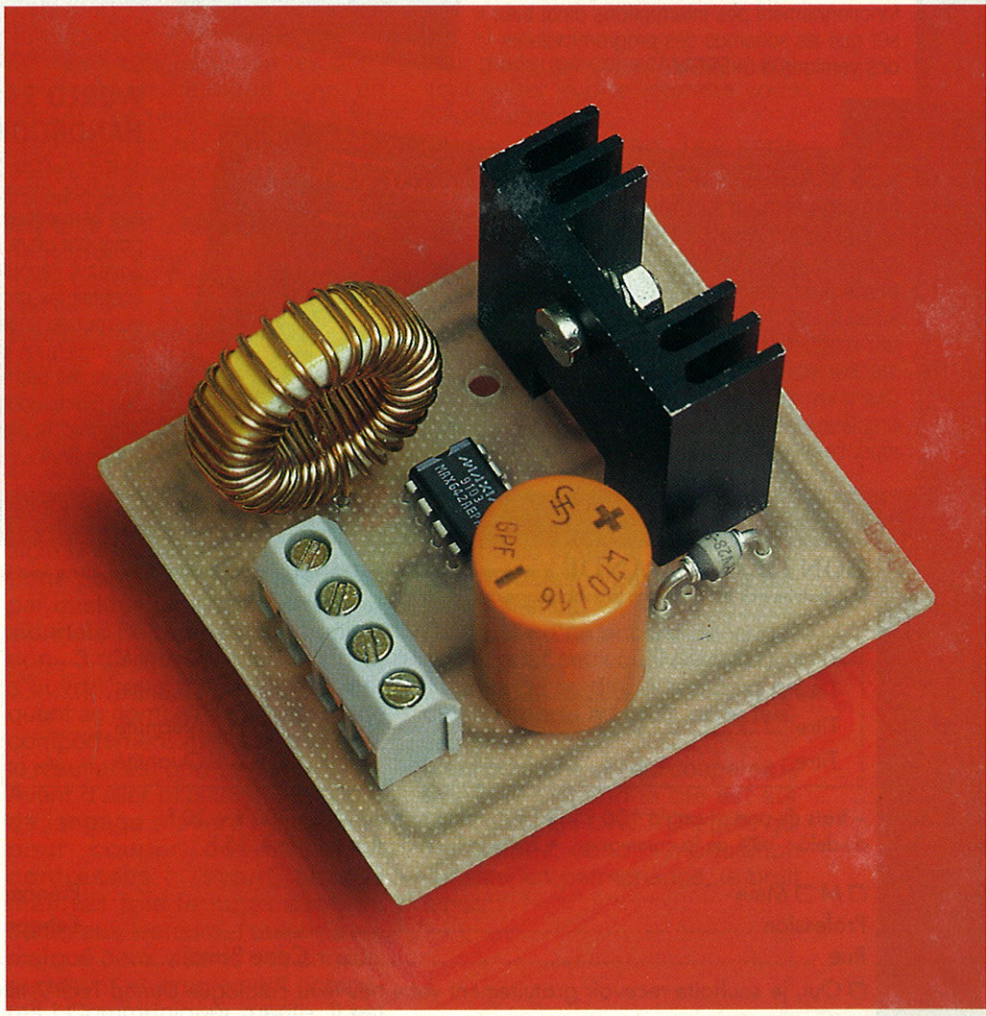
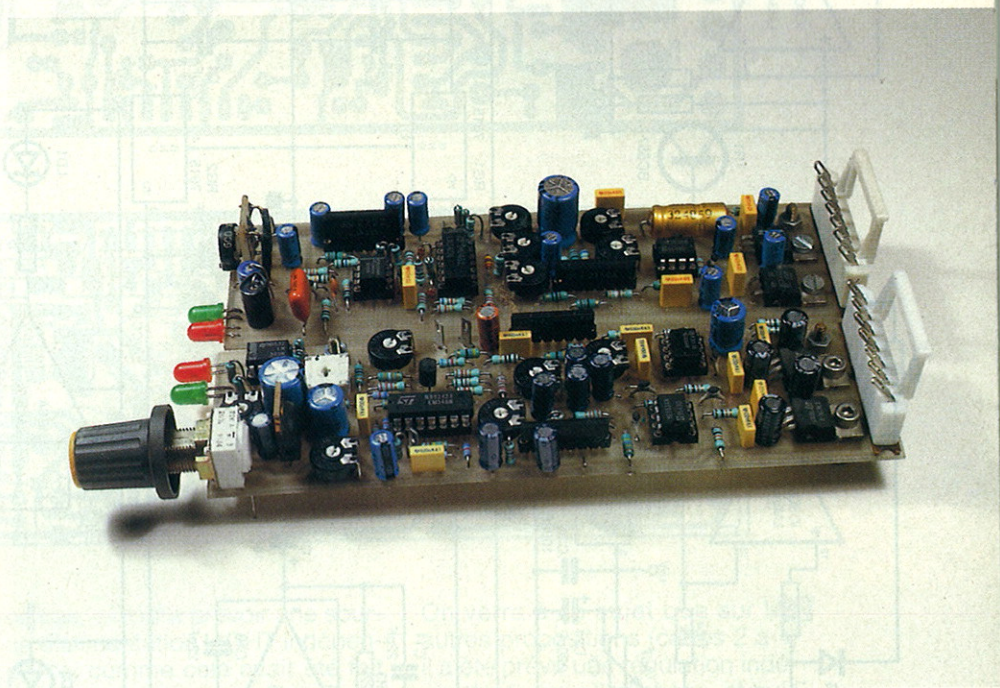


Figure 7



Modules «portes de bruit» à la carte

Venant compléter la série de 19 cartes utiles pour la sono publiées dans les numéros 520, 521, 527 et 539, voici quatre autres réalisations pratiques performantes :
1 – Enfin (!) un NOISE-GATE au format du L6N2, ce qui permet d'inclure six ou huit pièces dans un rack 1 U.
2 – Un nouvel afficheur compatible avec les cartes EUROPE de premières générations (NGSE, LCSE, N° 496), réduisant de manière significative la consommation light (70 mA toutes LED allumées), et ouvrant la porte vers des versions 160 mm (au lieu de 220 mm).
3 – Une implantation «de recherche» incluant VCA, détecteur RMS, régulateurs de tension, sur une carte minimum : 100 x 45 mm, qui sera utilisée sans plus tarder comme partie active d'un ensemble très complet, grâce à la carte n° 4.
4 – SIDE CHAIN pour NOISE-GATE en 3U, préparée EUROPE.
En couplant les cartes 2, 3 et 4 on obtiendra un appareil plutôt à usage studio, et GATE6 (carte 1) soigneusement préréglée pourra suffire à ravir les sonorisateurs avides de silence.



En 1988, ERP abordait les périphériques de studio et sono, en offrant des réalisations à usage professionnel qui ont été reproduites depuis lors à un nombre conséquent d'exemplaires. Cinq ans plus tard, certains entreprennent toujours de les construire, mais comme l'expérience sur le terrain a mis en évidence des améliorations intéressantes, ces nouvelles cartes serviront de mise à jour pour les versions 1988, sans toutefois faire double emploi : en effet, une implantation au format des L6N2 (attendue depuis environ quatre ans...) est une nouveauté. S'il n'a pas été possible d'y intégrer certaines fonctions particulières demandées par quelques utilisateurs professionnels (telle une «pré-indication» 3 dB AVANT que la porte s'ouvre), et s'il a fallu trancher quant au nombre d'indicateurs de comportement mis à disposition, le résultat est pourtant là .

Avant d'aller plus loin, un accord de langage s'avère nécessaire pour couper court à tout contresens : ayant abordé maintes fois le sujet avec de nombreux lecteurs, l'auteur a remarqué deux visions des choses, purement et simplement contraires ! Communiquer mérite, il est vrai, quelques conventions si l'on veut éviter le pire, comme vous allez le constater.

Pour votre serviteur, une porte OUVERTE permet le passage, une porte FERMEE l'interdit.

Toutefois (et ce n'est pas ridicule), pour certains un réflexe plus ELECTRIQUE mène exactement au contraire : un INTER OUVERT bloque le passage alors que FERMÉ il assure la liaison.

On imagine alors les dialogues de sourds qui peuvent découler de tels mélanges...

Aussi, usant honteusement de notre pouvoir de dict-auteur, nous imposerons ici notre perception du système : porte ouverte la modulation passe, porte fermée = silence.

Ce n'est qu'un accord de langage ; et pour ceux qu'il dérouterait, il suffira de se dire que quand on ouvre la porte au bruit, on le laisse passer !

Idem pour une clé qui couperait le système : quand la clé est sur OFF, c'est la FONCTION gate qui est inhibée, donc la modulation «passe» en permanence, le bruit aussi.

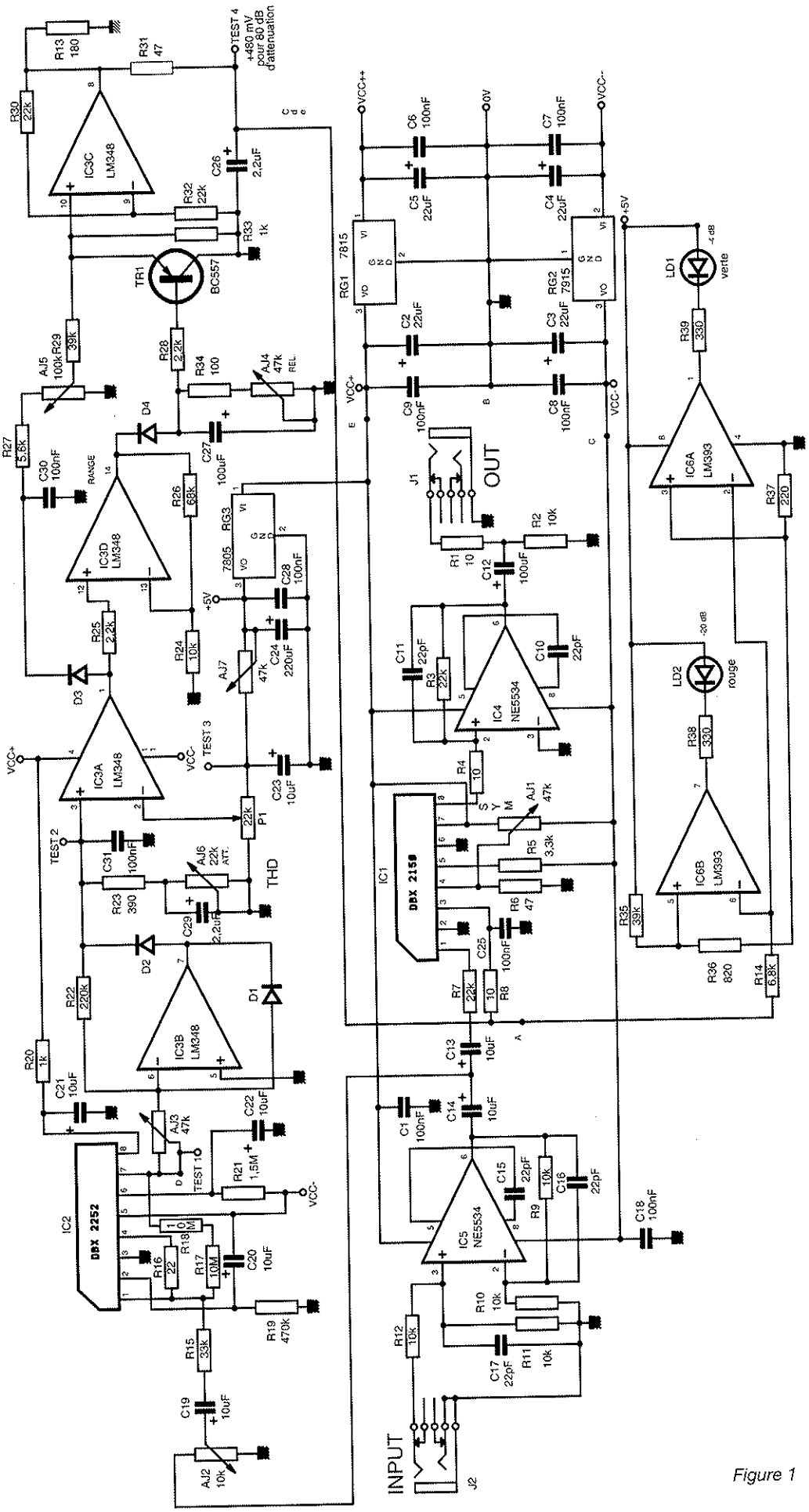


Figure 1

CARTE GATE6

La **figure 1** va servir à trois des cartes proposées ici. Les lecteurs qui ont construit les versions de 1988 ne verront de prime abord que bien peu de changements. Il n'y a, en effet, aucune raison pour tout bouleverser d'un montage qui donne entière satisfaction. Pour l'essentiel, les modifications sont de trois ordres.

1- Réduction du temps d'attaque. En studio, les 10 ms des premières versions étaient parfois jugées trop importantes. L'auteur pour sa part n'en a jamais ressenti le besoin, toutefois la modif a été faite et ce temps divisé environ par 3 (fast).

2- Décalage de la plage de seuil (THD) afin de pouvoir ouvrir à partir de - 55 dBU et non de - 40 comme cela avait été fait. Cette fois, c'est l'auteur qui a été gêné sur certains shunts à rallonge. Il était possible de s'en sortir en augmentant le temps de release, mais il s'avère beaucoup plus utile de décaler le seuil.

10 dB auraient suffi mais nous en avons donné 15 ce qui offre une plage comprise entre - 55 dBU et - 10, et THD à fond bloquant la porte ouverte. Notons au passage que le temps de release maxi est d'environ 8 secondes pour un affaiblissement de 90 dB.

3- Simplifications. Pour des raisons évidentes de place, quelques points ont dû subir des transformations. Par exemple, un ajustable qui permettait de caler parfaitement le RANGE maxi a été remplacé par une résistance, et l'indicateur de réduction de gain a été réduit à deux LED au lieu de huit, mais dans cette version uniquement.

Le choix des deux valeurs ne s'est pas fait sans mal, et il nous a semblé que - 4 dB et - 20 pouvaient convenir. Mais il sera facile de changer ces seuils en modifiant le réseau R35 à R37, et ce en fonction des réglages retenus. Il est évident que si on commande une réduction de gain de 15 dB, l'indication - 20 ne servira pas à grand-chose ! Si on choisit le maxi (- 90 dB) il sera bon de déplacer la seconde LED vers - 50 ou - 60 dB, car cet indicateur est très utile pour mesurer, outre la fermeture de porte, le temps de release.

Il est certain que huit points sont beaucoup plus confortables car ils indiquent alors avec précision le réglage de RANGE, mais placer huit LED et un potentiomètre en

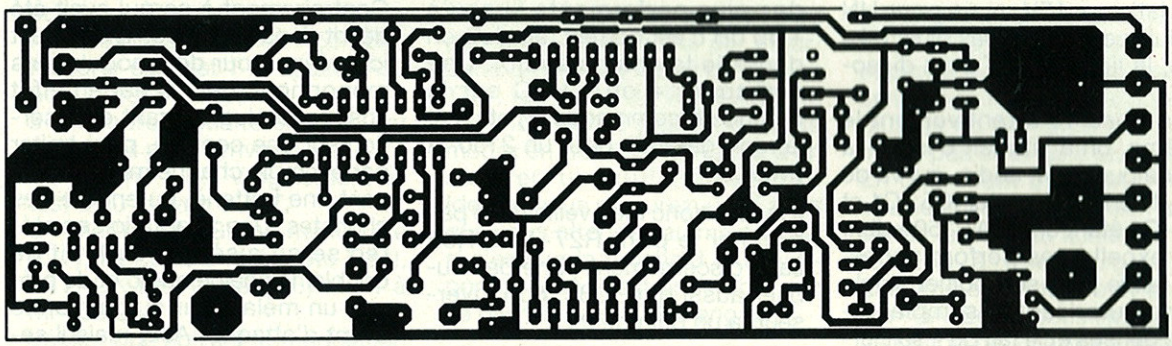


Figure 2a

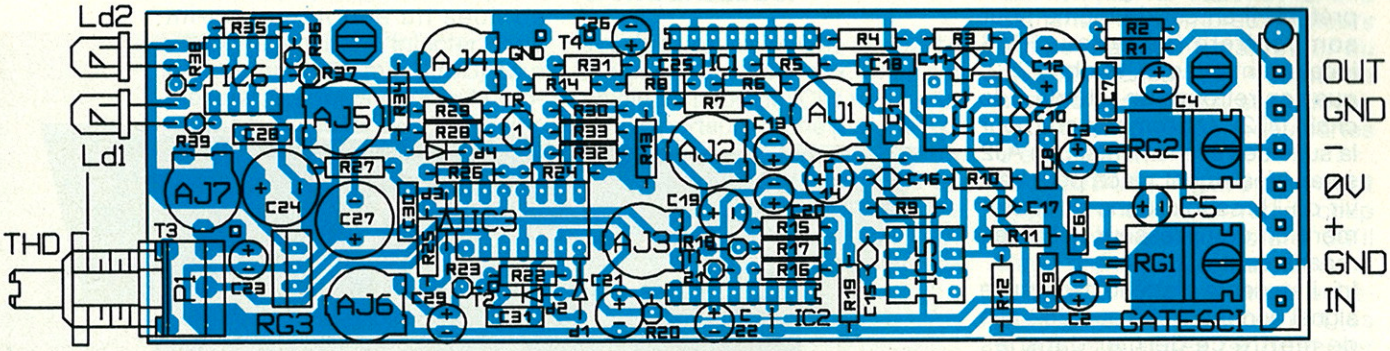
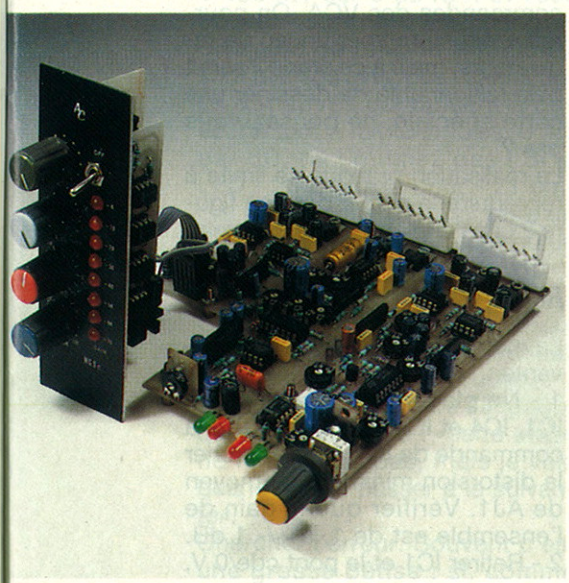


Figure 2b

façade alors qu'on ne dispose que de 45 mm n'est pas évident. Un regard sur le dessin de la carte **(figure 2)** montre que nous n'avons pas gaspillé le «cuivre», et qu'un CI en simple face avec un strap suffit.

Les contraintes mécaniques que nous nous étions imposées (format et fixations compatibles avec les cartes L6N2) ainsi que le changement de tension pour allumer les LED (+ 5V pris sur RG3), interdisaient toute excentricité. En effet, un indicateur à huit LED consomme (toutes allumées) environ 70 mA. Si on envisage huit cartes par exemple, on arrive à plus d'un demi-Ampère. Dans ce cas, il faudra prévoir une source d'alimentation LIGHT indépendante, comme cela avait été fait sur les précédentes cartes Europe.

On verra à ce sujet que sur les autres propositions (cartes 2 à 4) il a été prévu une régulation indépendante pour l'affichage, et qu'il sera autorisé de se prendre sur la



1000 ET UNE PILES®

LE POINT ENERGIE

vous propose :

ACCUS NICD

RÉF.	TENSION	CAP.	DIM	POIDS	PRIX TTC
N 50 AAA	1,2 V	50 MAH	10 x 15	3,5 g	23,50 F
N 110 AA	1,2 V	0,11 AH	15 x 18	8 g	16,00 F
N 150 N	1,2V	150 MAH	12 x 29,5	9 g	25,00 F
N 200 AAA	1,2 V	0,2 AH	10 x 45	10 g	16,00 F
N 270 AA	1,2 V	0,27 AH	15 x 29	14 g	24,00 F
N 500 A	1,2 V	0,5 AH	16 x 28	22 g	23,00 F
N 600 AA	1,2 V	0,6 AH	14 X 51	26 g	13,00 F
N 700 AA	1,2 v	0,7 AH	14 x 51	27 g	15,00 F
N 1300 SC	1,2 v	1,3 AH	23 x 43	48 g	24,00 F
N 1700 SCR SANYO	1,2 v	1700 MAH	23 x 43	50 g	33,00 F
1700 SCR PANASONIC	1,2 V	1,7 AH	23 x 43	50 g	35,00 F
N 2000 C	1,2 V	2 AH	27 x 50	77 g	35,00 F
N 4400 D	1,2 V	4,4 AH	35 x 62	138 g	62,00 F
NC 9 TYPE	9 V	0,11 AH	— x —	35 g	65,00 F

existe avec cosse à souder.

NOUVEAUX ACCUS

N 240 AAA	1,2 V	240 MAH	10,5 X 44,5	10 g	25,00 F
N 850 AA	1,2 V	850 MAH	14,5 X 50	25 g	27,00 F
ACCU NICKEL HYDRURE TYPE AA LR6	1,2 V	1 AH	débit 3 AMP		45,00 F

CHARGEURS NICD

RÉF	COURANT DE CHARGE	TYPE D'ACCU	PRIX
NC 2600	50 MAH	2 A 4 ACCUS R6-R3-R14-R20 9 V	65,00 F
NC 520	120 MAH	2 A 4 ACCUS R6-R3 1 DE 9 V	55,00 F
UNIV RAPID	500 MAH	2 A 4 ACCUS R6 R3-R14-R20 9V	229,00 F

TRANSFO

110/220 V POUR APPAREILS FONCTIONNANT SUR 110 V *(RASOIR, TÉLÉPHONE, IMPRIMANTE, SÈCHE-CHEVEUX).*

RÉF.				
F 11 TRANSFO	110/220 V	50 W	110,00 F
F 200 W TRANSFO	110/220 V	200 W	185,00 F

MAGLITE ET MITYLITE

● MITYLITE EN BP INCLUS 2 PILES AA + FIBRE OPTIQUE	110,00 F
● MINIMAG. EN COFFRET INCLUS 2 PILES AA LR6	159,00 F
● MINIMAG. COFFRET INCLUS 2 PILES AAA LR03 + CLIP	129,00 F
● SOLITAIRE EN COFFRET INCLUS 1 PILE AAA LR03	99,00 F
● MAGLITE MODELE 2 X R20	264,00 F
3 X R20	279,00 F
4 X R20	289,00 F

● D'AUTRES MODELES AINSI QUE LEURS ACCESSOIRES ET AMPOULES DISPONIBLES.

PILES VANADIUM LITHIUM RECHARGEABLES

RÉF	TENSION	CAP.	POIDS	FIXATION	DIAM mm	HAUT mm	PRIX
VL 1220	3 V	7 MAH	0,8 g	COSSES C.I. HORIZ	12,5	2,0	25,00 F
VL 2020	3 V	20 MAH	2,2 g	COSSES C.I. VERT.	20,0	2,0	33,00 F
VL 2320	3 V	30 MAH	2,8 g	COSSES C.I. VERT.	23,0	2,0	38,00 F
VL 2330	3 V	50 MAH	3,7 g	COSSES C.I. VERT.	23,0	3,0	42,00 F
VL 3032	3 V	100 MAH	6,3 g	COSSES C.I. VERT.	30,0	3,2	43,00 F

PILES ET BATTERIES SPÉCIALES

gammes complètes pour :
- Téléphone sans fil ;
- Ordinateur ;
- Réalisation de montage d'ACCU NICD
- Module mémoire NICD et lithium pour C.I.

AMI LECTEUR, FAITES-VOUS CONNAITRE ET BENEFICIEZ D'UNE REMISE DE 5 % SUR LES PRIX INDIQUES.
vente par correspondance, mode de paiement : chèque, C.C.P., mandat
Contre remboursement minimum 150 F d'expédition, forfait port et emballage 35 F.
Franco à partir de 1000 F T.T.C.
Les conditions énumérées ci-dessus uniquement pour paiement comptant.
VENTE AU DÉTAIL, ADMINISTRATIONS, ENTREPRISES.

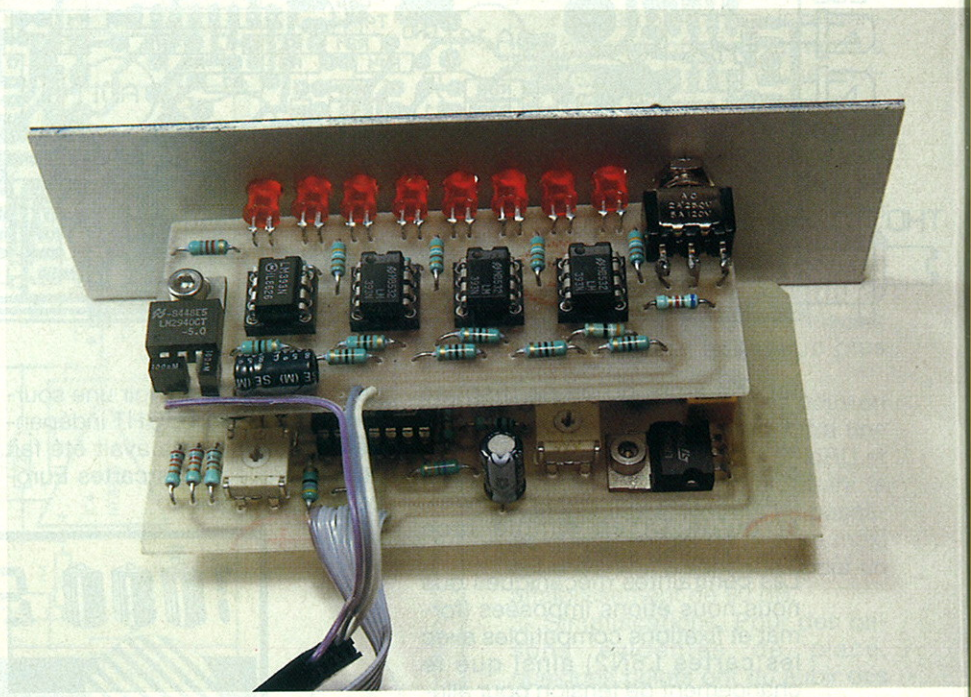
GRENOBLE	LYON	PARIS 17e	PARIS 10e	MARSEILLE	TOULOUSE
6, rue de Strasbourg	34, cours de la Liberté	8, avenue Stéph. Mallarmé	155, rue du Faub - Saint - Denis	75, rue de la Palud	10, place Dupuy
Tél. 76 47 59 37	Tél. 78 62 76 24	Tél. (1) 43 80 33 92	Tél. (1) 40 35 19 26	Tél. 91 54 98 57	Tél. 61 62 79 97

régulation + 15V, mais pour UN module seulement (pas plus !). Au delà, la ligne LIGHT sera dissociée.
Si on observe attentivement le schéma, on a vite fait d'isoler la chaîne purement audio, qui va de J2 à J1 en passant par IC5, IC1 et IC4, IC1 étant un VCA 2150A dbx. Ses excellentes performances, son faible prix, son boîtier single in line autorisant des implantations denses et le fait qu'il soit largement distribué, font qu'il reste malgré son grand âge notre VCA préféré. Il en est de même pour son confrère (détecteur RMS idéalement adapté), le dbx 2252, que l'on retrouve en tête de side chain (IC2). On remarquera pour la suite des événements, que AJ2 serait idéalement placé pour servir de Threshold dans un traitement en compresseur. Nous en reparlerons.
Ici, il va servir d'atténuateur sur le signal audio envoyé au 2252 afin de mettre ce dernier dans les conditions souhaitées. En fait, dans notre cas, il sera très faiblement atténuateur puisque le 2252 reste correct jusqu'à plus de - 50 dBU et que nous voulons descendre à - 55. Il aurait été possible de le supprimer purement et simplement, mais il aurait fait défaut à ceux qui souhaitent revenir à la gamme de 1988 (- 40, + 5). Nous l'avons donc conservé. Idem pour AJ3 chargé de garantir un gain de 10 dans IC3 b : des résistances de précision auraient pu convenir, mais pour certains tests ou modifications, il est très pratique (par exemple pour piloter un VCA d'un autre type, etc.). Idem encore pour AJ7 destiné à régler la référence haute de THD (seuil le plus bas), et que l'on aurait pu fixer de telle sorte qu'on obtienne + 2,4V sur le point test 3. En fait, seule R27 a été figée afin qu'un maximum de + 560 mV sur test 4 ne puisse être dépassé quand AJ5 (range) est au maximum. 560/6 = - 93 dB pour le 2150. Il est très important de ne pas aller au-delà, car les docs dbx ne précisent jamais les tensions maximales de commande qui peuvent tuer ces VCAs. Aussi, tout ce qu'Alary peut vous assurer, c'est qu'il n'y a pas de problème pour les commandes de - 100 dB à + 40. Donc, il s'est donné pour limites respectivement + 600 mV et - 240 mV. A noter toutefois que dans aucun de nos montages nous n'avons fait donner de gain au 2150, tâche pour laquelle il n'est pas des plus performants (jusqu'à + 10 dB c'est correct, au-delà on dégrade la chaîne audio). Une certitude: + ou - VCC sur la broche de commande (3) et c'est la mort garantie pour un 2150. A éviter...

Il faudra donc bien veiller à ne pas bricoler le pont R27+R29/R32 sans discernement et ne pas oublier aussi que IC3c, non inverseur, a un gain de 2 .

Le fonctionnement est simple : si la tension négative produite par IC2 (pour les seuils inférieurs à son point de basculement soit environ - 13 à - 15 dBU entre C19 et R15), inversée et multipliée par 10 dans IC3b est supérieure au seuil déterminé par P1, une tension positive +VCC traverse la diode D3, est dosée par AJ5 en fonction de l'atténuation souhaitée et va commander IC1 en atténuateur : la porte est alors fermée. Mais TR1 va ralentir le processus par la décharge de C27 dans R34/AJ7 (c'est le réglage de RELEASE). Si sur 3 de IC3 la tension est inférieure au seuil fixé par P1, c'est qu'une modulation supérieure au seuil est reconnue, alors il faut ouvrir la porte au plus vite. La tension négative présente en 1 de IC3 traverse D4 et fait conduire TR1, en même temps qu'en sortie de D3 on passe à 0 V : tout va donc dans le même sens pour obtenir 0 V sur test 4, soit un gain unité pour IC1. La porte est ouverte. Pendant ce temps, C27 se recharge pour le prochain RELEASE, etc.

Contrairement à ce qui avait été décrit dans le n° 496, la carte est ici prévue pour des modulations monophoniques. C'est en effet l'usage le plus courant en insertion sur une console, pour traiter par exemple chaque micro reprenant une batterie, ou encore des choristes. Une adaptation en stéréo serait aisée : il suffirait de doubler la chaîne audio et de prévoir un mélangeur au gain unité avant d'attaquer AJ2, mais il serait également possible de faire le mélange à l'entrée de IC3. Cette méthode serait à réserver à ceux qui souhaiteraient coupler deux cartes, sans autres modifications que ne conserver qu'une seule side chain, un seul indicateur (ou en profiter pour s'offrir quatre valeurs différentes) et relier ensemble les broches de commandes des VCA. On pourrait aussi supprimer un jeu de régulateurs, mais à ce stade il serait plus raisonnable de dessiner une carte spéciale, ne pensez-vous pas ?
La réalisation pratique se limite à reproduire le circuit dessiné figure 2 et à l'implanter correctement.



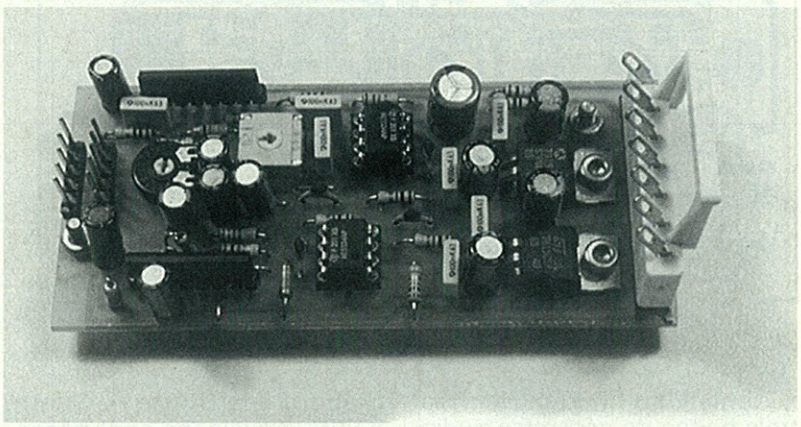
Réglages

La méthode de réglage est la suivante :
1 - Ne placer sur supports que IC1, IC4 et IC5, et porter à 0 V la commande de IC1, puis chercher la distorsion minimum au moyen de AJ1. Vérifier que le gain de l'ensemble est de 1, à +/- 1 dB.
2 - Retirer IC1 et le pont cde/0 V,

et placer IC2 et IC3. Injecter une modulation à 1 kHz de - 55 dBU, mesurer sur test 1 et ajuster AJ2 pour obtenir - 240 mV.
3 - Mesurer ensuite en test 2 et caler AJ3 pour arriver à + 2,4 V .
4 - Obtenir + 2,4 V également en test 3 au moyen d'AJ7.
5 - Mettre RANGE au maxi (côté R27), RELEASE fast (côté R34), ATTACK fast (côté R23) et P1 à mi-course.
Vérifier que suivant la modulation on obtient 0 V sur 3 de IC1 quand le niveau dépasse le seuil (P1 à mi-course donne un seuil de - 30 dBU environ). Injecter donc par exemple 775 mV (0dBU) pour mesurer 0 V, puis couper la modulation et vérifier que la tension n'atteint pas + 600 mV en 3 du support de IC1.
6 - IC1 peut alors être implanté sans risque, mais profitez en encore pour tourner AJ4 dans l'autre sens. Envoyer du 0 dBU, puis couper l'injection: il devrait falloir environ 8 secondes pour atteindre la tension maxi (+ 560 mV). Tourner alors AJ5 pour que Ld2 s'éteigne tout juste. On devrait alors mesurer environ + 120 mV sur 3 de IC1. Si vous trouvez 130 ou 110 c'est bon : les diviseurs de tension R35/36/37 sont réalisés avec des valeurs approximatives conduisant à des écarts tout à fait tolérables. 6 mV par dB, ne l'oubliez pas ! Si la LED - 20 s'allume pour - 21 ou - 19 il n'y a pas de quoi faire un drame, surtout si ce n'est qu'un «passage» vers - 70 ou - 90 dBU...
Cette méthode est à retenir pour TOUT ce qui va suivre. Avouez qu'elle est simple et prudente ? Surtout ne jamais faire l'impasse qui consiste à dire : «cette étape ne fonctionne pas, mais je vais quand même passer à la suivante».
Chercher l'erreur. Souvent c'est une grosse bêtise : si, comme l'auteur, vous avez implanté un peu trop vite et monté par étourderie un 547 au lieu d'un 557 en TR1, les tests de RELEASE ne fonctionneront pas ! Inutile de mettre en place le VCA pour s'en assurer, un multimètre suffit. Idem si vous mesurez + 4 V alors que vous attendez au maxi 0,6 V, si c'est sur la broche 3 d'un support de VCA, il est préférable que ce dernier ne soit pas engagé.

CARTE BASEDBCI

Traduction : BASE = carte d'étude, DB = pour dbx, CI : c'est un circuit imprimé. Ces noms tordus et porteurs d'une pseudo extension interne ont une raison simple : éviter tant que faire se peut que les .bak se croisent les doigts avec les schémas ! En effet, si on donnait par exemple BASEDBX.SCH pour le schéma et BASEDBX.CIR pour le circuit imprimé, sur une même disquette sans sous-répertoire il n'y aurait plus qu'un bak et, bien évidemment, pas celui qu'il faudrait.
En cherchant bien, on trouvera sur le côté composants des cartes le nom du fichier sans extension à télécharger : par exemple sur la figure 2, on peut lire «GATE6C» (sous RG1).
La notion de «BASE» a été introduite par votre serviteur dans ERP en janvier 1989, et ce à la demande de nombreux lecteurs qui souhaitaient manipuler au plus vite – à leur idée – autour de circuits particuliers, sans devoir pour cela développer des cartes d'évaluation.
BASEDBCI – **figure 3** – vient s'ajouter à la liste. Un rapide coup d'œil permet de constater qu'il s'agit d'une coupe franche dans la figure 2. En observant le schéma figure 1, on découvrira les 5 points d'accès reportés sur deux connecteurs en parallèle :
A : cde (à gauche de R8)
B : 0V
C : -VCC = – 15V reg
D : sortie 7 du 2252
E : +VCC = + 15V reg
Cette formule réduit considérablement le temps qu'il faut pour mettre en place les éléments irréductibles d'un système à VCA + détecteur RMS dbx, et rend plus confortable l'étude du traitement en continu à proprement parler.



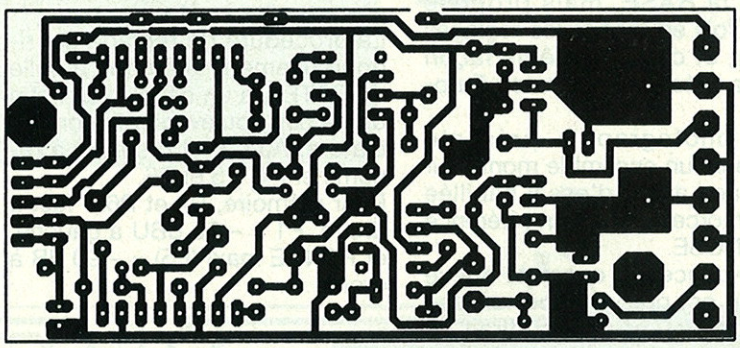


Figure 3a

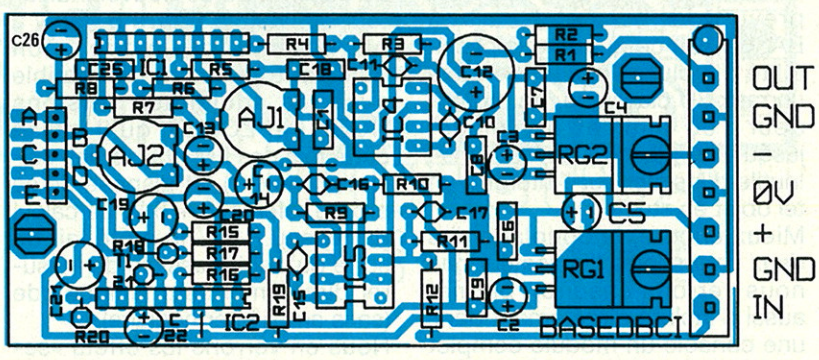


Figure 3b

Si de plus on a pris soin d'implanter au mieux une telle «base» de travail, rien n'interdit ensuite de la considérer comme un sous-ensemble prêt à l'emploi (nous allons le démontrer), ou comme un élément de dessin à incorporer presque tel quel dans une carte plus importante (voir figure 2).
Le serveur ERP permettant de télécharger ces dessins (LAYO), chacun peut alors gagner un temps précieux et disposer d'un fichier original – triturable à souhait – quelques minutes seulement après avoir lu ces lignes ! C'est magique...
Pour certaines applications, AJ2 pourra avantageusement être remplacé par trois cosses afin de libérer totalement l'envoi à IC2 et rendre possible (entre autres) des tests de prélèvements pré ou post VCA. Par ailleurs, si vous avez un peu d'humour et de curiosité, pourquoi ne pas tenter les effets directs d'une liaison sans intermédiaire entre la sortie de IC2 et cde de IC1 ? Attention : au labo, pas avec 10 kW de puissance dans le dos ! Le repérage des composants est toujours conforme à la figure 1.

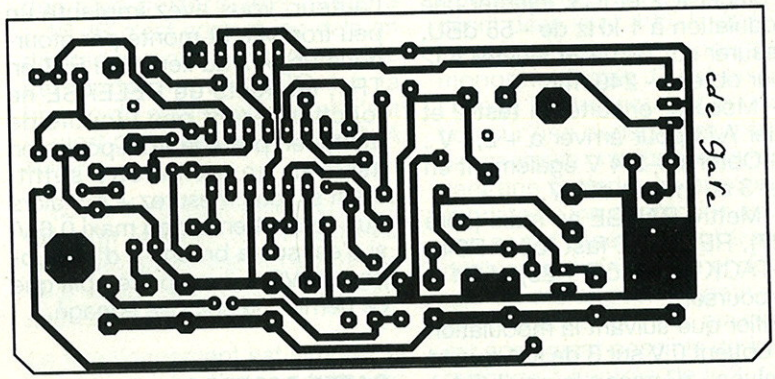


Figure 4a

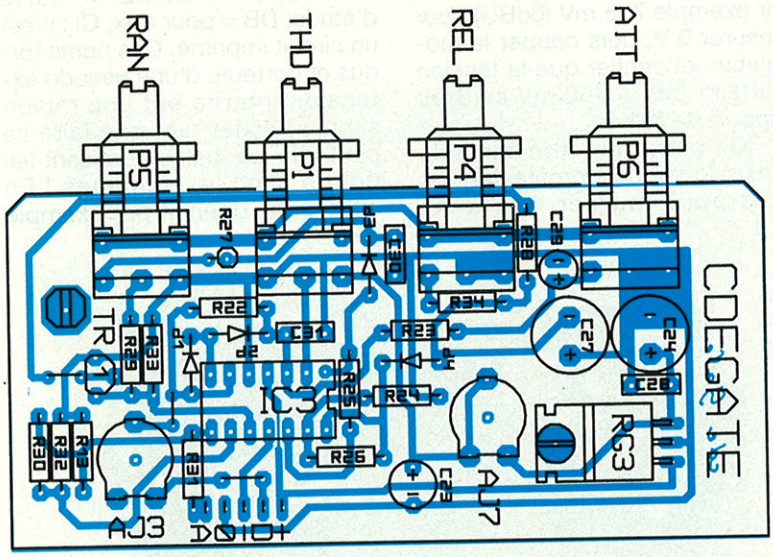


Figure 4b

CARTE CDEGATE

Ce module va typiquement exploiter BASEDBCI. Comme le montre la **figure 4**, il porte tous les composants de la «side chain» qui avaient été exclus dans la BASE, mais propose cette fois en façade les réglages utiles, et ce de la même façon que la précédente version Europe.
Une photographie présente d'ailleurs un ensemble monté sur une face avant d'essai habillée d'un morceau de lexan référencé jadis NGSE.
A l'évidence, on constate que le dessin est préparé pour un bac Europe 3 U, et qu'il suffirait de l'étendre sur la droite pour le finaliser.
Un raccordement par nappe est prévu pour lier cette carte à BASEDBCI, ce qui offre la possibilité d'inclure l'ensemble dans un rack 3U classique, de profondeur 160 mm, et d'y placer jusqu'à 10 pièces plus les alims ! Inutile d'insister sur l'intérêt d'un tel objet en studio.
Mieux encore, le couplage des deux cartes (plus l'indicateur que nous verrons ensuite), permet aussi d'inclure directement dans une console un module complet dans un espace de 50 x 100 x 75 mm², soit l'équivalent de trois boîtes de cassettes audio placées côte à côte.
La procédure de réglage est rigoureusement identique à celle de GATE6, à un détail près : afin de ne pas bouleverser la nomenclature, AJ4, 5 et 6 seront à renommer P4, P5 et P6.
Pour mémoire, P4 et P6 = fast à droite, P1 = – 55 dBU à gauche, et RANGE maxi (P5) = – 90 dB à droite.

ICG, INDICATEUR 8 POINTS

Le schéma de ce nouvel indicateur est visible **figure 5**. Il n'y a pas grand-chose à dire sinon qu'il est totalement compatible avec les anciennes versions NGSE (et LCSE), qu'il utilise cette fois des LM393 (sorties collecteur ouvert), et dispose de sa propre référence + 5 V. Le calcul du réseau R1 à R9 a été fait de sorte qu'il soit possible de mesurer directement sur la ligne cde (sans ampli intermédiaire).
Nous en verrons les effets «secondaires», mais passons tout d'abord à la **figure 6**. Quatre points de liaisons sont nécessaires : cde , 0 V analog et +/0 light. Les deux premiers sont à raccorder normalement au second connecteur de BASEDBCI. Pour les deux autres (light), deux cas sont à considérer :
1- On ne construit qu'un seul module. Il est alors permis de relier 0 analog à 0 light, et + light au + 15 V régulé. Le second connecteur dispose de tout ce qu'il faut.
2- On envisage un bataillon de gate(s), et il faut alors dissocier la section LIGHT et prévoir une alimentation séparée. Il n'est pas nécessaire de dépasser 9 V non régulés, puisque cette fois on régule à + 5.
L'assemblage mécanique de ICG sur CDEGATE se contente d'une entretoise MF15 + deux rondelles ép 1 mm, dont une vis profite pour plaquer RG1 sur la carte ICG.

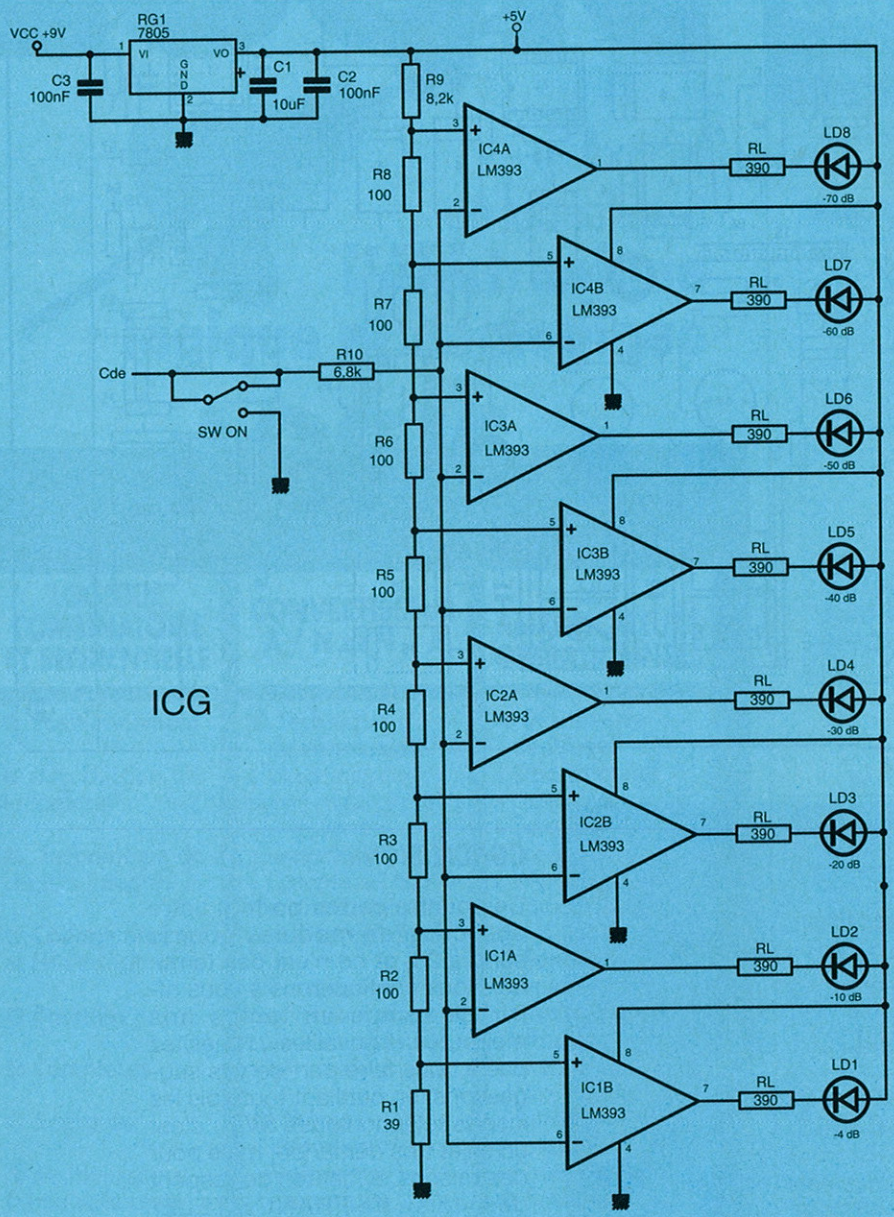


Figure 5

Idée

L'auteur s'est amusé **(figure 7)** à assembler deux implantations : CDEGATE et les éléments utiles de l'ancienne version (N° 496, page 31).
Ce bricolage sur papier n'est pas d'excellente qualité (montage de photocopies), mais il démontre de manière flagrante qu'il est tout à fait possible de construire une version STEREO en 160 mm, sans se casser la tête ni faire appel aux CMS !
A l'évidence, une réduction de 30 % (au moins) serait encore aisée.
Pour les lecteurs qui ne disposeraient pas du n° 496, signalons qu'ils peuvent se procurer des photocopies en contactant la rédaction. Il y trouveront, outre le noise-gate stéréo, un compresseur stéréo Europe, lesquels sont depuis longtemps dans la «cour des grands».

Dernière précision : bien évidemment, ICG (réseau à re-calculer) est adaptable sans problème au compresseur.
NOTA : page 41 du n° 496 il faut corriger =
R58 = 180 Ohm (et non kOhm)
C30 = 470 pF (et non MF
enfin IC12 à 13 = TL071 (et non TL075).

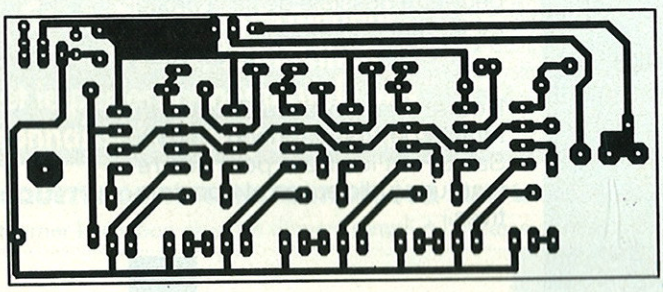


Figure 6a

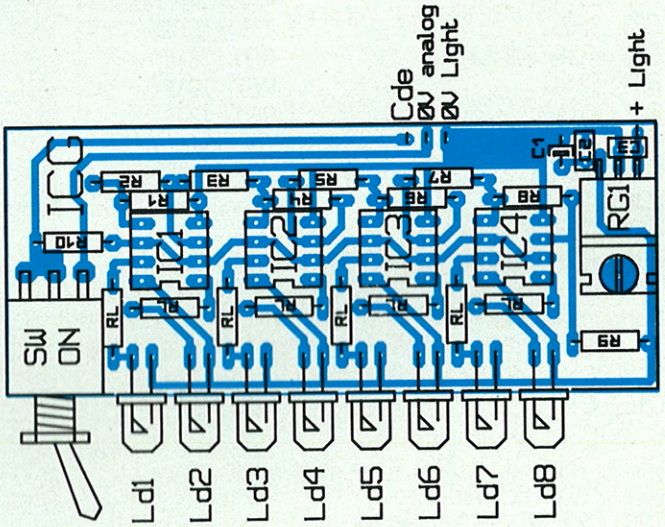


Figure 6b

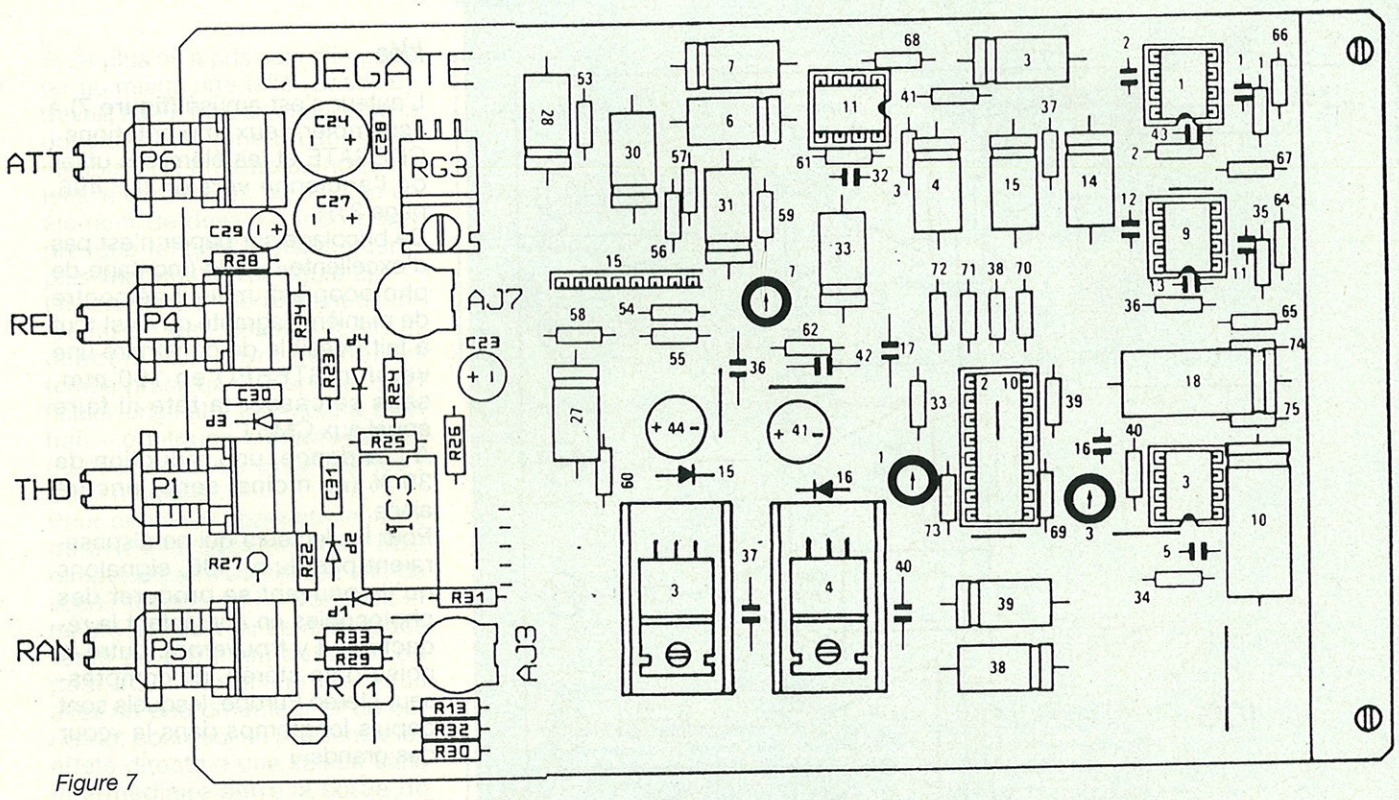


Figure 7

NOMENCLATURE GATE6

Résistances
R1 = R4 = R8 : 10 Ω
R2 = R9 à R12 = R24 : 10 kΩ
R3 = R7 = R30 = R32 : 22 kΩ
R5 : 3,3 kΩ
R6 = R31 : 47 Ω
R13 : 180 Ω
R14 : 6,8 kΩ
R15 : 33 kΩ
R16 : 22 Ω
R17 = R18 : 10 MΩ
R19 : 470 kΩ
R20 = R33 : 1kΩ
R21 : 1,5 MΩ
R22 : 220 kΩ
R23 : 390 Ω
R25 = R28 : 2,2 kΩ
R26 : 68 kΩ
R27 : 5,6 kΩ
R29 = R35 : 39 kΩ
R34 : 100 Ω
R36 : 820 Ω
R37 : 220 Ω
R38 = R39 : 330 Ω

Ajustables Phier
AJ1 = AJ3 = AJ4 = AJ7 : 47 kΩ
AJ2 : 10 kΩ
AJ5 : 100 kΩ
AJ6 : 22 kΩ

Potentiomètre Sfernice
P1 : 22 kΩ A P11

Semiconducteurs
D1 à D4 : 1N4148
IC1 : dbx 2150
IC2 : dbx 2252
IC3 : LM348
IC4 = IC5 : NE 5534
IC6 : LM 393
RG1 : 7815
RG2 : 7915
RG3 : 7805
TR1 : BC557
LD1 : LED verte; LD2 : LED rouge
Connecteur NFOM 7 points.

Condensateurs
C1 = C6 à C9 = C18 = C25 = C28 = C30 = C31 : 0.1 µF MILFEUIL
C2 à C5 : 22 µF 25V vertical
C10 = C11 = C15 à C17 : 22 pF
C12 = C27 : 100 µF vertical
C13 = C14 = C13 à C23 : 10 µF 25V vertical
C24 : 220 µF 25V vertical
C26 : C29 = 2,2 µF 25V vertical

CONCLUSION

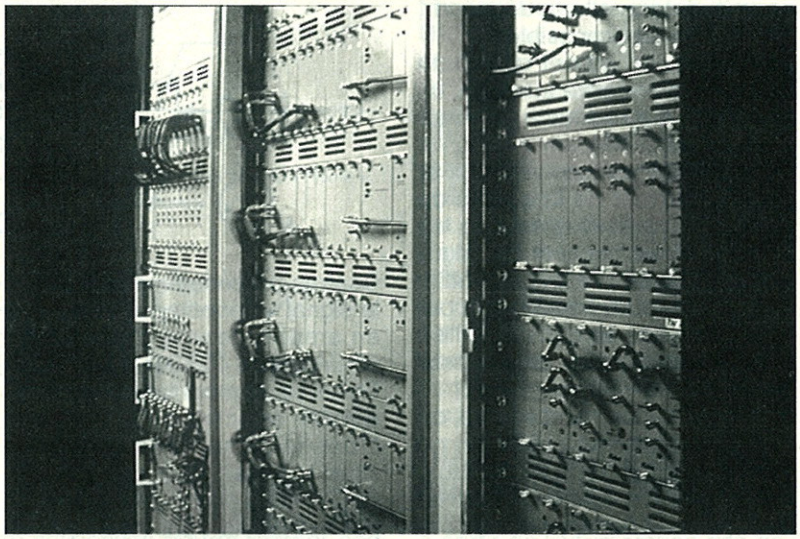
Ces quatre cartes portent votre collection de modules pour la sono à 23, et ce n'est pas terminé. Nous continuerons à vous offrir de temps en temps nos meilleures «trouvailles». N'hésitez pas à nous faire part de vos suggestions, en oubliant toutefois les inserts téléphoniques SVP : c'est un sujet très demandé, mais pour des raisons évidentes de respect des «lois» de FRANCE TELECOM, nous avons décidé de ne jamais aborder ce genre de montage. Lorsque nous avons besoin d'un insert, on sort le Néophone homologué ! Signalons (sous réserves) que la société E2A a développé jadis une petite carte insert pour les QUEST etc. Il est peut-être possible de se la procurer en tant que module ?

Jean Alary

Remerciements au Studio du Moulin de Poustagnacq - 40990 Saint Paul les Dax, pour ses remarques judicieuses et constructives.

Transmission vidéo sur paire torsadée

Dans les années 80, la réception des programmes de TV étrangers, sauf dans les régions frontalières, relevait des hasards de la propagation. Le téléspectateur moyen, dans le meilleur des cas, avait à sa disposition six programmes en principe différents. Ces programmes sous la forme de signaux HF, disponibles simultanément aux bornes de l'antenne, étaient acheminés au téléviseur via un câble coaxial. Le plan de fréquence taillé dans les bandes I, III, IV et V compte environ 60 canaux et seul 10% du plan est occupé par les six programmes définis précédemment. L'ère de la transmission par satellite a considérablement modifié ces données et l'on peut disposer couramment de plusieurs dizaines de programmes. Dans les lignes qui suivent, nous allons voir que la distribution des signaux dans les collectivités peut être envisagée selon des principes bien différents.



De très nombreuses sources audio-vidéo

Les sources audio-vidéo dont on peut disposer aujourd'hui sont d'origine diverse : diffusion hertzienne dans la bande UHF, réception directe par satellite, ou production locale : caméra ou magnétoscope. Dans le cas des immeubles d'habitation, ces caméras ou «chaînes locales» sont destinées soit à la télésurveillance soit à des portiers vidéo. Dans le cas des hôtels, les magnétoscopes sont affectés à la diffusion de films.

Disposer de plusieurs dizaines de sources au niveau d'une tête de réseau ne présente donc aucun caractère exceptionnel. La question que nous nous posons alors est : quels sont les procédés de distribution que l'on peut envisager ?

Dans les petites et moyennes collectivités, le procédé le plus répandu, celui que chacun d'entre nous connaît, est la distribution par câble coaxial et nous allons nous intéresser brièvement à ce type de télédistribution pour en connaître ses avantages, ses inconvénients et finalement ses limites.

Nous aborderons ensuite un second procédé de distribution, sur paire torsadée.

DISTRIBUTION PAR VOIE HERTZIENNE

Le signal vidéocomposite accompagné d'un signal audio a un spectre représenté par le schéma de la **figure 1**.
L'écart porteuse image-porteuse son est fonction de la norme et vaut : 5,5-6,0 ou 6,5 MHz. La modulation est du type modulation d'amplitude et pour réduire l'occupation spectrale l'une des deux bandes latérales est atténuée.
Le cas de la transmission audio est simplifié au maximum ; une transmission stéréophonique, par deux sous-porteuses, ou en NICAM, ne change en rien les résultats suivants.
Dans le cas de la figure 1, seule la bande latérale supérieure est conservée et la modulation est dite modulation d'amplitude à bande latérale réduite.
La sous-porteuse audio est modulée soit en amplitude soit en fréquence.
Pour tenir compte du résidu de bande latérale inférieure vidéo et de la bande latérale supérieure dues à la modulation audio, la largeur du canal a été fixée à 8,00 MHz.
Ce premier chiffre est important car il va nous faire découvrir la limitation du nombre de canaux.
Dans les bandes UHF IV et V, on dénombre 48 canaux de 8 MHz numérotés de 21 à 69.
Pour le canal 21, la porteuse vision vaut 471,25 MHz.

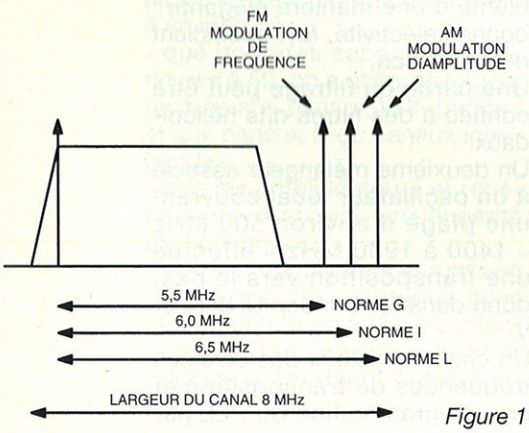


Figure 1

Si l'on compte six canaux dans la bande UHF III, on dispose de 54 canaux disponibles simultanément.
Ce chiffre peut paraître largement suffisant dans la plupart des cas, mais l'exploitation simultanée des 54 canaux est, pour des raisons que nous allons découvrir, impensable et impossible.
En théorie, on admet que toute l'information relative aux signaux vidéo et audio se situe à l'intérieur du canal de 8 MHz.
Dans la pratique, ceci est faux et dépend surtout de la qualité du filtrage. On admet donc que les canaux voisins peuvent être légèrement pollués par le canal utile.
Pour éviter toute interférence par voie hertzienne en UHF, on utilise un canal sur trois ou un canal sur deux.
Si, aux 54 canaux précédents, on applique la même règle, on ne dispose plus que de 27 canaux.
Par ailleurs, les canaux utilisés en UHF pour acheminer les émissions jusqu'à la tête de réseau ne peuvent en général être réutilisés directement dans le système de télédistribution.
Une émission reçue sur le canal 22 ne peut être redistribuée sur le canal 22 ; une telle pratique se traduirait inévitablement par un écho. Il existe d'autres restrictions dues plus particulièrement aux modulateurs et à leur principe de fonctionnement.
Nous allons passer en revue assez rapidement ces limitations.

Limitations dues aux modulateurs

Le schéma de la **figure 2** donne l'aspect d'un signal vidéo en bande de base accompagné de la sous-porteuse audio et l'aspect de ce même signal transposé par exemple à 40 MHz.
Si la transposition s'effectue par exemple dans la bande UHF, on a le spectre d'une modulation d'amplitude classique et non celui d'une modulation d'amplitude à bande latérale réduite.

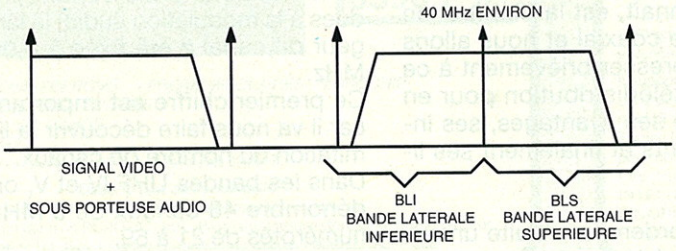


Figure 2

Dans ces conditions, lorsqu'un signal est transmis sur le canal N, le canal N-1 est inutilisable et il est évident qu'un filtrage à cette fréquence est extrêmement délicat.
Une première solution est donnée par le synoptique de la **figure 3.**

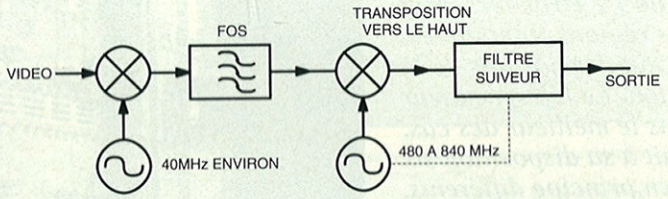


Figure 3

Comme précédemment, figure 1, le signal vidéocomposite module en amplitude une porteuse au voisinage de 40 MHz.
En sortie du modulateur, on récupère le spectre de la figure 2.
L'opération suivante consiste à filtrer le signal. Pour cela, on utilise un filtre à ondes de surface qui permet de ne conserver qu'une seule des bandes latérales. Dans notre cas – **figure 4** – la bande latérale inférieure est conservée.

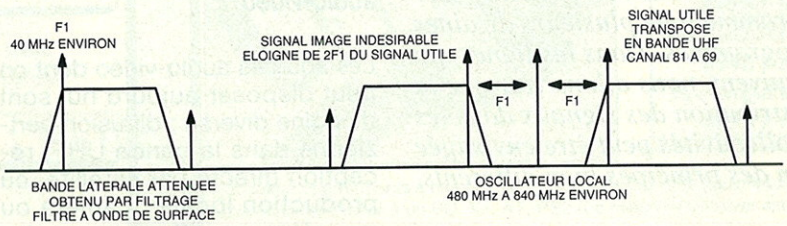


Figure 4

Cette bande latérale est transposée vers le haut grâce à un mélangeur recevant un oscillateur local ajustable de 420 à 840 MHz environ.
Le résultat de la transposition nous donne deux bandes latérales et l'oscillateur alors que seule la bande latérale supérieure constitue le signal utile.
Lorsque la distribution est effectuée sur le canal N, le canal N-11 est brouillé par la bande latérale inférieure et les canaux N-5 et N-6 peuvent être perturbés par l'oscillateur local. Les signaux parasites étant éloignés d'environ 40 MHz du signal utile, leur filtrage est rendu plus aisé. Bien que cette structure ne soit pas idéale, c'est elle, pour son compromis prix/performance, qui est la plus répandue. Sa mise en œuvre exige la présence d'un filtre de canal s'intercalant entre le modulateur et le réseau. Le synoptique de la figure 3, par son filtre suiveur, reste malgré tout délicat dans sa mise en œuvre et l'on cherche donc une autre solution.
La dernière solution est illustrée par les différents spectres de la **figure 5**.
Une bande latérale inférieure, en VHF aux alentours de 40 MHz, est transposée vers le haut grâce à un oscillateur à environ 900 MHz. De cette transposition, il résulte classiquement la porteuse et les deux bandes latérales. Par filtrage, on ne conserve que la bande latérale supérieure, porteuse vision à 940 MHz.
La qualité du filtrage est importante car l'ensemble du spectre disponible après filtrage sera à nouveau transposé.
Dans cette plage de fréquences, il existe des composants à ondes de surface qui résolvent le problème d'une manière élégante : bonne sélectivité, fort coefficient de surtension.
Une partie du filtrage peut être confiée à des filtres dits hélicoïdaux.
Un deuxième mélangeur associé à un oscillateur local couvrant une plage d'environ 500 MHz – 1400 à 1900 MHz – effectue une transposition vers le bas, donc dans les bandes UHF IV et V.
Un choix astucieux des diverses fréquences de transposition et une programmation du PLL par

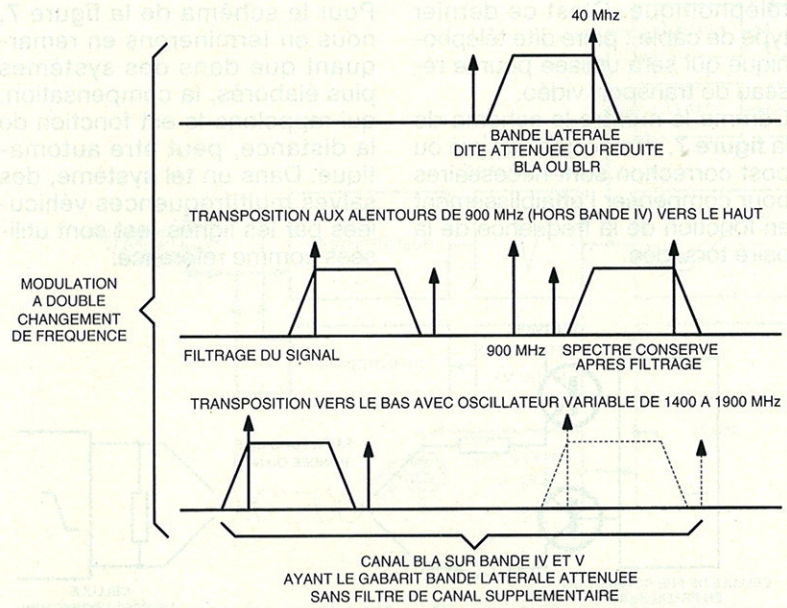


Figure 5

microcontrôleur permet la sélection directe des canaux 21 à 69.
Avec un oscillateur couvrant 950 MHz à 1900 MHz, le modulateur peut couvrir les bandes III, IV et V, les canaux S et les canaux interbande : vaste programme.
Dans cette configuration, un filtre de canal est inutile. Seul un filtre passe-bande, bande IV et V, peut éventuellement améliorer la réponse spectrale en bande III.
Même si la structure de ce modulateur semble plus contraignante et plus coûteuse que les configurations présentées antérieurement, elle doit être préférée pour la meilleure pureté spectrale.
Cette configuration élimine l'emploi de filtre de canal ou multicanal et évite tout problème de stock sur des filtres très spécifiques.
En contrepartie, la pureté spectrale est en principe suffisante dans les bandes IV et V pour utiliser la totalité des canaux.
En guise de conclusion et de résumé, nous retiendrons :
- que le nombre de canaux disponibles en bandes IV et V est limité à environ 50 ;
- que pour des capacités supérieures à 50, on a obligatoirement recours aux canaux VHF bande I et aux canaux S ou canaux interbande ;
- que les amplificateurs et répéteurs devront avoir une linéarité exceptionnelle ;
- que les modulateurs auront une pureté spectrale obtenue avec des modulateurs à double changement de fréquence dont le principe a été décrit précédemment.

Dans ces conditions, un système de télédistribution dans une petite collectivité pourra donner des résultats acceptables.
Par résultats acceptables, on entend absence d'échos, de moirages et, en général, un rapport signal sur bruit supérieur à 50 dB.
Le signal est acheminé jusqu'à l'usager. On prendra toutes les précautions pour que le niveau du signal reste utilisable à l'arrivée chez l'usager et on s'en tiendra à une norme définissant parfaitement les limites à respecter.
Finalement, on remarque, et nous arrivons enfin aux points intéressants, que la transmission de signaux audio et vidéo en UHF et MABLR – modulation d'amplitude à bande latérale réduite – est très contraignante.
Les contraintes sont d'ordre technique et principalement dues aux fréquences élevées. Ces contraintes ont bien évidemment une influence directe sur le coût d'une installation.
Le coût d'une telle installation est dû, d'une part, au matériel, matériel sophistiqué mettant en jeu des techniques UHF, et, d'autre part, au personnel, nécessairement qualifié pour maîtriser ces techniques, chargé de l'installation et de la maintenance d'un tel réseau de distribution.
Lorsqu'un réseau est peu chargé, cas des six chaînes nationales, la transmission et la distribution en UHF reste la solution la moins coûteuse.
On notera enfin que les réseaux de distribution en UHF vieillissent en général mal et que les mises à niveau doivent être effectuées régulièrement.
Pour des réseaux plus chargés, la limite, nous le verrons, est assez difficile à définir, un autre mode de transmission, transmission en bande de base, se présente comme une solution élégante répondant au problème posé.

TRANSMISSION EN BANDE DE BASE SUR PAIRE TORSADÉE

A partir de l'énumération des défauts de la transmission en UHF on cherche à établir les spécifications d'un réseau plus performant.
Pour éliminer tous les problèmes dus à l'emploi des UHF, le signal sera donc transmis en bande de base.
La structure du système de transmission et de distribution se conçoit simplement à partir de cette première règle.
Qui dit bande de base dit aussi un seul et unique signal à un instant donné. Ceci ne pose pas d'inconvénient majeur si on admet que le téléspectateur, à un instant donné, ne peut regarder qu'un seul et unique programme.
Le média n'étant capable de transporter simultanément qu'un seul canal, la sélection du programme s'effectuera donc à la source : à la tête de réseau.
Le spectre du signal transmis sur le média, de la tête de réseau vers l'abonné, aura donc l'allure donnée à la **figure 6**.

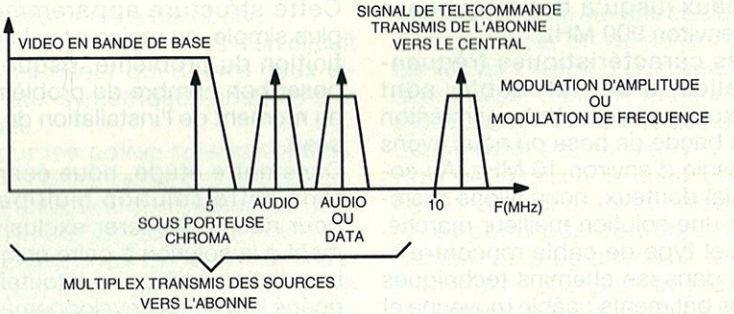


Figure 6

Sur cette figure, on a la superposition de quatre signaux principaux :
- le signal vidéo ;
- une première sous-porteuse modulée par le signal audio ;
- une seconde sous-porteuse modulée par un signal audio ou des données.

Ces trois premiers signaux sont transmis de la tête de réseau vers l'abonné.
Le quatrième signal est une sous-porteuse modulée par les signaux de télécommande de l'abonné vers le terminal.
Sans entrer dans le détail du système que nous allons découvrir progressivement, on en comprend intuitivement le fonctionnement.
L'utilisateur, abonné ou téléspectateur, agit sur sa télécommande, comme dans le système classique, pour sélectionner le programme.
Cette information est interprétée par le récepteur et «remonte» jusqu'à la tête de réseau sur une sous-porteuse aux environs de 10 MHz .
La tête de réseau exploite l'information, la décode et envoie sur le média le programme vidéo + audio demandé.
Tout se passe comme si le récepteur de télévision était découpé en deux parties distinctes éloignées l'une de l'autre.
Le sous-ensemble récepteur est disposé à la tête de réseau et les sous-ensembles vidéo chez l'abonné.
Cette structure résoud d'emblée tous les problèmes de surcharge de réseau. La capacité maximale de programmes pouvant être transmis sur le média ne dépend plus ni du média lui-même ni du type de transmission. Avec ce procédé, cette notion n'a plus de sens et n'existe plus.

Choix du média

Dans un réseau de distribution UHF, le média est un câble coaxial capable de véhiculer des signaux jusqu'à des fréquences d'environ 900 MHz.
Les caractéristiques fréquentielles d'un tel câble sont luxueuses pour la transmission en bande de base où nous avons besoin d'environ 10 MHz. Au coaxial douteux, nous allons préférer une solution meilleur marché.
Quel type de câble rencontre-t-on dans les chemins techniques des bâtiments : câble moyenne et basse tension, mais aussi câble téléphonique. C'est ce dernier type de câble : paire dite téléphonique qui sera utilisée pour le réseau de transport vidéo.
Comme le montre le schéma de la **figure 7**, des cellules de pré ou post correction sont nécessaires pour compenser l'affaiblissement en fonction de la fréquence de la paire torsadée.

Pour le schéma de la figure 7, nous en terminerons en remarquant que dans des systèmes plus élaborés, la compensation, qui rappelons-le est fonction de la distance, peut être automatique. Dans un tel système, des salves multifréquences véhiculées par les lignes test sont utilisées comme référence.

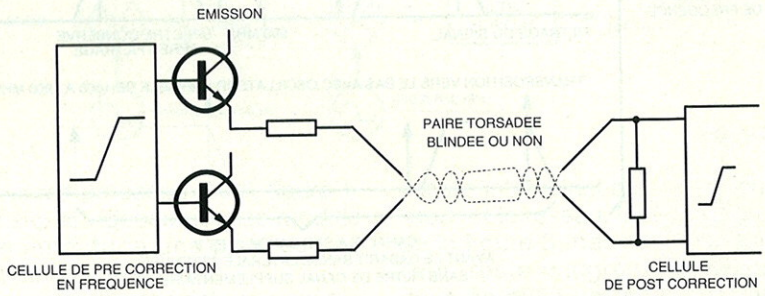


Figure 7

Une liaison comme celle représentée à la figure 7 pourra s'effectuer sur des distances de plusieurs centaines de mètres, voire milliers de mètres.
Ces distances permettent de résoudre quasiment tous les cas de transport dans les petites et moyennes collectivités.
La correction en fréquence sera soignée dans la bande vidéo, environ jusqu'à 5 MHz, mais la réponse en fréquence n'a plus de véritable intérêt au-delà.
Ceci sera particulièrement vrai si l'on utilise la modulation de fréquence pour les trois sous-porteuses au-delà de 5 MHz.
Une simple paire torsadée répond donc, pour un modeste coût, au problème du choix du média, pour ce réseau.
A ce stade de la définition du réseau, on peut déjà entrevoir les différentes variantes. La paire torsadée étant un support à faible coût, on peut imaginer que chaque abonné reçoit quatre paires parfaitement dédiées : vidéo, audio 1, audio 2 et télécommande.
Cette structure apparemment plus simple, au moins pour la définition du problème, risque de poser bon nombre de problèmes au moment de l'installation du réseau.
Dans notre étude, nous écarterons cette solution multipaire pour nous consacrer exclusivement à la solution à paire unique.
La solution multipaire a toutefois donné lieu à des développements industriels.

Nous en savons désormais suffisamment pour entrer dans le détail d'un tel réseau et découvrir quelques subtilités de son fonctionnement.

Le terminal abonné

Le terminal abonné est en fait le récepteur situé chez l'usager ou, si ce terme vous convient mieux, le téléspectateur ou encore foyer.
Le synoptique de ce terminal est donné à la **figure 8**.
Le signal reçu est préalablement désymétrisé et on place en sortie un filtre réjecteur calé sur la sous-porteuse du signal de télécommande. En sortie de ce filtre, on récupère le signal vidéocomposite et le ou les sous-porteuses audio.
Après élimination des sous-porteuses audio et compensation en fréquence du câble, on obtient un signal vidéocomposite codé PAL ou SECAM.
Après filtrage et démodulation, on récupère les signaux audio. Il est clair que les fonctions mises en œuvre dans cette chaîne sont simples et ne posent aucun problème technique ; ces solutions sont à faible coût.
Un microcontrôleur local gère le sous-système terminal abonné. Sa fonction est simple. Il est principalement chargé du décodage des informations issues de la télécommande de l'abonné.
Il effectue le tri des informations : contrôle local, son + ou son -, par exemple, ou ordre de commutation de source.

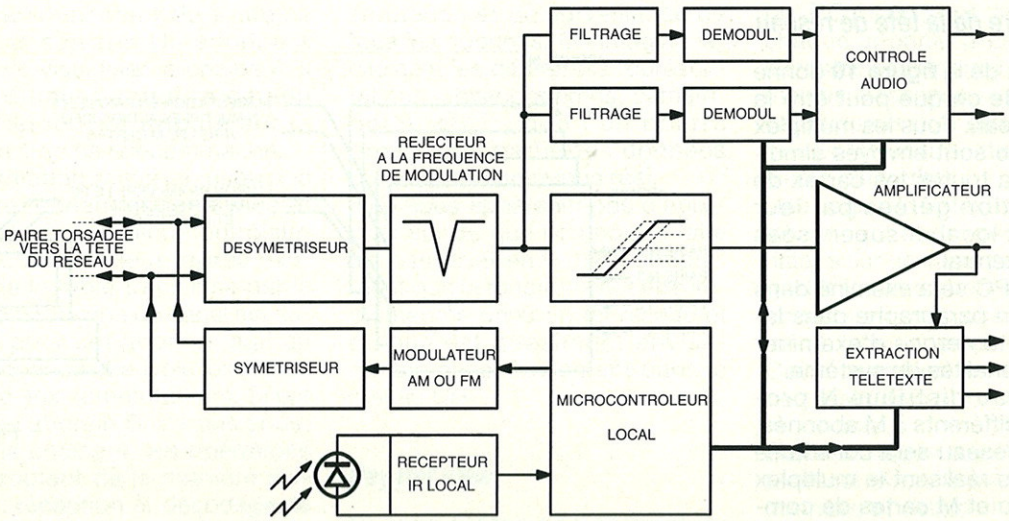


Figure 8

Les ordres de contrôle local sont véhiculés par un bus local qui peut être le bus I2C.
Les ordres de commutation de source sont envoyés à un modulateur FM ou AM puis à un symétriseur et finalement à la tête de réseau via la paire torsadée.
Sur le schéma synoptique de la figure 8, on remarque finalement un bloc noté télétexte.
Ce bloc permet bien sûr d'exploiter le télétexte si cette fonction est inexistante dans le téléviseur ou moniteur associé mais il permet surtout deux facilités supplémentaires.
Le bloc télétexte peut être utilisé comme générateur de caractères. Il assure alors toutes les fonctions d'affichage lors du dialogue abonné-terminal abonné. Ex : affichage sur l'écran du message : vous avez demandé le canal 39, veuillez confirmer, etc.
Ce bloc pourra être utilisé pour transmettre des informations numériques – hors télétexte – de la tête de réseau vers le terminal abonné.
Cette caractéristique, très importante, a d'énormes conséquences sur les fonctionnalités du système et fera l'objet d'un développement ultérieur.
Le terminal abonné est un ensemble simple ne faisant appel qu'à des techniques de basse fréquence. Cette caractéristique est rassurante quant à son coût, sa fiabilité et sa maintenance aisée.
Le seul inconvénient du système est l'impossibilité de visionner un canal X en enregistrant le canal Y. Le faible coût de la liaison peut permettre de remédier à ce défaut en attribuant deux paires – deux liaisons – à l'abonné qui le souhaite.

Commutation en tête de réseau

Le terminal abonné reçoit une source parmi N reçues à la tête de réseau. La commutation s'effectue à la tête de réseau. Pour que chaque abonné soit indépendant, un système de commutation est dédié à chaque abonné.

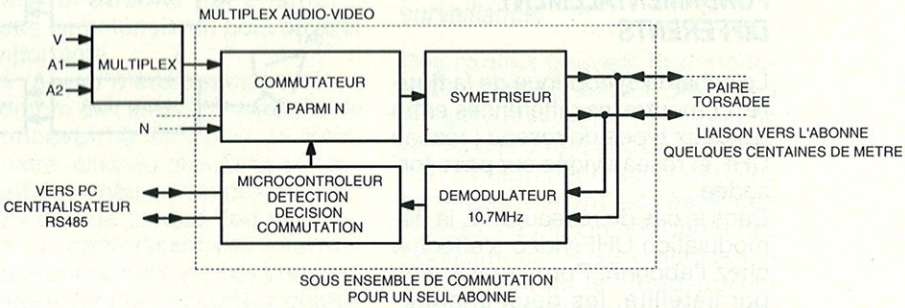


Figure 9

Le schéma synoptique de la **figure 9** donne l'essentiel du sous-ensemble de commutation chargé de deux actions essentielles.
La première chose est d'assurer la commutation. On dispose donc d'un commutateur analogique recevant autant de multiplex audio + vidéo qu'il y a de programmes à distribuer.
Ce signal est transmis à un circuit symétriseur qui délivre deux signaux symétriques adaptés à la ligne.
Pour les paires torsadées utilisées dans ce type d'application l'impédance caractéristique vaut quelques centaines d'ohms.
La deuxième fonction du sous-ensemble de commutation consiste à recevoir le signal de sous-porteuse de télécommande, le démoduler et extraire l'information.
L'information est décodée par un microcontrôleur qui aura comme charge, non seulement la gestion du commutateur, mais aussi le dialogue avec un PC de gestion centralisée.
A ce stade de la description du réseau, il est clair que tous les sous-ensembles mis en jeu font appel à des technologies banalisées : vidéo, microcontrôleur et des fréquences inférieures à 12 MHz.
Malgré cela, et comme pour un réseau UHF, la gestion par exemple d'un réseau d'une centaine d'abonnés fera appel à un matériel assez conséquent.
Même si ceci ne semble pas avoir d'importance, on ne perdra pas de vue qu'il s'agit d'un réseau de distribution, donc de matériel dit professionnel et non de quelques cartes enfichées dans un PC.
Pour cette raison, le choix du réseau : coaxial ou paire torsadée ne dépend pas seulement du nombre de programmes à transmettre et ne peut pas être réduit à un seul et unique problème de coût.

Architecture de la tête de réseau

Le schéma de la **figure 10** donne une idée de ce que peut être la tête de réseau. Tous les multiplex audio-vidéo sont envoyés simultanément à toutes les cartes de commutation gérées par leur contrôleur local et supervisées par le PC central.
Le rôle du PC sera examiné dans un prochain paragraphe dans lequel nous tenterons d'examiner les fonctionnalités du système.
Si le réseau distribue N programmes différents à M abonnés, la tête de réseau sera constituée de N cartes réalisant le multiplex audio-vidéo et M cartes de commutation.
Les signaux seront véhiculés sur M paires torsadées et reçues par M terminaux dédiés aux M abonnés.
Ce raisonnement ne prend pas en compte le cas spécial des abonnés ayant deux lignes, mais il est clair que des cas spéciaux ne posent pas de problèmes particuliers.

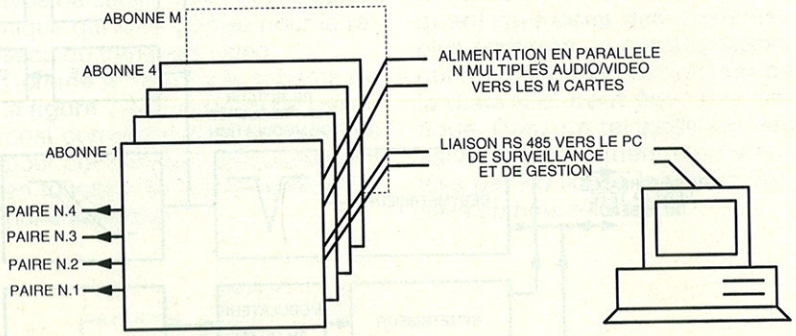


Figure 10

DEUX RÉSEAUX FONDAMENTALEMENT DIFFÉRENTS

Le schéma synoptique de la **figure 11** montre les différences entre les deux types de réseau : réseau UHF et réseau vidéo sur paire torsadée.
Dans le cas du réseau UHF, la démodulation UHF/vidéo s'effectue chez l'abonné. Pour la réception par satellite, les deux changements successifs vidéo-UHF à la tête de réseau et UHF-vidéo chez l'abonné sont en principe inutiles et dégradent le signal.
Le câble coaxial est unique, par division de puissance successive, la même source délivre les signaux UHF à tous les abonnés.
La sélection de la source à démoduler s'effectue finalement chez l'abonné.
Dans le réseau vidéo sur paire torsadée, chaque abonné est propriétaire de sa ligne qui, à un instant donné, ne véhicule qu'un et un seul signal.
La démodulation s'effectue à la tête de réseau. Le réseau ne traite que des signaux vidéo, le terminal est réduit à sa plus simple expression : un moniteur.
Si le schéma de la figure 11 montre que les deux réseaux sont très différents, elle montre aussi que le remplacement d'une installation existante par une autre est difficilement envisageable.

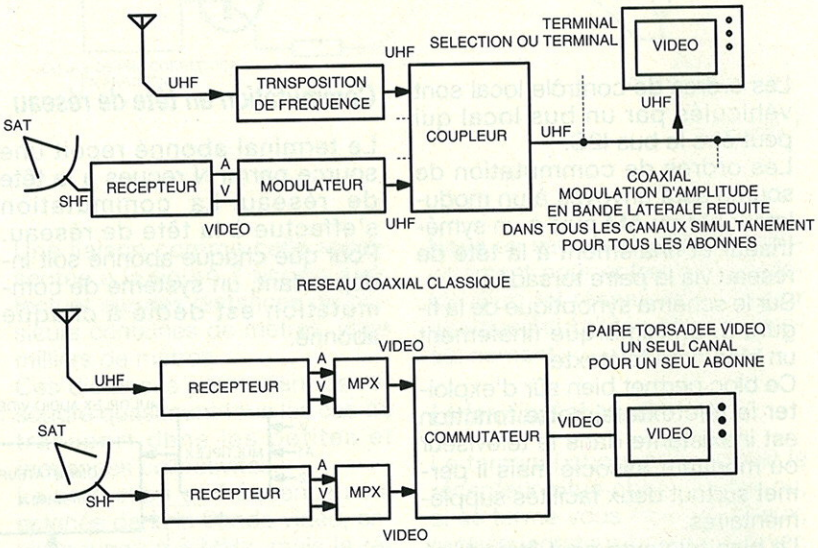


Figure 11

Ceci est une des raisons principales pour laquelle le réseau vidéo est surtout appliqué aux immeubles récents.

FONCTIONNALITÉS

Pour aborder l'énumération des fonctionnalités d'un tel système, nous prendrons par exemple le cas d'un immeuble câblé comportant 128 abonnés.

Fonction de base

Le réseau vidéo sur paire torsadée ne peut faire moins que le réseau UHF, en conséquence, il est capable de transmettre les six canaux disponibles partout, ou presque, en France.
Dans le cas d'une chaîne cryptée, on peut de nouveau admettre que chaque abonné dispose de son décodeur.
Ceci est valable pour une chaîne mais devient absurde dès que l'on est en présence de trois, quatre ou plus de systèmes de cryptage différents, comme cela est le cas par satellite.
Ceci sert donc d'introduction à la première originalité du système.

Contrôle d'accès

Si le décrypteur est placé en tête de réseau, les signaux audio et vidéo décryptés peuvent être transmis à tous les abonnés sans aucun contrôle.
Dans ce cas, il n'y a aucune distinction entre les abonnés payants et les autres... Ce cas de figure ne peut être employé.
Si, dans un système, plus évolué, le PC transmet à chaque microcontrôleur de gestion de commutation dédié à chaque abonné une table de commutation, d'interdiction et de redirection, le problème est résolu de manière fort élégante.

Le fonctionnement du système serait le suivant. Un abonné A souhaite visualiser la chaîne 4. Il s'est dûment acquitté de son abonnement et appuie sur la touche 4 de sa télécommande.
L'information remonte jusqu'à la tête de réseau, est analysée et décodée par le microcontrôleur.
Le microcontrôleur, après examen de la table transmise par le PC, constate que ce canal est autorisé pour cet abonné, agit en conséquence et envoie les ordres ad-hoc aux commutateurs. Si par contre l'abonné B n'a pas souscrit à la chaîne 4, les opérations se déroulent de la manière suivante : réception et décodage de la demande du canal 4 à la tête de réseau. Après examen du statut de cet abonné au câble, mais pas au canal 4, le microcontrôleur redirige cette demande vers un canal spécialisé. Ce canal spécialisé peut être une mire incluant le message : désolé de ne pouvoir vous fournir cette émission pour laquelle, etc.
L'exemple de deux abonnés au câble ou plutôt à la paire torsadée, peut bien évidemment s'appliquer à l'ensemble du réseau des M abonnés.
Cette procédure s'applique bien sûr aux émissions dites terrestres mais bien évidemment aussi aux émissions transmises via satellite. Le réseau se charge alors de toutes les possibilités de cryptage : Eurocrypt, Vidéocrypt, Nagravision, etc. qui nous gâchent le paysage.
A ce stade, le gain en matériel est substantiel car un seul décrypteur est placé en tête de réseau.
Cette caractéristique propre au réseau sur paire torsadée est un premier avantage sur le réseau UHF.
Sur le réseau UHF, le média étant commun à tous les récepteurs, la distinction entre abonnés est impossible. Pour palier cet inconvénient, chacun se doit d'avoir un décrypteur.

Audimétrie en temps réel

Grâce au signal de télécommande – sous-porteuse – il est facile de savoir si le terminal de l'abonné est hors tension.
D'autre part, à chaque instant, le microcontrôleur a la connaissance du canal en service puisqu'il est le seul à en assurer la commutation.
Dans ces conditions, il est extrêmement simple de concevoir pour le PC une procédure de scrutation et de surveillance de tous les abonnés. On imagine facilement les différentes représentations – histogrammes, camemberts, etc. – que l'on pourra proposer à partir des données d'audimétrie en temps réel.
Il ne nous appartient pas d'épiloguer sur ce que l'on pourra faire de ces données, mais simplement que la fonction peut être implémentée dans un tel réseau et qu'elle est quasiment envisageable aussi facilement dans le réseau UHF.

Pay per view

Si vous n'êtes pas content du titre, vous pouvez le remplacer par paiement à la carte. C'est quasiment pareil. Le paiement à la carte est donc une caractéristique qui découle naturellement des deux précédentes : audimétrie en temps réel et contrôle d'accès.
Evidemment, dans le cas de l'immeuble de 128 abonnés pris comme exemple, le pay per view peut paraître inadapté.
Si l'on remplace immeuble par hôtel et abonné par chambre, cette caractéristique peut devenir importante.
Le réseau n'étant plus limité en nombre de canaux, il est facile de concevoir la diffusion de trois, quatre, cinq ou plus films sur autant de canaux et un paiement en fonction de ce que l'on regarde.
Le PC centralisant ces informations utilise dans ce cas une passerelle vers le calculateur chargé de la comptabilité.

Messagerie

Puisque nous sommes dans les hôtels, restons-y. Avec les synoptiques tête de réseau et terminal abonné définis aux figures 8, 9, 10, un service de messagerie se conçoit simplement.
Les messages sont stockés à la tête de réseau et le seul moyen d'introduction et de mémorisation est le PC.
Le message a une forme générale :
de (origine)...
à (destination) : M. X chambre 340, comprendre abonné 110 par exemple.
La demande d'examen des messages est toujours issue du destinataire – l'abonné –.
Cette demande sera stockée par le microcontrôleur chargé de la commutation.
Le PC, scrutant tour à tour chaque abonné, prend connaissance de cette demande et transmet les messages.
La transmission des messages peut s'effectuer de deux manières différentes.
Une page de télétexte est générée localement et envoyée au destinataire sur un canal particulier auquel les autres abonnés n'ont pas accès - en tous cas pendant le même laps de temps -.
Cette première solution est un peu restrictive et on lui préférera la suivante.
Les messages sont envoyés au terminal abonné sous forme de données et celles-ci sont exploitées par la circuiterie télétexte.
Il apparaît clairement qu'un dialogue est établi entre le terminal et la tête de réseau. Les deux microcontrôleurs peuvent presque échanger des données à l'insu de l'abonné.
Cet échange sera utilisé pour contrôler la liaison et s'assurer que les transmissions s'effectuent sans erreurs.

Autres applications de surveillance.

Des canaux peuvent être monopolisés par des canaux destinés à la vidéosurveillance mais ceci ne relève pas d'une originalité extrême. Evidemment, seuls certains abonnés auront accès à ces images. La plus intéressante des applications de surveillance est probablement le vidéo-portier d'immeuble d'habitation ou de bureau.
Le visiteur sonnant à la porte principale est vu par la seule personne visitée.
Cette application ne pose pas de problème et la configuration du réseau décrit précédemment est adaptée à ce vidéo-portier.
Il est clair que le visiteur, par sa pression sur la sonnette a modifié la table de contrôle d'accès des canaux. A cet instant, seul le destinataire a accès au canal vidéo-portier qui peut même être forcé à partir de la tête de réseau.
Toujours dans le cadre de la surveillance, la tête de réseau peut être employée comme signal d'alerte, évacuation totale, partielle ou appel sélectif de personne.
Dans le sens abonné vers tête de réseau, le canal numérique : liaison télécommande peut aussi véhiculer des informations de sécurité : violation de domicile, de la chambre, incendie, etc.

Le réseau joue alors le rôle d'un réseau de télésurveillance classique.
Il est important de bien voir l'intérêt de cette paire torsadée dans le temps. Il suffit simplement de prévoir le réseau en étoile à l'origine.
Toutes les options que nous avons énumérées peuvent être implantées au fur et à mesure de l'exploitation du réseau.
Il est clair, par exemple, que la télésurveillance ne remet pas en cause un réseau existant. Son installation ne nécessite que quelques capteurs et une couche de logiciel supplémentaire à la tête de réseau.
Cette caractéristique est très importante pour pouvoir étaler l'investissement dans le temps. Seul un réseau évolutif permet cet étalement.

Télécommande, Téléachat, Télépaiement

Ces trois applications sont destinées particulièrement aux hôtels.
Pour la télécommande, l'abonné peut sélectionner son petit déjeuner, son menu ou autre.
Le téléachat, nous le connaissons et cela n'appelle aucun commentaire. le télépaiement ou consultation de note peut être intéressant pour l'abonné qui souhaite à tout instant prendre connaissance de l'étendue de ses dépenses.
Comme précédemment, ces fonctions supplémentaires ne font appel qu'à des couches logicielles spécialisées.
Il n'y a en principe pas de limitation puisque le dialogue est établi entre la tête de réseau et le terminal abonné.

Assistance à la maintenance

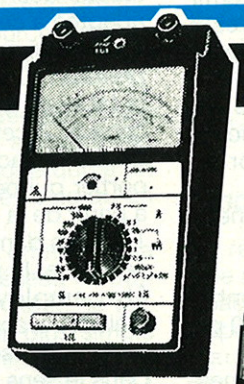
Le dialogue tête de réseau-terminal abonné a pour fonction première le contrôle de l'acheminement des signaux audio et vidéo.
L'existence de ce dialogue permet l'écriture de procédures de test et de maintenance.
Pour que le réseau s'autoteste et s'autodiagnostique, il suffit simplement de prévoir une circuiterie hardware minimum pour assurer la mise en route de n'importe quel terminal à partir du PC de gestion. Ceci ne pose aucun problème si le terminal est conçu avec un mode veille/marche.
Grâce aux données véhiculées dans la voie télétexte, on peut imaginer bon nombre de tests, y compris les interdictions, redirections, pay per view, etc.
En poussant ces avantages un peu plus loin, la transmission de données pourrait concerner directement la mémoire programme du terminal, ce qui aurait pour effet soit de le personnaliser soit de le reconfigurer.

COMPATIBILITÉ AVEC LES STANDARDS FUTURS

Pour la définition et les explications données sur le réseau, nous avons admis que le signal vidéo-composite était un signal PAL ou SECAM. Il est clair que le standard n'influe d'aucune manière sur le réseau. La paire torsadée est réduite à un canal de transmission de 5 MHz, un point c'est tout.
En attendant un signal PAL et un son NICAM ou un signal PAL plus, le réseau bifilaire véhicule les signaux actuels. Ce réseau s'adaptera aux futurs standards.
En résumé, on peut dire que le réseau bifilaire est évolutif.
Pour la petite histoire, on peut remarquer que des signaux D2MAC (feu D2MAC) moyennant une correction amplitude-fréquence appropriée peuvent être véhiculés.
Dans l'éventualité d'un standard numérique compatible avec un canal de 5 à 8 MHz, le réseau pourra être conservé.
En cette période de récession économique, les systèmes de transmission par paire torsadée constituent peut-être ce que les spécialistes appellent une niche d'activités.
Le réseau sur paire torsadée est plus jeune, moins connu et moins répandu que les réseaux sur câble coaxial et ceci lui confère un sévère handicap.
Avis aux entrepreneurs audacieux qui sauront tenir le discours favorisant la paire torsadée.
Nous en avons donc fini avec les caractéristiques spécifiques de ce réseau qui, avouons-le, présente d'énormes avantages et qui dans le cas des moyennes collectivités surclasse le réseau UHF.
Actuellement, ce type de réseau se rencontre dans des hôtels de grand luxe ou par exemple dans les locaux de TF1.
Le faible coût, tant au niveau matériel : tête de réseau, câble, terminal abonné, installation, qu'en exploitation ou maintenance doit lui permettre un avenir sans souci.
Aujourd'hui, quelques entreprises proposent des matériels dédiés à la transmission vidéo sur paires torsadées qui sont souvent étudiés sur mesure pour tel ou tel cas.
Des améliorations sur les procédés audio, par exemple, en adoptant le standard NICAM pour l'audio et les données de la tête de réseau vers l'abonné seraient des atouts supplémentaires.

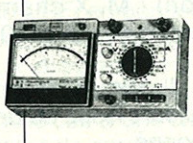
François de DIEULEVEULT

99 F/TTC



ROBUSTESSE GARANTIE

MULTIMETRE 4315 AVEC EN PLUS CAPACIMETRE, DECIBELMETRE EN LECTURE DIRECTE et 42 fonctions en Voltmètre CC / CA - Ampèremètre CC/CA et ohmètre livré en mallette métallique hermétique.



Multimètre 4317 avec disjoncteur automatique
42 fonctions - 5 Ampères
Livré en malette métallique hermétique
288F

GARANTIE 1 AN

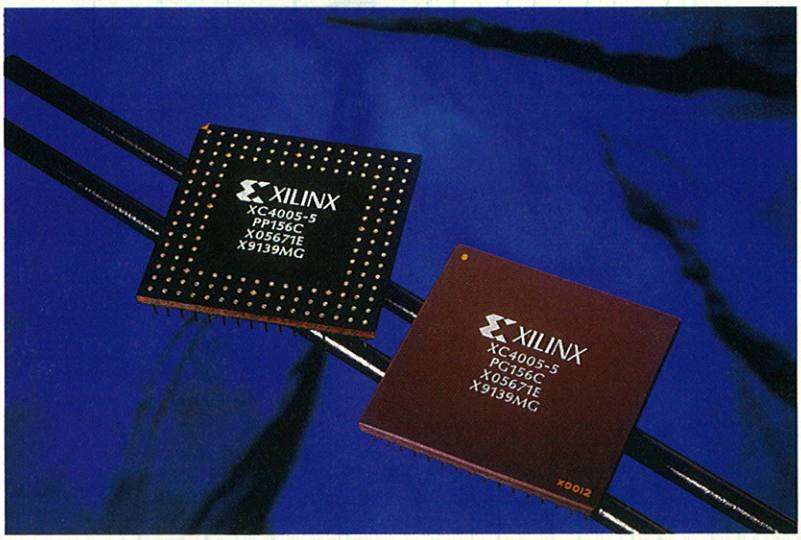
En vente chez : *(forfait de port 35 F)*

ACER Composants
42, rue de chabrol
75010 PARIS
Tél. : 47 70 28 31
Fax : 42 46 86 29

ACER Reuilly Composants
79, boulevard Diderot
75012 PARIS
Tél. : 43 72 70 17
Fax : 42 46 86 29

Les FPGA : la famille XC4000 XILINX

Dans l'électronique moderne, les besoins deviennent chaque jour de plus en plus spécifiques et avec des contraintes de plus en plus lourdes. Sans parler du coût de revient d'un composant électronique et de son développement, les axes majeurs des recherches dans le domaine de l'électronique contemporaine, et ceci particulièrement pour les composants logiques de haute complexité, se révèlent être la rapidité de traitement et le niveau d'intégration qui en découle. Seules de grosses structures de production peuvent se permettre le coût de développement de tels produits et encore, avec un impératif de temps que la concurrence impose. A ces différents problèmes, plusieurs compagnies ont essayé de proposer des remèdes. C'est ainsi que l'on a vu apparaître les composants logiques programmables avec des implémentations répondant à des besoins spécifiques. Ce type de composant, référencé sous le terme générique de PLD (Programmable Logic Device) pour des produits à faible densité d'intégration est déclassé par des produits plus récents et nettement plus complexes. C'est dans cette approche que les produits fournis par XILINX se placent. Cette compagnie a décliné toute une famille de composants programmables (XC2000, XC3000, XC4000) et pour notre part nous allons nous intéresser au membre le plus récent de celle-ci disponible sur le marché : le XC4000.



LES PRODUITS DISPONIBLES

Un marché dans lequel on retrouve toute une pléthore de produits allant du plus simple au plus complexe (et coûteux).
Mais à tout seigneur, tout honneur, et nous allons commencer ce bref récapitulatif des composants existants par celui qui a été l'initiateur dans le domaine :

Les PLA et PAL

A l'origine du développement des composants programmables, on retrouve la technologie des mémoires utilisées en informatique. En effet, une mémoire peut servir à codifier un ensemble de vecteurs logiques avec les entrées sur l'ensemble des bits d'adresses et en sortie les bits de données. Mais cette technique, pour puissante qu'elle soit, est un gâchis de silicium avec toutes les conséquences qui en découlent (rapidité d'action, coût de fabrication ...). Pour cela, une structure faite de matrices de connexions associées à des portes logiques a été développée et implémentée dans des composants que l'on a appelés PLA (Programmable Logic Array) et PAL (Programmable Array Logic). Ces composants ont été les premiers à adopter une structure de réseau de portes dans laquelle, par une programmation adéquate, l'utilisateur pouvait réaliser un traitement logique. La structure interne de ces composants est représentée **figure 1** où l'on peut remarquer la présence de deux matrices de connexion associées à des portes OU et des portes ET. La matrice ET du PLA est prédéterminée et celle associé aux portes OU est programmable, tandis que pour les PAL c'est la configuration inverse. La programmation de ce type de composants se fait par l'établissement d'un contact dans la structure de matrice. Ce faisant, on retrouve en sortie la somme de produits logiques, c'est-à-dire pour l'essentiel une forme combinatoire des entrées. Remplaçant avantageusement un nombre important de composants classiques, les possibilités d'un tel produit se sont révélées assez limitées par la structure essentiellement combinatoire du réseau et par le faible nombre de combinaisons possibles de ses entrées. On peut néanmoins constater que ce réseau dispose d'un faible temps de propagation, le nombre de portes logiques étant réduit et tout se déroulant dans le réseau. Il est à noter que les PAL dominent nettement les PLA du fait de leur réseau OU fixe qui réduit la taille du silicium et de ce fait procure une plus grande rapidité. L'évolution de ce composant s'est traduite par de nouvelles possibilités qui ont été adjointes.

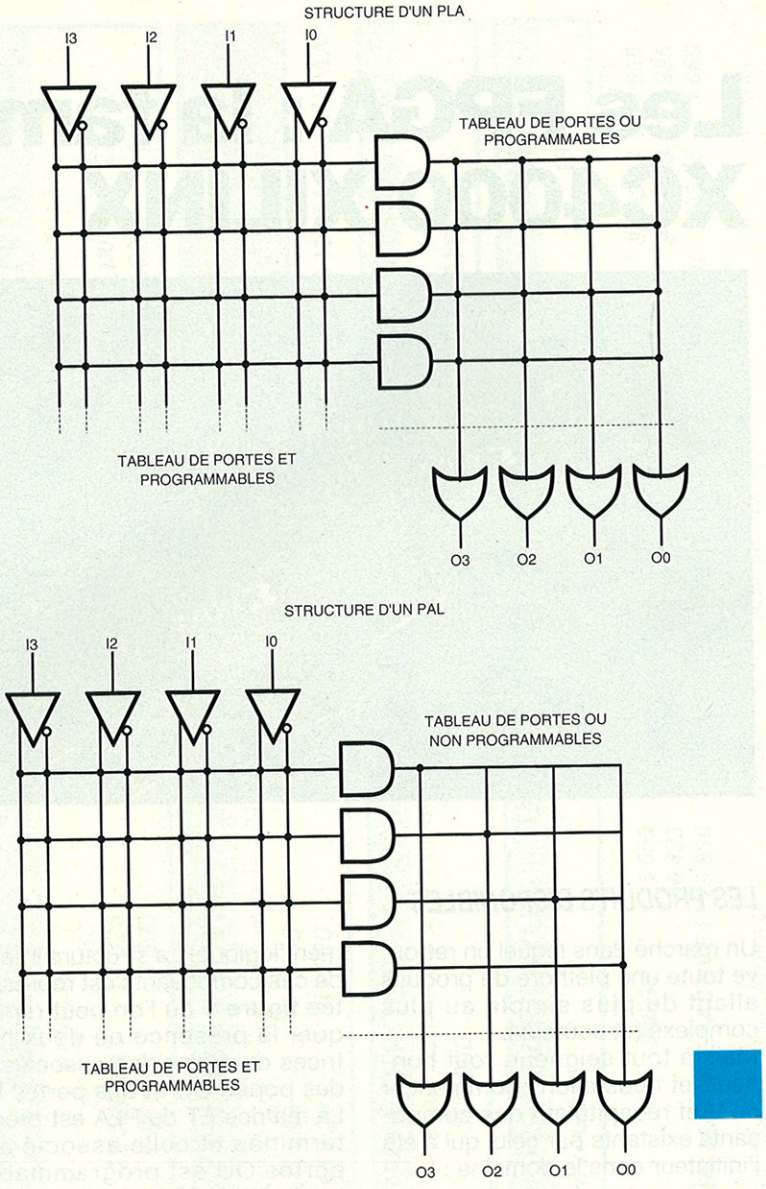


Figure 1

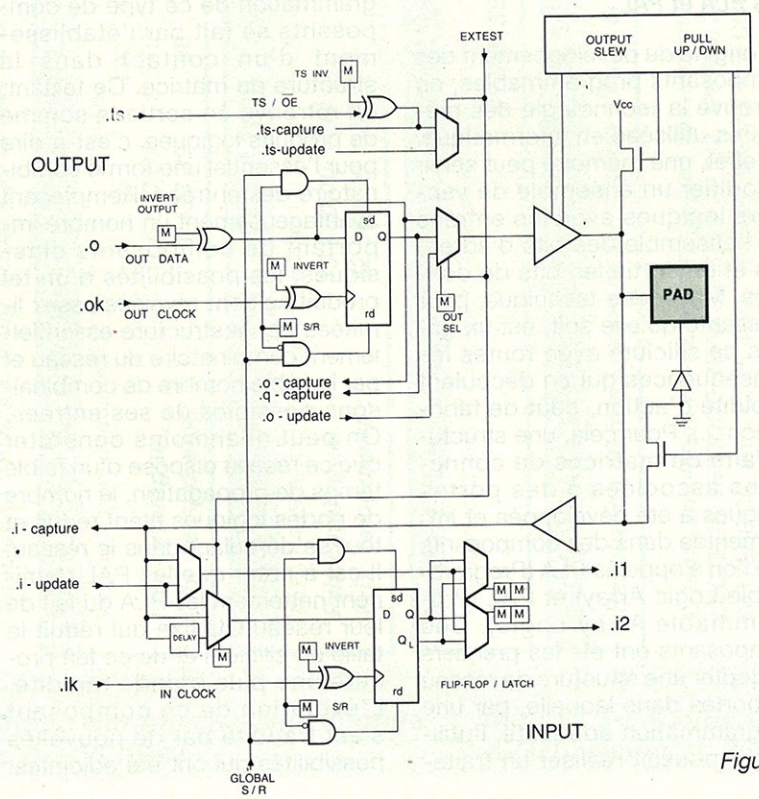


Figure 2

La plus importante a été de disposer de bascules type D en sortie de ces PLA et PAL, et ainsi d'avoir les éléments justes nécessaires pour concevoir une machine à états.

Le marché a fait du PAL 16R8 le standard en la matière : avec ses seize entrées, huit sorties et ses huit registres, il permet l'implantation d'un automatisme déjà significatif.

D'autres dérivés de ces produits sont apparus, comme les GAL qui ne comportent plus seulement des bascules en sorties mais un bloc configurable autour. On dispose ainsi généralement de sorties trois états, de sorties complémentées ...

Mais fondamentalement, ces divers types de dérivés conservent la structure des PAL ou ne l'améliore que de façon minime.

A l'autre bout de la chaîne, on retrouve les ASIC. Ce sont des composants avec des éléments de fonctions déjà réalisés, déjà implémentés et seule une opération de connexion des différents blocs est nécessaire à la fabrication. Les différents circuits types ont déjà un routage établi, il suffit que le concepteur spécifie la disposition et les circuits utilisés pour que le fabricant les y dispose. Cette méthode n'est utilisable que pour des productions industrielles importantes car elle nécessite l'intervention d'un fondeur (les autres éléments étant tous communs, une production en série peut être menée).

Entre ces deux mondes, se situe une brèche que des sociétés telles que XILINX ont essayé de combler. D'une part les performances trop limitées des PLD et de l'autre la lourde infrastructure que nécessite l'emploi des ASIC, ont fait que, employant les technologies développées lors de la course à la mémoire statique et dynamique, de nouvelles structures de composants logiques sont apparues. Parmi celles-ci et avec comme support à notre exposé les XC4000 de XILINX , on prendra la famille des FPGA (Field Programmable Gate Arrays).

On ne retrouve plus le réseau programmable qui débouche sur des fonctions logiques mais plutôt un ensemble de blocs logiques qui peuvent s'interconnecter entre eux suivant diverses possibilités. Les FPGA sont alors configurables (programmables) par les connexions que l'on peut établir entre ces différents blocs logiques. Les blocs logiques

étant quant à eux, et ceci suivant le fabricant et la famille de composants, programmables eux-mêmes ou non. De manière schématique, on peut considérer que l'on dispose d'un ensemble de circuits intégrés comme sur un développement classique et que c'est la façon de les interconnecter qui est mise à la disposition de l'utilisateur !

LES PRODUITS XILINX

La structure interne

On retrouve dans ces composants XILINX la structure des FPGA. C'est-à-dire une matrice intérieure de blocs logiques, appelés CLB pour Configurables Logic Blocks, entourée de blocs d'interface d'entrées/sorties (IOB pour Input/Output Blocks). Chacun des éléments logiques intérieurs est lui-même desservi par un ensemble d'interconnexions avec les autres membres du réseau. Les FPGA de XILINX se caractérisent ainsi par trois éléments fondamentaux : Les blocs logiques IOB et CLB, et le réseau de connexions de ces blocs.

Les IOB (Input/Output Blocks)

Comme leur nom l'indique, ce sont les éléments qui ont pour charge de gérer les interactions avec l'extérieur du chip. Chacun de ces IOB est affecté à une patte du composant et peut ainsi être configuré en tant qu'entrée, sortie ou entrée/sortie. Un ensemble de flips-flops, sélectionnable lui aussi, permet de synchroniser les entrées/sorties, ou encore de gérer des fronts à la place de niveaux. La sortie peut être inversée ou bien encore placée en haute impédance. Le temps de montée ou de descente du signal fourni peut lui-même être contrôlé pour minimiser les effets des transitions. Le courant délivré peut atteindre 12 mA et la réunion de deux pattes en ET câblé, permet d'arriver à 24 mA. Les possibilités de ces IOB permettent toutes les configurations standards avec un contrôle sur les signaux fournis en entrée comme en sortie pour pouvoir satisfaire à la majorité des applications (**figure 2**).

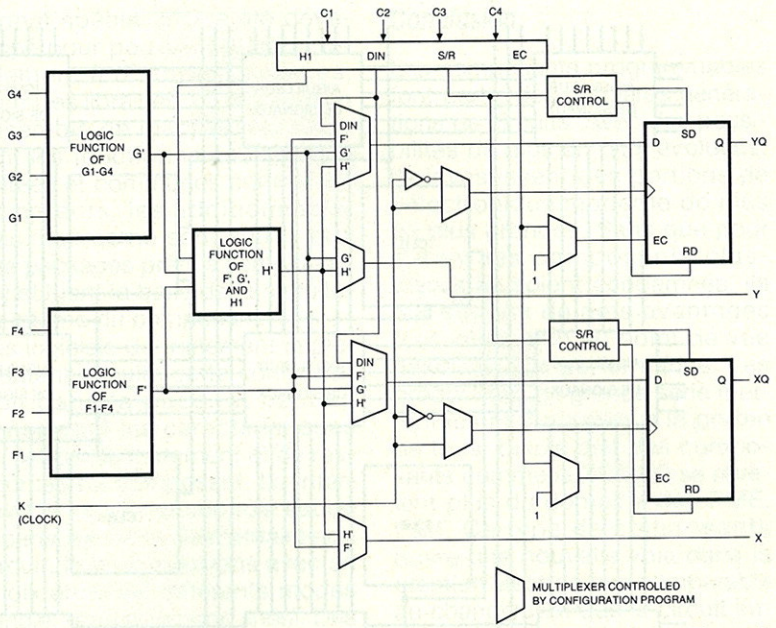


Figure 3

Les CLB

Ils représentent les unités de traitement du signal et pour ceci disposent de toutes les fonctionnalités internes pour une exploitation optimale. La structure interne d'un CLB se reflète dans la **figure 3** et on peut y constater la présence de deux flips-flops desservis par deux générateurs de fonctions indépendants. Ces générateurs de fonctions à quatre entrées se répartissent la tâche de gérer la partie combinatoire du traitement. Ils sont pour cela programmables afin de pouvoir délivrer n'importe quelle fonction booléenne, ceci par l'intermédiaire d'une table «Look-Up» rendant indépendant le temps de réponse du générateur, des stimulis proposés à l'entrée. Un troisième générateur de fonctions permet de combiner le résultat des deux autres. Les flips-flops disponibles à la sortie sont eux-mêmes configurables en ce qui concerne leurs entrées données. Un multiplexeur sur quatre voies permet de contrôler différents éléments tels que l'unité de fonction H, la mise à 1 ou à 0 des flips-flops en fonction de quatre entrées C1-C4.

Les interconnexions programmables

C'est à ces interconnexions que le produit doit la majeure partie de ces caractéristiques. En effet, le temps de propagation dans le composant dépend essentiellement du trajet que doit effectuer le signal, et surtout la flexibilité du composant dépend étroitement du nombre et de l'architecture des connexions. Un moyen terme est cependant à assurer car le nombre de connexions, et donc de portes, limite le temps de propagation et la rapidité de fonctionnement. C'est donc à une affaire de compromis et d'architecture interne sur l'utilisation des différentes sources que se fait le choix du composant. Le XC4000 de chez XILINX dispose d'une large palette de types de connexions et on les retrouve disposées sur les quatres côtés d'un CLB **(figure 4)** avec une préference pour les sorties sur la gauche du CLB, favorisant un flux des signaux de la droite vers la gauche. Le réseau de connexions implémenté dans ce composant regroupe trois systèmes de connexions adaptés à trois modes de transport du signal : Les single-length lines pour la connexion locale des CLB, les double-length lines pour les liaisons intermédiaires et les long lines pour le transport des signaux à travers toute la surface du chip.
Commençons par les single-length lines, que l'on peut voir à la **figure 5** disposées comme un quadrillage de lignes horizontales et verticales autour du CLB.
Chaque croisement d'une rangée et d'une colonne d'un ensemble de lignes horizontales et verticales constitue une matrice de connexions permettant de relier les différents canaux. Un signal provenant d'une ligne peut être dérouté sur une ou plusieurs autres combinaisons de lignes si des branchements multiples

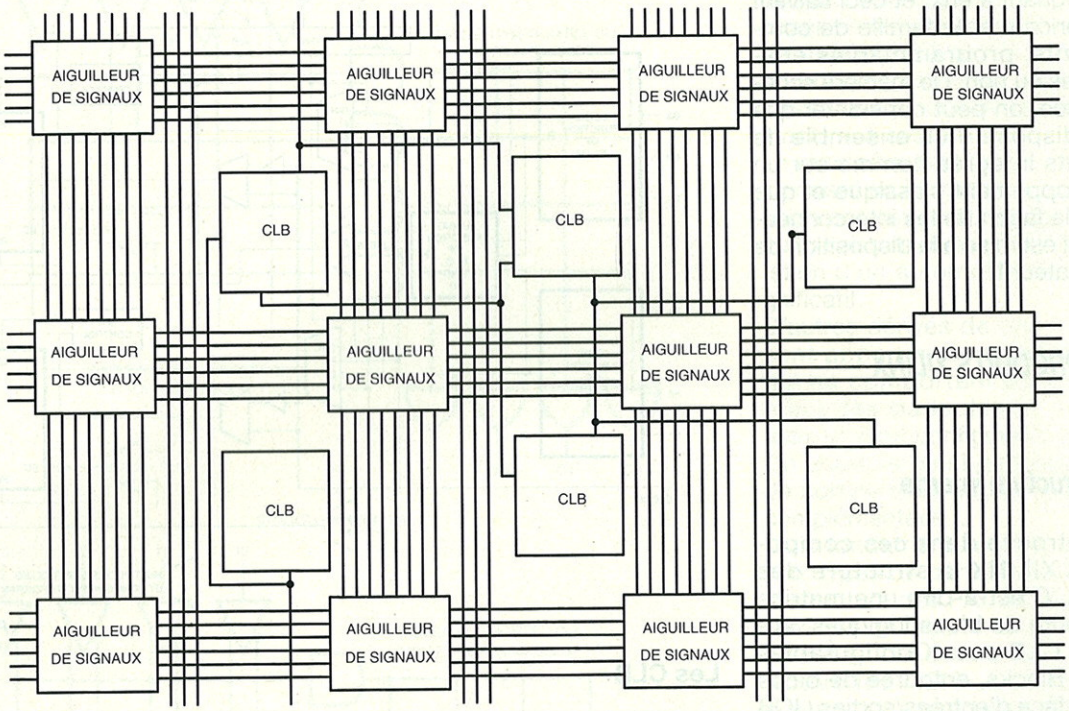


Figure 4

s'avèrent nécessaires. Ces single length lines représentant les connexions locales permettant de mettre généralement en communication les CLB les plus proches, ceci, bien entendu, pour des raisons de rapidité et d'optimisation du trajet du signal. Le traitement se fait en général statistiquement plus dans les environs de sa production. Le nombre de possibilités de connexions à été diminué par rapport à la génération précédente, ceci pour des raisons de charge capacitive sur la ligne et de temps de propagation, en vue d'une performance accrue en vitesse. L'autre moyen de transport à un niveau plus élevé est représenté par les double-length lines **(figure 6)**. Celles-ci, regroupées en un réseau similaire à celui des single-length lines, ne se différencient essentiellement que par le groupement par paire des lignes horizontales et verticales avec la matrice de connexions. Les possibilités de branchement avec les CLB sont presque identiques à celles des single lines, le positionnement de la matrice de commutation sur une même ligne étant quant à elle placée tous les deux CLB, ce qui montre bien le caractère intermédiare de ce canal.
Pour les signaux provenant d'éléments «lointains» mais nécéssitant tout de même une bonne rapidité de traitement, des lignes longues (long lines) ont été implantées sur toute la hauteur et la largeur du réseau. Une option permet de les séparer en deux aussi bien en largeur qu'en hauteur, leur permettant de parcourir la moitié du circuit avec des signaux différents. Les entrées des CLB peuvent être commandées par un sous-ensemble de ces long lines tandis que les sorties sont véhiculées par des buffers trois états ou par les single-length lines. Seules les long lines peuvent être connectées aux single-length lines par des points de transit aux intersections des lignes; les double-length lines ne disposant pas de cette possibilité. Les buffers 3 états peuvent être commandés à partir des sorties X,Y,XQ ou YQ de chaque CLB et ceci sur les long-lines horizontales qui peuvent ainsi constituer un ET câblé sur la largeur du réseau. Ces long-lines ont été conçues afin de pouvoir distribuer à tout le système des signaux critiques au point de vue temps de propagation ou de fan-out. Ces voies sont en général dédiées au routage des impulsions d'horloge ou de synchronisation d'un ensemble de CLB.

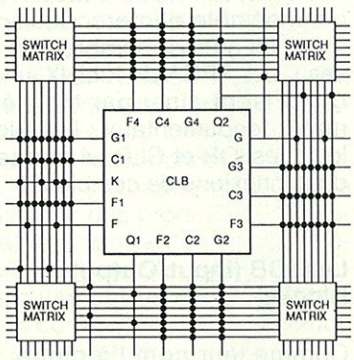


Figure 5

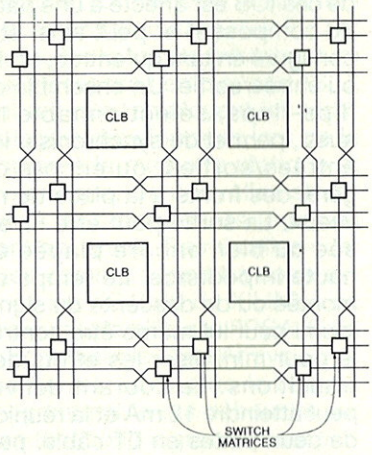


Figure 6

La reconfiguration

Un des avantages de cette gamme de produits réside dans sa méthode de configuration. En effet, on est bien loin des programmations de composants tels que les PROM, PAL ou GAL, où la

configuration était inscrite dans le chip puis installée dans le circuit. Là, la reconfiguration se fait à chaque initialisation du composant par chargement à partir d'une mémoire externe, série ou parallèle. Cette faculté autorise une grande flexibilité et une mise à jour aisée du système. Les nouvelles spécifications d'un projet peuvent être ainsi facilement implémentées. Par simple modification de la mémoire de configuration, la production spécifique et adaptée à un cas bien précis est possible. On peut même imaginer de modifier dynamiquement le composant pour disposer de fonctions différentes à divers moments. Suivant le contexte, et avec une circuiterie de diagnostic, le composant peut être reconfiguré pour s'intégrer plus efficacement à l'environnement.

Les produits disponibles

Le SOFT

Ces produits de XILINX se présentent comme des réseaux programmables dans lequel la configuration des connexions détermine le comportement du composant. Mais qui dit programmable et encore par un utilisateur non spécialisé, dit faculté de programmer ces composants. La puissance du composant nécessite également une puissante base logicielle pour pouvoir, de manière la plus simple possible, appliquer au chip la structure désirée.
XILINX fournit cet environnement sous la forme d'un atelier de développement appelé XACT pour XILINX AUTOMATIC CAE TOOLS. A partir de cet atelier, l'édition et la gestion du schéma, le placement et le routage peuvent se réaliser. Ceci avec les possibilités offertes par tout système informatique telles que le séquencement automatique des opérations allant de la conception de l'application à la génération de fichiers de rapport. L'édition de l'application peut se faire par la capture d'un schémas, d'une description de machine à états ou d'une liste d'équations booléennes. XILINX et d'autres sociétés ont développés des librairies et des produits qui s'interfacent avec un grand nombre d'éditeurs de schémas du marché. On peut ainsi récupérer des applications construites par Mentor, Orcad **(figure 7)**, ViewLogic ... De plus un format spécial XNF a été développé pour pouvoir s'adapter facilement à d'autres systèmes. Parmi les librairies, on retrouve un ensemble de macros représentant les fonctionnalités les plus usitées et communes comme les compteurs, les additionneurs. Ces macros ne sont autres que des packages prêts à l'emploi qui constituent la base de la circuiterie interne du composant.
Les logiciels de traitement implémentent ensuite cette configuration dans la puce, et ceci en conservant les caractéristiques de temps de traitement et de ressources du composant. Là intervient le logiciel et son rôle est de répartir les blocs élémentaires du circuit, leurs connexions avec un choix entre les différents modes (single, double ou long lines). Des librairies de macros hard sont aussi disponibles à cet effet, mais à la différence des macros logicielles précédemment citées, celles-ci contiennent des informations concernant le placement de des différents composants et du routage qui les unit. Ces macros pré-définies permettent d'utiliser des montages avec des critères de temps et d'optimisation importants. Ces macros, en effet, ont dû subir de nombreux tests d'implantation pour arriver au meilleur résultat possible. La configuration matérielle du composant a évolué au fur et à mesure que la configuration logicielle s'est peaufinée.

La méthodologie employée par le logiciel pour effectuer l'application se décompose en trois phases :
-un partitionnement des différents blocs qui constituent l'application, pour que la division de chacun de ses composants puisse rentrer dans les IOB et CLB disponibles. On retrouve ensuite deux problèmes courants dans les placements de circuits intégrés sur les plaques d'époxy. Le logiciel essaye de trouver la meilleure place possible en fonction des diverses liaisons avec les blocs adjacents et des performances demandées. Ensuite vient la phase de routage qui intégre les critères de vitesse sur les canaux disponibles. Les algorithmes demandés nécessitent une puissance de traitement importante et représentent une grosse partie de la valeur du kit de développement.

Conclusion

Les composants programmables font partie des dernières générations de circuits. Avec des possibilités de plus en plus évoluées, ils investissent des portions de l'électronique moderne de plus en plus grandes. Sans que pour autant les composants classiques ne soient condamnés, ils ont sur eux de nets avantages tout aussi bien au point de vue flexibilité que performance. Les productions en grande série mettent les plus simples à la portée de tous, tandis que des composants comme le XC4000 se révèlent plus du domaine des PME, PMI. Ce type de composants ouvre une nouvelle voie dans la création électronique comparable au changement que le circuit imprimé sur plaque bakélite a provoqué. Ce n'est plus à un routage avec des CIs et une plaque de cuivre mais à des blocs logiques et à des lignes de connexions que l'on a affaire. C'est dans l'air du temps, au même titre que les mémoires à circuits intégrés ont remplacé les mémoires à tores.

P. de Carvalho

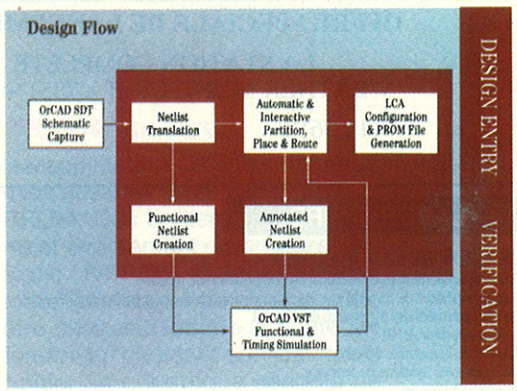


Figure 7

ETSF recherche auteurs. Contacter Claude Ducros au 42 00 33 05

Les microcontrôleurs SGS-Thomson ST6 (1)

Pendant de nombreuses années, SGS-Thomson s'est contenté de vendre en seconde source des microcontrôleurs développés par d'autres, Motorola en particulier, avec la famille 6805. Depuis 1992, ce n'est plus le cas puisque cette société propose sa propre famille de produits qui a pour nom ST6. Cet événement aurait justifié à lui seul que nous en parlions dans ces pages puisqu'il s'agit là du premier microcontrôleur français réellement commercialisé. Le fait que SGS-Thomson propose également un kit de développement, relativement complet et accessible à quasiment toutes les bourses, puisqu'il coûte environ 1800 francs, n'a fait qu'ajouter à notre désir de vous présenter ces produits. Nous verrons, plus avant dans cet article, quelles sont les possibilités les plus significatives de ce kit, mais commençons par le commencement avec la présentation de...

Le contenu du kit de développement ST 62XX

LA FAMILLE ST6

Conformément à une logique commerciale classique en ce domaine, ce n'est pas un microcontrôleur, mais toute une famille que SGS-Thomson a décidé de commercialiser sous l'appellation ST6 et même si, pour l'instant, les seuls boîtiers disponibles sont les ST 6210, 6211, 6215, 6216, 6220, 6221, 6225 et 6226 ainsi qu'un certain nombre de versions avec UVPROM (références identiques mais contenant la lettre E comme EPROM), de nombreuses autres références variées semblent être prévues. Souhaitons qu'elles voient effectivement le jour ce qui, il faut bien le reconnaître, n'est pas toujours le cas dans le domaine des microcontrôleurs.

Les microcontrôleurs de la famille ST6 sont particulièrement intéressants pour des applications unitaires ou en petite série car ils existent en version UVPROM d'une part, ce qui facilite les essais lors de la phase maquette d'un produit. Ensuite, en phase de production, ils sont disponibles en version ROM programmée par masque, bien sûr, pour les applications en grande série, mais aussi en version OTP ou OTPROM. Ces boîtiers se programment exactement comme les versions UVPROM et avec le même matériel mais ne peuvent ensuite être effacés. Comme la coûteuse fenêtre en quartz et son inévitable boîtier en céramique associé ne sont plus utiles, les versions OTP sont disponibles en boîtier plastique et sont notablement moins coûteuses. Précisons que les versions OTP portent les même références que les versions UVPROM où le E est simplement remplacé par un T.

Avant d'aller plus loin, le **tableau 1** présente les divers membres existant dans cette famille. Attention ! ce tableau est le résultat de la compilation de plusieurs documentations en notre possession. Selon l'origine des documents que vous pourrez être amenés à consulter, vous découvrirez peut-être des informations différentes ! On y retrouve les versions UVPROM et OTPROM respectivement affublées des lettres de référence E et T. Remarquez tout

REFERENCE	ROM	EPROM	OTP	E/S	CONVERTISSEUR A/D	RAM (Octets)	TIMER	NB DE PATTES
ST 6210	2K	-	-	12	8	64	1	20
ST 6211	2K	-	-	12	-	64	1	20
ST 6215	2K	-	-	20	16	64	1	28
ST 6216	2K	-	-	20	-	64	1	28
ST 6220	4K	-	-	12	8	64	1	20
ST 6221	4K	-	-	12	-	64	1	20
ST 6225	4K	-	-	20	16	64	1	28
ST 6226	4K	-	-	20	-	64	1	28
ST 62E20	-	4K	-	12	8	64	1	20
ST 62E25	-	4K	-	20	16	64	1	28
ST 62T10	-	-	2K	12	8	64	1	20
ST 62T15	-	-	2K	20	16	64	1	28
ST 62T20	-	-	4K	12	8	64	1	20
ST 62T25	-	-	4K	20	16	64	1	28

Tableau 1 : Les différents membres de la famille ST6

de même que, à ce jour, tous les boîtiers n'existent pas en UV-PROM ou OTPROM. Attention, donc, lors du développement d'une application à bien vérifier si le boîtier que vous avez retenu existe ou non. Pour la petite histoire, remarquez que les ST 62E10 et ST 62E15 n'existent pas d'après ce tableau (datant pourtant de début 1993) alors qu'ils sont contenus dans le kit en notre possession depuis plus d'un an....

VUE D'ENSEMBLE DE LA FAMILLE ST6

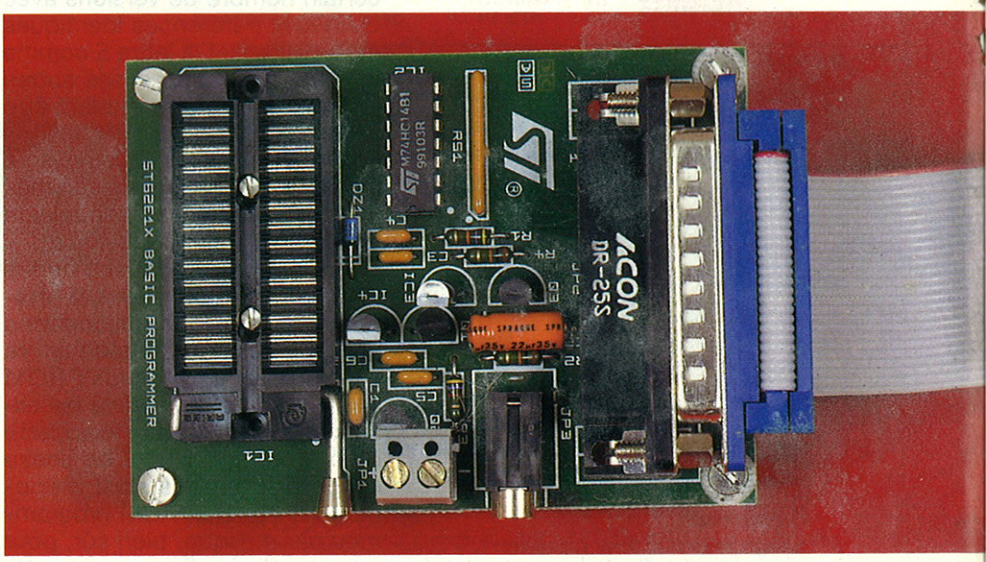
Les microcontrôleurs de cette famille sont tous des circuits statiques réalisés en technologie HCMOS. Cela signifie qu'ils peuvent tout à la fois travailler à des vitesses d'horloge relativement élevées mais aussi s'alimenter entre 3 et 6 V en ne consommant que quelques mA en fonctionnement. De plus, leur structure statique permet une mise en veille des circuits avec arrêt de l'horloge qui fait alors descendre la consommation vers les µA, ce qui est particulièrement intéressant pour certaines applications fonctionnant sur batteries par exemple.
La fréquence d'horloge maximum des ST6 est de 8 MHz mais cela ne signifie pas grand-chose puisque les instructions demandent entre 2 et 5 cycles de cette même horloge et s'exécutent donc en 3,25 à 8,125 µs, ce qui n'est pas un modèle de rapidité d'ailleurs pour un circuit mis sur le marché en 1992.
Les tailles de ROM internes sont indiquées dans le tableau vu ci-avant, nous n'y reviendrons donc pas. Pour ce qui est de la RAM sur les versions actuellement disponibles, elle est de 64 octets.

Les circuits disposent de 12 ou 20 lignes d'entrées/sorties (selon les références et les tailles de boîtiers). Selon une tradition bien établie maintenant chez les fabricants de microcontrôleurs, ces lignes sont programmables individuellement en entrées ou en sorties avec les variantes suivantes :
- Entrée simple,
- Entrée avec résistance de rappel au + de l'alimentation (résistance de pull-up),
- Entrée avec génération d'interruption sur un changement d'état,
- Sortie de type drain ouvert (nous sommes en technologie MOS et le drain ouvert est évidemment l'équivalent du collecteur ouvert),
- Sortie de type push-pull.

Enfin, un certain nombre de circuits disposent d'un convertisseur analogique/digital intégré. Les entrées/sorties peuvent donc aussi être utilisées comme entrées analogiques jusqu'à concurrence d'un nombre variable dépendant du nombre total d'entrées/sorties parallèles disponibles sur le boîtier. Le convertisseur est un modèle 8 bits, suffisant dans la majorité des applications faisant appel à un «petit» microcontrôleur.
Les circuits contiennent un timer et une fonction chien de garde (watchdog en bon anglais). Ils disposent enfin d'une entrée d'interruption externe non masquable, en plus bien sûr des sources internes que peuvent être les entrées, le convertisseur analogique/digital et le timer.
Le reste est plus classique pour qui a une petite expérience des microcontrôleurs ; on trouve, en effet :
- un oscillateur d'horloge intégré (à quartz seulement semble-t-il ce qui est un peu dommage) ;
- une circuiterie de reset automatique à la mise sous tension ;
- un jeu d'instructions puissant et des modes d'adressage variés mais tous les fabricants disent la même chose à ce sujet...

Architecture interne

La **figure 1** présente l'architecture interne de ces circuits que nous allons commenter au vu de ce que nous savons déjà. Remarquons tout d'abord qu'elle est de type classique (modèle de Von Neumann si vous préférez), car elle fait appel à une unité centrale et à des périphériques variés connectés sur un seul et même bus, interne bien sûr.
Nous y reconnaissons les principaux sous-ensembles que nous venons d'évoquer avec :
- l'oscillateur d'horloge ;
- la circuiterie de reset ;



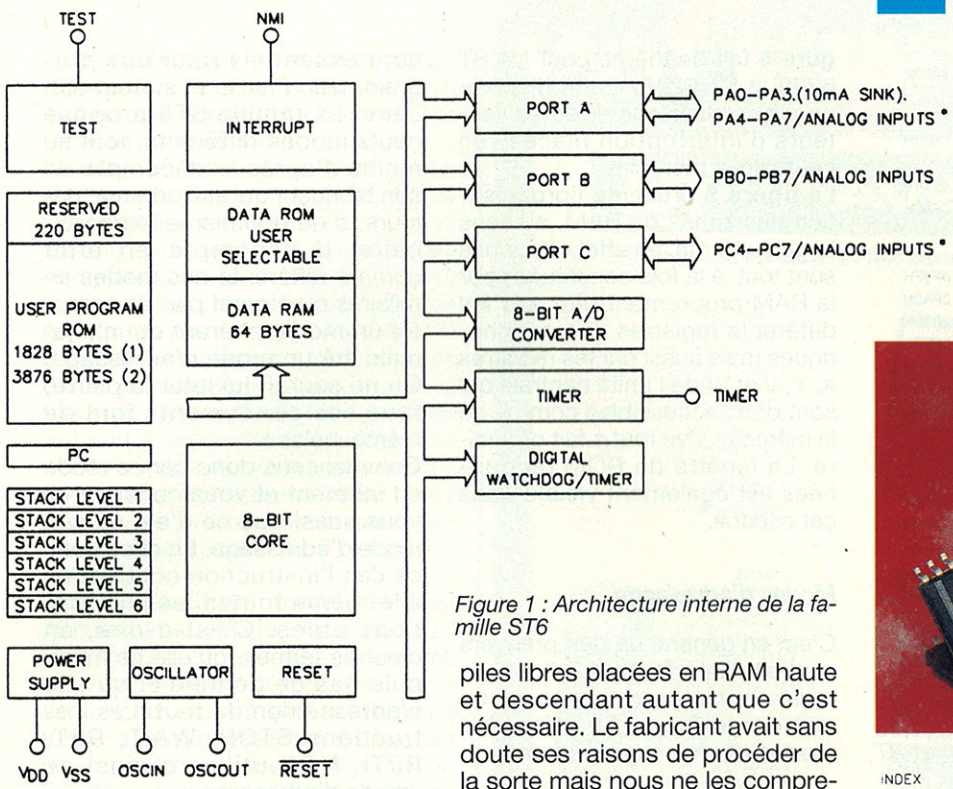
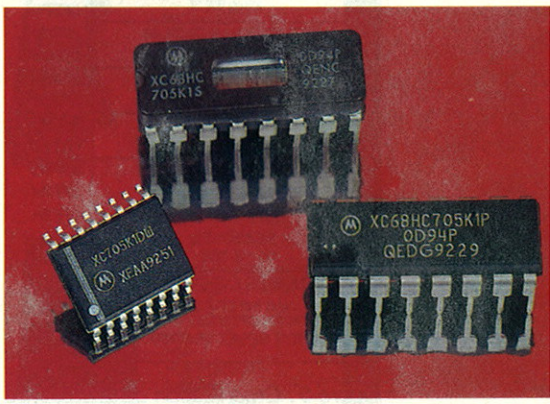


Figure 1 : Architecture interne de la famille ST6



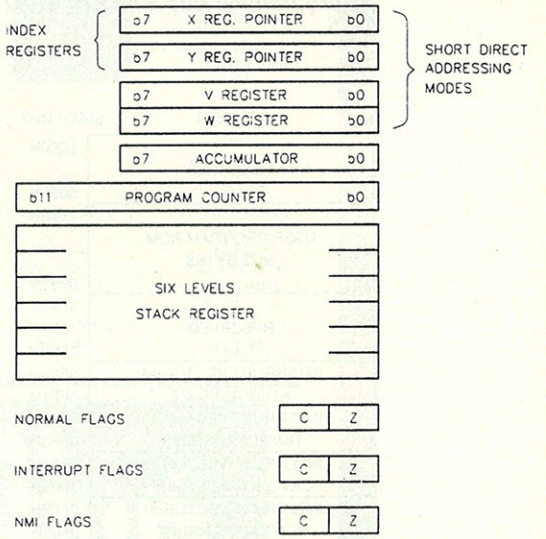


Figure 2 : Les registres internes de la famille ST6

- l'unité centrale de type 8 bits ;
- la RAM utilisateur ;
- la ROM divisée en ROM de programme et en ROM de données mais on peut considérer cela comme une simple vue de l'esprit si on le souhaite ;
- la circuiterie d'interruption non masquable externe ;
- les différents ports d'entrées/sorties A, B et C ;
- le convertisseur analogique/digital, étant entendu que l'entrée de celui-ci n'est accessible que via certains des ports qui perdent alors leurs fonctions premières dans ce mode ;
- le timer ;
- la circuiterie de chien de garde.

Nous remarquons aussi, sur la partie gauche de la figure, une zone appelée STACK LEVEL 1 à 6. En effet, la famille ST6 présente la particularité de disposer d'une zone de pile fixe de 6 niveaux au maximum. Cela signifie, entre autres choses, que les appels de sous-programmes imbriqués seront limités à 6 sous peine de perdre la première adresse de retour. Cela signifie aussi que la sauvegarde du contexte, en cas d'appel de sous-programme ou d'interruption, devra être faite à la main si elle doit être complète.

Personnellement, nous trouvons ce choix plus que discutable. Il nous fait revenir quinze ans en arrière par rapport aux circuits à piles libres placées en RAM haute et descendant autant que c'est nécessaire. Le fabricant avait sans doute ses raisons de procéder de la sorte mais nous ne les comprenons pas, en 1992 s'entend !

Ceci étant précisé, la **figure 2** nous montre les registres disponibles dans l'unité centrale, ce qui s'appelle encore le modèle du programmeur.

Nous y voyons, outre le compteur ordinal ou PC sur 12 bits (c'est suffisant vu les tailles maximum de ROM prévues), la zone de pile que nous venons d'évoquer, sur 12 bits également puisqu'elle doit pouvoir contenir le PC à chaque «étage».

Les registres de travail proprement dits sont au nombre de 5 :

- un accumulateur appelé A lors de l'assemblage ;
- deux registres d'index X et Y utilisés principalement pour les opérations d'adressage indexé, mais pouvant aussi servir de registres à usage général dans les autres cas ;
- deux registres V et W, utilisés aussi dans certains modes d'adressage mais pouvant eux aussi servir de registres à usage général bien sûr.

Notez que tous ces registres sont sur 8 bits puisque nous sommes en présence de microcontrôleurs 8 bits et que seul l'accumulateur A peut effectuer des opérations arithmétiques et logiques.

Nous remarquons également un certain nombre de bits d'état ou flags ou, plus exactement, trois fois le même groupe de 2 bits ce qui a de quoi surprendre. En fait, les ST6 ne disposent que de deux bits d'état : le bit C ou bit de retenue (C comme Carry) et le bit Z ou bit de zéro. Comme ils ne peuvent pas sauvegarder ces bits sur la pile lors des interruptions, trois jeux différents ont été prévus. Le jeu «normal» pour tous les modes de fonctionnement hors interruption, le jeu «interrupt» pour les modes d'interruption classiques et le mode «NMI» pour l'interruption non masquable externe. Aucune manipulation particulière n'est à faire pour utiliser un jeu ou l'autre. Selon le mode dans lequel se trouve le ST6, l'utilisateur a automatiquement accès au jeu qui convient, un point c'est tout.

Un dernier registre n'est pas visible sur cette figure et ne fait par partie, en temps que tel, du jeu de registres de l'unité centrale. Comme il est tout de même fortement apparenté, il nous semble rationnel de le présenter ici. Il s'agit du registre RDW ou re-

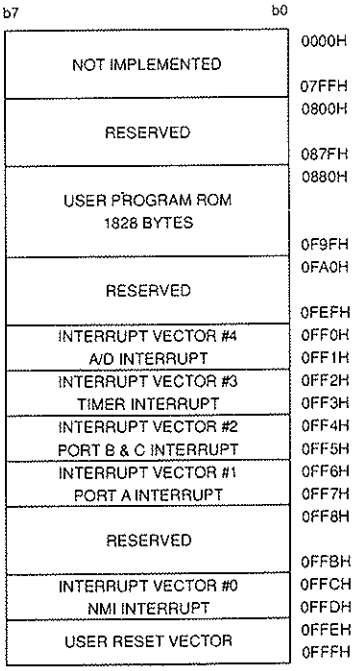


Figure 3 : Organisation de la mémoire de programme des ST 6210 et ST 6215

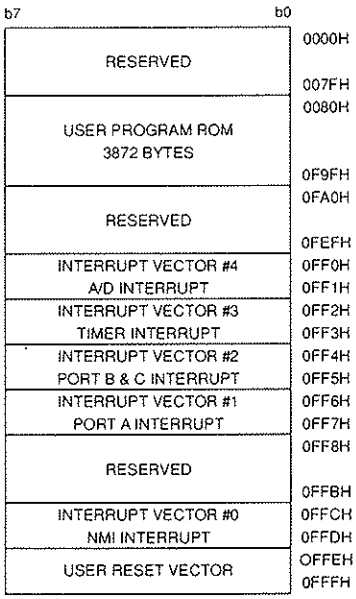


Figure 4 : Organisation de la mémoire de programme des ST 6220 et ST 6225

gistre de fenêtre de ROM de données (ROM Data Window).
Nous avons vu en effet que le ST6 disposait d'une zone de ROM de données. En fait, cette zone peut être placée n'importe où de 40 à 7F dans la ROM du circuit étant entendu qu'elle est accessible 64 octets par 64 octets à partir de l'adresse contenue dans le RDW.
La **figure 3** présente, quant à elle, la zone de mémoire morte affectée au programme dans les ST 6210 et ST 6215 tandis que la **figure 4** fait de même pour les ST 6220 et ST 6225. Cette disposition reste classique, avec les vecteurs d'interruption placés «en haut» de la mémoire.
La **figure 5** présente l'organisation des zones de RAM, au sens large du terme, en effet ces zones sont tout à la fois constituées par la RAM proprement dite, par les différents registres des périphériques mais aussi par les registres X, Y, V et W de l'unité centrale qui sont donc accessibles comme de la mémoire vive tout à fait ordinaire. La fenêtre de ROM de données est également visible dans cet espace.

Modes d'adressage

C'est en général un des premiers centres d'intérêt lorsque l'on examine un microprocesseur ou un microcontrôleur. En effet, des modes d'adressage performants sont essentiels pour une programmation facile et surtout efficace. La famille ST6 propose neufs modes différents, tout au moins d'après le décompte de son fabricant qui est, comme toujours, d'un optimisme extraordinaire. Il décompte en effet comme différents des modes similaires ou n'omet pas de compter un mode inhérent qui n'a jamais été un mode d'adressage. On ne saurait lui jeter la pierre, tous ses concurrents font de même, hélas !
Commençons donc par ce mode dit inhérent et vous constaterez vous aussi que ce n'est pas un mode d'adressage. En effet, dans ce cas l'instruction contient en elle-même toutes les informations utiles. C'est-à-dire, en d'autres termes, qu'elle ne manipule pas de donnée et qu'elle n'adresse rien du tout. Les instructions STOP, WAIT, RET, RETI, NOP utilisent ainsi ce «mode d'adressage».
Le mode suivant, plus réel, est le mode immédiat. Dans ce mode, par ailleurs présent sur tous les microcontrôleurs, la donnée manipulée par l'instruction suit immédiatement celle-ci. Ainsi, par exemple, LDI A,#N est-elle une instruction utilisant le mode d'adressage immédiat. La donnée N est chargée dans l'accumulateur A.
Vient ensuite le mode direct, à ne pas confondre avec le mode immédiat comme cela arrive parfois. Dans ce mode d'adressage, l'instruction est suivie par une adresse codée sur 8 bits. Cela signifie que n'importe quelle mémoire contenue en zone mémoire de données (RAM, registres, fenêtre de ROM) peut être atteinte par ce mode puisque 8 bits autorisent une amplitude de déplacement de 256 octets. Ainsi, LD A,$C0 charge le contenu de la mémoire d'adresse $C0 dans A, c'est-à-dire en fait le contenu du registre de données du PORT A dans l'accumulateur A.
Le mode direct court est un mode particulier qui permet en fait d'adresser les registres de l'unité centrale A, X, Y, V et W en une seule instruction codée sur un octet. Ainsi, DEC X qui diminue X d'une unité, est en mode d'adressage direct court ce qui est normal mais LD Y,A qui charge Y avec le contenu de A est également en mode direct court. Remarquez qu'il serait également possible de faire LD $81,A qui aurait le même effet mais serait

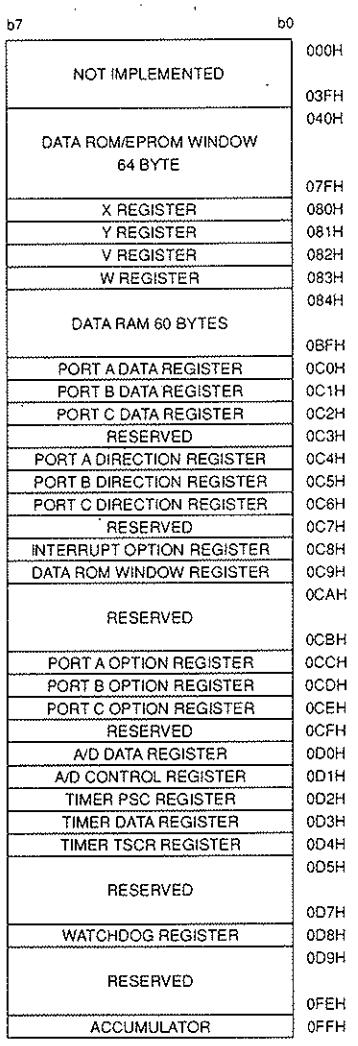


Figure 5 : Organisation de la mémoire de données des ST 6210, 6215, 6220 et 6225

alors en mode direct et demanderait deux octets puisque le registre Y est également accessible comme une RAM à l'adresse $81.

Le mode étendu, quant à lui, est un classique sur quasiment tous les microcontrôleurs et microprocesseurs. Il code l'adresse à traiter de façon complète c'est-à-dire ici sur 12 bits vu la taille de l'espace adressable. Afin de ne pas gaspiller de place, le ST6 est astucieux au niveau de ce mode d'adressage puisque ces 12 bits sont en fait constitués par l'octet qui suit l'instruction et quatre bits codés avec l'instruction elle-même. Cette façon de faire permet au mode étendu de ne consommer que 2 octets en tout, au lieu des 3 qui étaient prévisibles.

Le mode relatif par rapport au PC est lui aussi un grand classique puisqu'il permet d'effectuer des sauts lors des branchements conditionnels. Il code donc l'adresse à atteindre sous forme d'un déplacement à effectuer par rapport à la valeur courante du PC d'où son appellation. Compte tenu de son mode de codage, il n'autorise que des sauts d'amplitude réduite puisque l'on peut aller de -15 à +16 emplacements par rapport à celui où l'on se trouve. Il est donc bon d'y faire attention lors de l'utilisation des instructions de branchement conditionnelles.

Le mode bit direct est commun à un certain nombre de microcontrôleurs et s'avère très pratique à l'usage. Il permet en effet de positionner à un ou à zéro directement un bit quelconque situé à une adresse mémoire déterminée. Le numéro du bit est codé dans l'instruction elle-même, alors que l'adresse concernée est codée sur 8 bits après l'instruction et peut donc se trouver n'importe où dans la zone mémoire de données. Ainsi, l'instruction SET 4,$C2 positionne à 1 le bit 4 de la mémoire d'adresse $C2 c'est-à-dire en fait le bit 4 du port C.

Le mode indirect est lui aussi un grand classique de la micro-informatique. La donnée manipulée par l'instruction est en fait placée à l'adresse contenue dans un des registres d'indirection X ou Y. Comme ces registres ont une largeur de 8 bits, on peut, ici encore, accéder à toute la zone de mémoire de données. Ainsi, l'instruction LD A,(X) charge-t-elle dans l'accumulateur A la donnée qui se trouve à l'adresse contenue dans X.

Nous terminerons cette présentation le mois prochain avec un rapide survol du jeu d'instructions, la présentation des ressources internes et des interruptions ainsi que celle du kit de développement.

C. Broussas

SAINT QUENTIN RADIO

BI-WAVETEK

MULTIMETRES DIGITAUX PROFESSIONNELS SERIE 2000

NOUVEAU !

2010
MULTIMETRE
10 000 points
AC/DC de 100 mV à 1000 V
AC/DC de 1000 µA à 20 A
Ohmmètre de 100 Ω à 20 MΩ. Fréquencemètre, capacimètre, test diode et continuité + TTL + CMOS
Affichage LCD + Bargraph
touche Hold
Prix : **2125** F TTC
garantie 3 ans

2020
MULTIMETRE
10 000 points
AC/DC de 100 mV à 1000 V
AC/DC de 1000 µA à 20 A
Ohmmètre de 100 Ω à 20 MΩ. Fréquencemètre, capacimètre, test diode et continuité + TTL + CMOS
Affichage LCD + Bargraph
touche Hold
RMS vrai, touche peak
Prix : **2795** F TTC
garantie 3 ans

2030
MULTIMETRE
10 000 points
AC/DC de 100 mV à 1000 V
AC/DC de 1000 µA à 20 A
Ohmmètre de 100 Ω à 20 MΩ. Fréquencemètre, capacimètre, test diode et continuité + TTL + CMOS
Affichage LCD + Bargraph
touche Hold
RMS vrai, touche peak + précisions supérieures
Prix : **3165** F TTC
garantie 3 ans

DM 27 XL
MULTIMETRE NUMERIQUE
GRAND AFFICHEUR
17 mm
• Toutes les fonctions de base
Plus :
• CAPACIMETRE
5 gammes
• FREQUENCEMETRE
5 gammes
• TEST DIODE, LED, TRANSISTOR
• Précision de base : 0.5 %
Prix : **799** F TTC

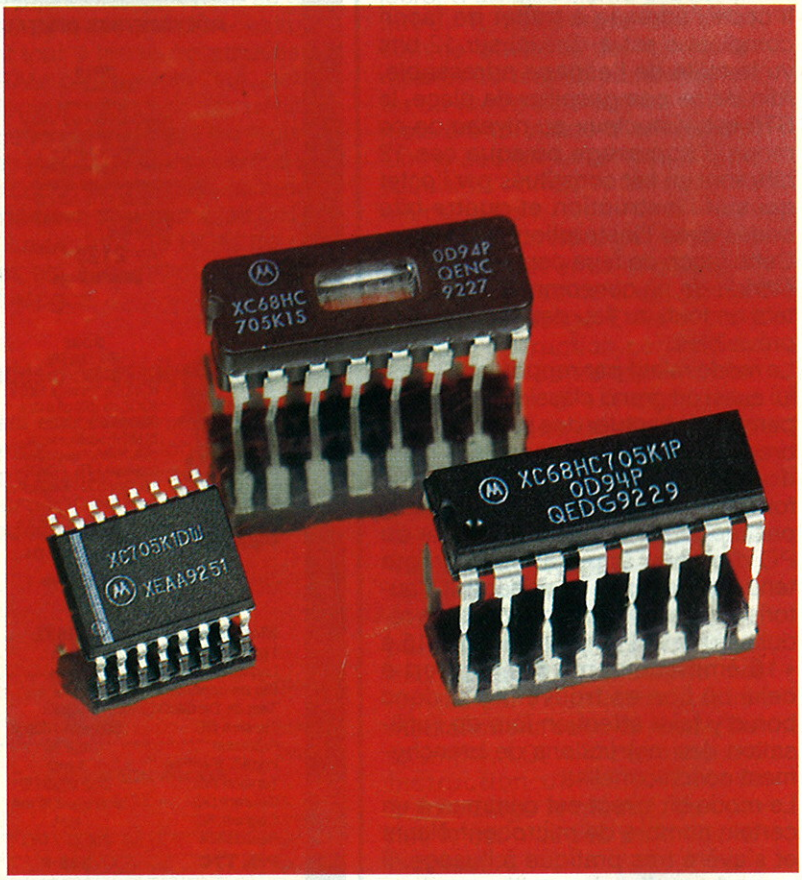
Modèles	DM5XL	DM10XL	DM15XL
Testeur Sécurité	Non	Oui	Non
Logique	Non	Non	Oui
Bip de continuité	Oui	Oui	Oui
Test de Diodes	Oui	Oui	Oui
Tension DC	200 mV-1000 V	200 mV-1000 V	200 mV-1000 V
Précision	0,8 %	0,7 %	0,5 %
Impéd. d'entrée	1 mΩ	10 MΩ	10 MΩ
Tension AC	200 V/500 V	200 V/750 V	220 mV/750 V
Courant DC	200 µA-200 mA	200 µA-10 A	200 µA-10 A
Courant AC	N/A	N/A	200 µA-10 A
Résistance	200 Ω-2 MΩ	200 Ω-20 MΩ	200 Ω-2000 MΩ
Prix TTC	**349 F**	**399 F**	**479 F**

CATALOGUE COMPOSANTS ELECTRONIQUES
92
15 F au comptoir - 30 F par correspondance

SAINT QUENTIN RADIO
6, rue de St-Quentin, 75010 PARIS
Tél. (1) 40.37.70.74 - Fax (1) 40.37.70.91
Horaires d'ouvertures : du lundi au vendredi de 9 h 30 à 12 h 30 et de 14 h à 19 h - Le samedi de 9 h 30 à 12 h 30 et de 14 h à 18 h 30.
Service expédition : minimum 50 F - de 1 kg à 3 kg : 28 F, colissimo : 38 F - de 3 kg à 7 kg : 45 F, colissimo : 49 F - + de 7 kg : SNCF en sus. Mode de paiement : Mandat - Chèque - CCP - Carte Bleue - contre remboursement minimum de commande 150 F. Ex. : frais PTT 1 kg : 65 F

Présentation du 68HC705K1

Le 68HC705K1 récemment introduit par Motorola est destiné à remplacer les automates simples (ouverture de porte...) qui étaient souvent réalisés à l'aide de quelques circuits logiques. Il dispose du jeu d'instructions de la famille 68HC05 (STOP, WAIT et MUL ajoutés au jeu du 6805). Disponible dans un boîtier 16 pattes, l'équipement de ce circuit est proche du 68705P3 (place oblige), mais il bénéficie d'avantages sur son illustre prédécesseur que nous allons découvrir.



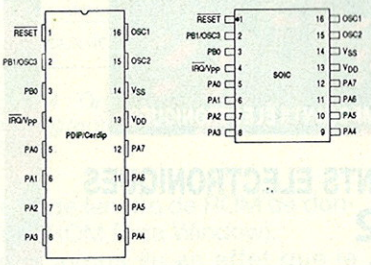


Figure 1 : brochage des boîtiers.

Première esquisse

La **figure 1** donne le brochage des boîtiers. Le K1 est disponible en version CERDIP, effaçable pour la mise au point du prototype, mais aussi en version plastique, programmable une fois (OTPROM) d'un coût qui doit être résolument attractif. Ce circuit est alimenté sous 5 V (2,6 mA à 4,2 MHz) mais peut l'être aussi sous 3,3 V (0,7 mA à 2,1 MHz). Sa consommation tombe encore de moitié dans le mode WAIT et à quelques centaines de nA dans le mode STOP.
Ce circuit, taillé exclusivement pour effectuer des opérations simples, dispose de 504 octets d'EPROM pour le programme, de 64 bits d'EPROM pour la «personnalisation», et de 32 octets de RAM pour les données et la pile (stack). Il est équipé d'un TIMER qui sert aussi de gendarme (COP) ; d'autres systèmes de sécurité, autour du RESET, fiabilisent le fonctionnement de ce circuit comme le montre la structure interne du circuit (**figure 2**).

DESCRIPTION DU 68HC705K1

La zone mémoire s'étend sur 1 Koctets, les registres d'entrées/sorties sont situés dans les 32 premières adresses (**figure 3**), nous allons y revenir plus en détail, sauf cas particuliers ils sont en lecture /écriture. Les 32 octets de RAM commencent en $00E0. La pile (le stack) descend à partir de $00FF. L'appel à un sous-programme nécessite deux octets et il en faut cinq pour la gestion d'une interruption ; lors de la programmation il faudra en tenir compte... A partir de l'adresse $0200 on dispose de 496 octets pour le programme. Enfin 8 octets d'EPROM à partir de l'adresse $03F8 sont réservés pour les vecteurs (TIMER, IRQ, SWI et RESET). Une dernière case EPROM est située à l'adresse $018, il s'agit du registre MOR.

Le registre MOR

A la mise sous tension le 68HC705 doit connaître sa configuration de travail, ces informa-

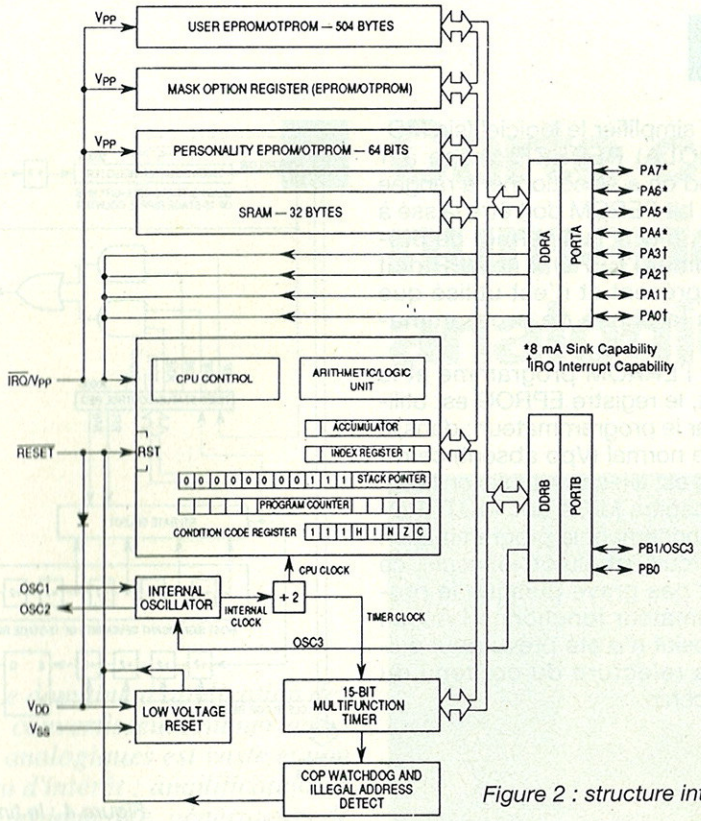


Figure 2 : structure interne.

	Bit 7	6	5	4	3	2	1	Bit 0	
$0000	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PORTA
$0001	0	0	0	0	0	0	PB1	PB0	PORTB
$0002	—	—	—	—	—	—	—	—	UNUSED
$0003	—	—	—	—	—	—	—	—	UNUSED
$0004	DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0	DDRA
$0005	0	0	0	0	0	0	DDRB1	DDRB0	DDRB
$0006	—	—	—	—	—	—	—	—	UNUSED
$0007	—	—	—	—	—	—	—	—	UNUSED
$0008	TOF	RTIF	TOIE	RTIE	TOFR	RTIFR	RT1	RT0	TSCR
$0009	Bit 7	6	5	4	3	2	1	Bit 0	TCNTR
$000A	IRQE	0	0	0	IRQF	0	IRQR	0	ISCR
$000B	—	—	—	—	—	—	—	—	UNUSED
$000C	—	—	—	—	—	—	—	—	UNUSED
$000D	—	—	—	—	—	—	—	—	UNUSED
$000E	PEB7	PEB6	PEB5	PEB4	PEB3	PEB2	PEB1	PEB0	PEBSR
$000F	PEDATA	0	PEPGM	0	0	0	0	PEPRZF	PESCR
$0010	PDIA7	PDIA6	PDIA5	PDIA4	PDIA3	PDIA2	PDIA1	PDIA0	PDRA
$0011	—	—	—	—	—	—	PDIB1	PDIB0	PDRB
$0012	—	—	—	—	—	—	—	—	UNUSED
.									
.									
.									
$0016	—	—	—	—	—	—	—	—	UNUSED
$0017	SWPDI	PIN3	RC	SWAIT	LVIE	PIRQ	LEVEL	COPEN	MOR
$0018	0	0	0	0	0	ELAT	MGPM	EPGM	EPROG
$0019	—	—	—	—	—	—	—	—	UNUSED
.									
.									
.									
$001E	—	—	—	—	—	—	—	—	UNUSED
$001F	—	—	—	—	—	—	—	—	RESERVED
$03F0	—	—	—	—	—	—	—	COPC	COPR

Figure 3 : registre d'entrées/sorties.

tions sont contenues dans ce registre. L'EPROM vierge est à zéro, ce sera la configuration par défaut de ce registre programmable.

L'oscillateur

Une multitude de configurations sont possibles, le bit 5 du MOR configure le mode Quartz ou résonateur Ceramic ou entrée externe (par OSC1), une résistance interne de 2 Mohms entre OSC1 et OSC2 assure le démarrage de l'oscillateur. En entrée externe, il peut fonctionner en statique, la fréquence peut tomber à zéro! (Après un RESET, le microcontrôleur attend 4064 cycles avant de démarrer).
Pour tous ces modes, le montage est identique à celui du P3 ! Un quartz et deux capacités de 20pF environ.
Pour des applications ne nécessitant pas de précision, deux circuits «RC» sont possibles, il faut mettre RC du MOR à 1.
Pour une fréquence de travail haute (2MHz), un simple circuit RC suffit. R est placé entre OSC1 et OSC2, C entre OSC1 et la masse.
La fréquence sera :
Fosc= 1/(2,28RC).
En dessous de 1 MHz, il faut mettre en plus le bit 6 du MOR à 1. Deux résistances et une capacité sont nécessaires, PB1 est aussi réquisitionné. Cette configuration n'offre d'intérêt que si l'on souhaite réduire la consommation du circuit (en dessous du mA !).
Dans tous les cas, la fréquence interne (Fint) (pour le calcul des temps d'exécution des instructions) est égale à Fosc/2.

Remise à zéro

A la mise sous tension, le circuit RC classique assure la remise à zéro du circuit. Un signal de RAZ est aussi généré sur d'autres conditions : la faible tension d'alimentation (en dessous de 3,5 V et si LVRE = 1), si le CPU cherche un code opératoire en dehors de la RAM ou l'EPROM, si le gendarme (COP) a été armé (COPEN = 1) et si on n'a pas écrit un 0 dans le registre COPR depuis un certain temps.

Les ports A et B

Ils sont gérés classiquement par les registres PORTX et DDRX, toutefois, grâce à un troisième registre PDRX, il est possible de connecter des «Pull Down» sur les pattes quand elles sont configurées en entrées. Ces résistances sont en fait des transistors montés en puit de courant (0,1 mA). Lors d'une RAZ, la mise à zéro des PDRX entraîne la mise en SERVICE des Pull Down puisque les DDRX sont aussi mis à zéro.
La raison de cette «originalité» se comprend si l'on a déjà vu un automate «s'emballer» au moment d'une RAZ parce que les lignes d'action étaient «flottantes» à cet instant.
On peut inhiber toutes les pull-down en mettant à 1 le bit 7 du MOR. PA0, PA3 peuvent être uti-

lisés pour générer une interruption.
Configurés en sortie, ces ports peuvent absorber 8 mA (0,5volt) (sur A).

Le timer multifonction

Deux interruptions peuvent être créées par ce timer : l'IT TIMER et l'IT TEMPS REEL. Le COP active le RESET.
Le schéma interne est donné dans la **figure 4**.
La fréquence Fint est divisée par quatre avant d'être appliquée à un compteur huit bits, initialisée lors du RESET ; il ne peut pas être modifié par logiciel, il compte sans arrêt. Sa valeur courante est contenue dans TCNTR. Quand il passe de $00 à $FF il positionne TOF(Timer Overflow) à 1, si TOIE est à 1 (et I du status du CPU à 0, à ne pas oublier), une interruption est générée. En écrivant un 1 dans TOFR, on remet à zéro le bit TOF. Pour l'IT TEMPS REEL, les trois bits RTIF,RTIE et RTIFR s'utilisent comme les trois bits précédents. TOFR et RTIFR sont toujours lus à zéro (les instructions BCLR ou BSET sont utilisables).
Enfin, RT1, RT0 sélectionnent la période de l'IT TEMPS REEL (00 : pour la plus rapide). Pour que le COP soit opérationnel, il faut mettre COPEN à 1 (dans le MOR). L'instruction STOP arrête l'oscillateur interne, par conséquent le TIMER et le COP deviennent inopérants. Pour contourner ce problème, en mettant à 1 SWAIT on transforme l'instruction STOP en WAIT, ainsi le COP (et le TIMER) est toujours opérationnel. Rappelons qu'on sort du mode STOP ou WAIT par une IT.

L'EPROM de personnalisation

Soixante-quatre bits EPROM peuvent être programmés afin de personnaliser le produit (numéro de série, option de l'applicatif.). On programme cette zone indépendamment de la partie EPROM.
Ces bits ne sont pas visibles dans l'EPROM, on accède à cette zone par les deux registres PEPROM ($0E et $0F). Les 64 bits sont répartis sur une matrice de 8 par 8 et pour connaître la valeur d'un bit il faut indiquer dans PEBO, PEB1,PEB2 la rangée et dans PEB4,PEB5,PEB6 la colonne. Dans PEDATA on trouve la valeur du bit sélectionné.
Pour simplifier le logiciel (sic MOTOROLA) PEPRZF passe à 1 quand on a sélectionné la rangée 0. Le bit PEPGM doit être laissé à zéro ; mis à 1, il permet de programmer l'EPROM (le VPP doit être présent et n'est utilisé que dans la phase de programmation).
Pour l'EPROM programme et le MOR, le registre EPROG est utilisé par le programmateur ; dans le mode normal (Vpp absent) ce registre est à lecture seule (on lit 0!). Le chapitre (de la doc MOTOROLA) concernant la programmation du circuit est plutôt «obscur», ce n'est pas grave puisque le programmateur fonctionne ! Aucun dispositif n'a été prévu pour éviter la relecture du contenu du monochip.

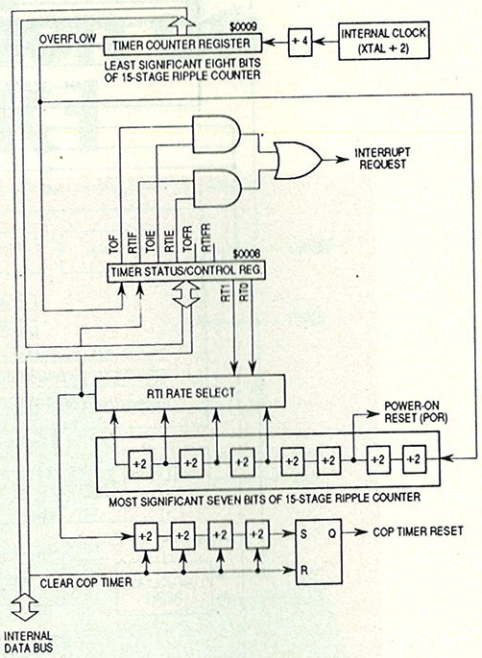


Figure 4 : le timer.

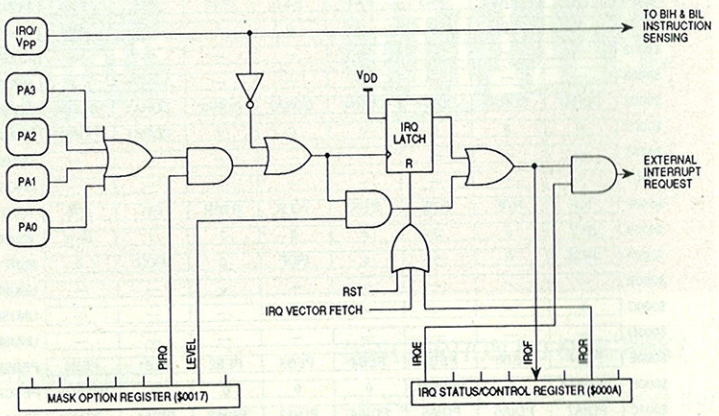


Figure 5 : gestion de L'IT extérieure.

L'interruption IRQ

Le schéma de la **figure 5** résume les modes de fonctionnement possible de l'IRQ. Les lignes PA0...PA3 peuvent être utilisées pour déclencher l'IT. Le choix entre une interruption sur front ou sur le niveau est possible par le bit LEVEL. Côté gestion de l'IRQ, il est possible d'inhiber l'IT, d'effectuer une remise à zéro de la bascule, et d'en avoir l'état par le bit IRQF.
Par ce dispositif, même si l'IRQ du CPU est bloqué (I = 1 du status), on peut gérer une interruption «en attente» par logiciel.

L'AVENIR DU K1.

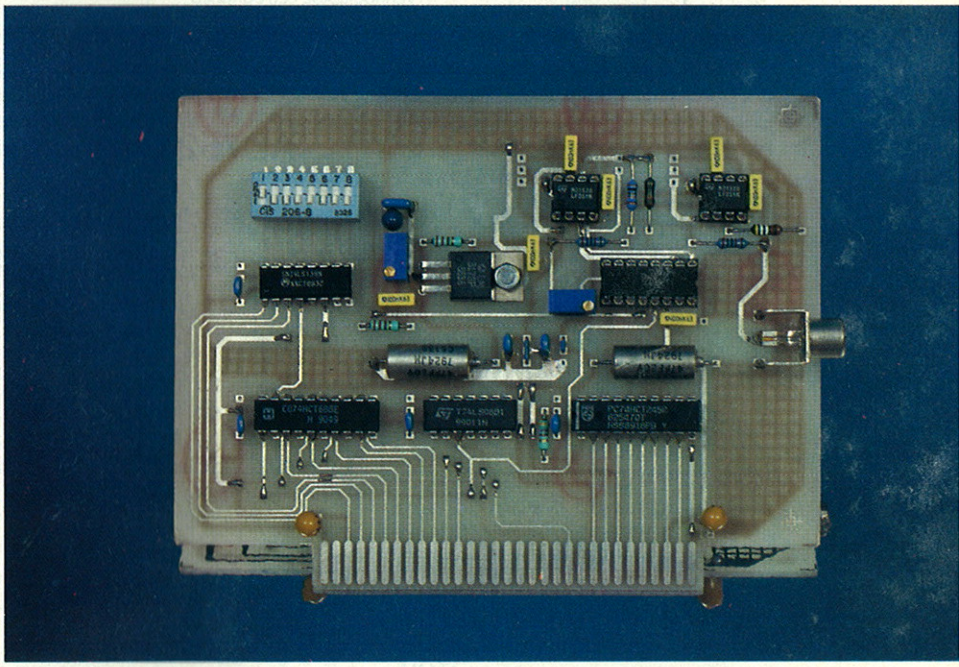
Le 68HC705K1 a été conçu pour remplacer des automates simples conçus habituellement avec de la logique discrète. Des dispositifs particuliers ont été prévus pour répondre à ce type d'application. La diminution du nombre de composants qu'entraînera l'utilisation du K1 permettra de diminuer le coût et d'accroître la fiabilité. Enfin, pour modifier l'automate, il suffira de changer le K1, aucune intervention HARDWARE ne sera nécessaire. Le 68HC705K1 : le 74(LS)00 de l'an 2000 ? Peut-être !

Pour notre part, dans un avenir proche, nous vous fournirons en description les outils de développement nécessaires à son exploitation avec une carte programmateur et des logiciels (Motorola) sur notre serveur 3615 ERP.

J.-P. Jacquet

Carte convertisseur numérique-analogique pour PC

Le domaine d'application des convertisseurs numériques-analogiques est vaste et non dépourvu d'intérêt : amplificateurs à gain programmable, générateurs de fonctions, atténuateurs, etc. Celui que nous vous proposons dans cet article se présente sous la forme d'une carte courte pour PC et compatibles 8 bits et plus. Sans être extraordinaires, ses performances sont très honorables et vous permettront de synthétiser des tensions sur une plage de 10 V avec une résolution de 40 mV.

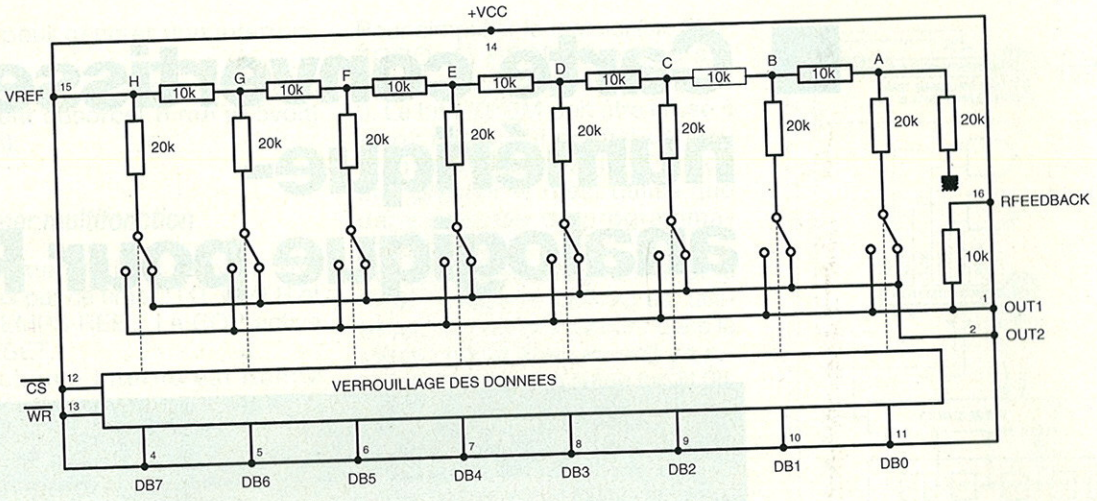


LE CNA AD7524

C'est un convertisseur numérique-analogique en boîtier 16 broches relativement rapide puisque son temps de conversion se situe aux alentours de 100ns. Ses entrées numériques utilisent un verrouillage des données, ce qui simplifie au maximum sa mise en œuvre et son interfaçage au bus du PC. Il suffit d'adresser sa logique et d'y écrire l'octet voulu pour trouver en sortie la tension analogique correspondante. Le procédé de conversion qu'il utilise est basé sur le principe d'un réseau de résistances de précision, réseau que l'on nomme R-2R et que nous aborderons dans le paragraphe suivant. L'AD7524 ne nécessite pour fonctionner qu'une seule tension d'alimentation qui peut être de 5 V, une tension de référence, quelques composants périphériques peu nombreux et, bien sûr, la logique d'interfaçage au bus. Pour conclure, c'est un composant peu coûteux, ce qui n'est pas à négliger. Son schéma équivalent est donné à la **figure 1**. Nous allons maintenant aborder le fonctionnement un peu plus approfondi de l' AD7524.

Le réseau R-2R

Sa représentation schématique se trouve dessinée à la **figure 2.** Comme vous pouvez le constater, on peut difficilement faire plus simple. Ce qui importe dans ce genre de réseau, ce n'est pas tant la valeur des résistances, mais le rapport qui existe entre elles, et qui doit impérativement être de 2. La résistance R doit avoir pour valeur l'exacte moitié de la valeur de la résistance 2R. Inutile de vous dire que ces résistances ne sont pas à tolérance de 5%! Les interrupteurs SW0 à SW7 commutent les résistances 2R0 à 2R7, soit à la masse lorsque les bits de données correspondants sont à 0, soit à l'entrée inverseuse de l'amplificateur opérationnel de sortie lorsque les bits correspondants sont à 1. Ce réseau R-2R est alimenté par une tension de référence.
Considérons maintenant le cas



AD7524

Figure 1.

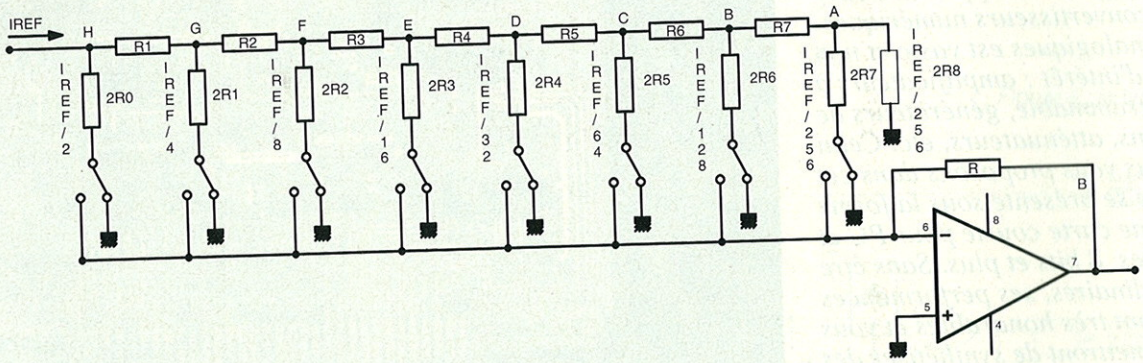


Figure 2.

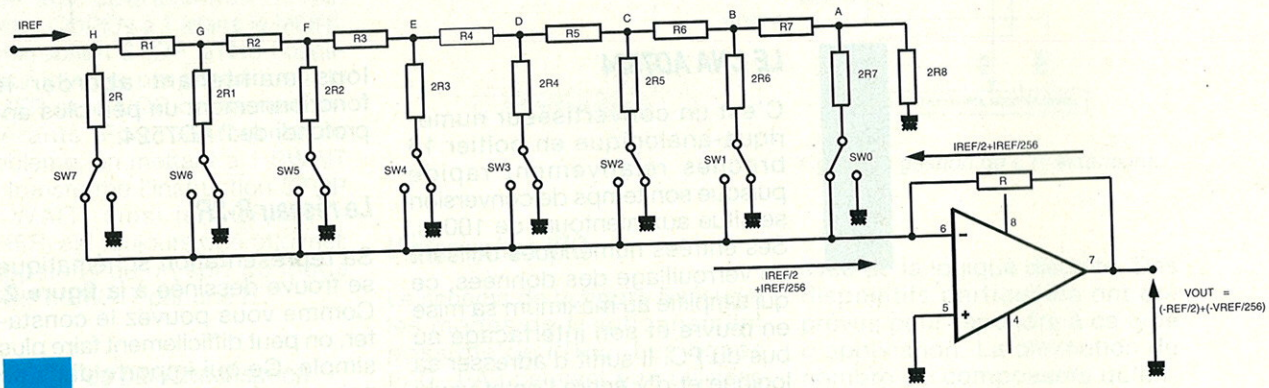
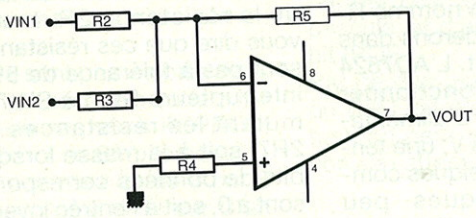


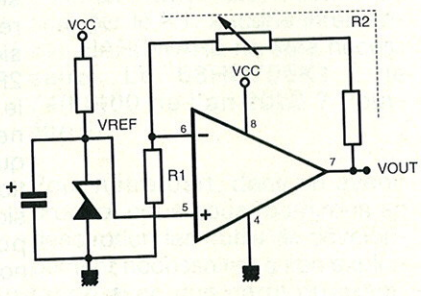
Figure 3.



R4=R2//R3//R5

VOUT=-(VIN1/R2+VIN2/R3)R5

Figure 4.



VOUT=VREF(1+R2/R1)

Figure 5.

de la figure 2 du point de vue de son fonctionnement électrique. Tous les bits de données sont positionnés à 0. Toutes les résistances R,2R ont donc un de leurs pôles relié à la masse. Partons de la résistance 2R8. Elle est donc en parallèle avec la résistance 2R7, et en série avec la résistance R7, ce qui donne :
2R8 // 2R7 + R = R + R7 = 2R.
Cette dernière résistance 2R est elle-même en parallèle avec la résistance 2R6 et en série avec R6 ... Et ainsi de suite jusqu'à ce que nous arrivions au point H. Ici se situe le point d'entrée de la tension de référence dans le réseau. A cet endroit, le courant Iref rencontrant deux résistances de même valeur se divise en deux ; 2R est donc traversée par Iref/2. R1 également, puisque vu de l'entrée, elle a la même valeur que 2R. Arrivé au point G, Iref/2 se divise à nouveau par deux : 2R1 est traversée par Iref/4, ainsi que R2. Celà se poursuit jusqu'au nœud A, où Iref n'est plus égal qu'à 1/128 de sa valeur d'origine ; là, il subit à nouveau une division par deux, et ce n'est plus qu'un courant de 1/256 de Iref qui traverse 2R7 et 2R8. Pour résumer, nous aurons donc :
Vref/2 au point H
soit 5 V
Vref/4 au point G
soit 2,5 V
Vref/8 au point F
soit 1,25 V
Vref/16 au point E
soit 0,625 V
Vref/32 au point D
soit 0,3125 V
Vref/64 au point C
soit 0,15625 V
Vref/128 au point B
soit 0,07812 V
Vref/256 au point A
soit 0,03906 V

Le convertisseur AD7524 en fonctionnement

Considérons le schéma représenté à la **figure 3**. Nous avons envoyé l'octet 129 en décimal au CNA (Convertisseur Numérique Analogique). Il s'est empressé de fermer ses interrupteurs SW7 et SW0. A l'entrée inverseuse de l'amplificateur opérationnel nous nous trouvons donc en présence d'un courant égal à : Iref/2 + Iref/256. Mais comme un amplificateur opérationnel monté en amplificateur inverseur a la particularité d'avoir son entrée - (moins) pratiquement au potentiel de la masse (masse virtuelle), la quasi-totalité du courant (Iref/2+Iref/256) transite par la résistance de contre-réaction R.
(-Iref/2)+(-Iref/256).
Nous avons donc aux bornes de la résistance une d.d.p. que nous allons calculer :
Vref = 10 V
Iref = 10 V / 10000 = 1 mA
(-Iref/2)+(-Iref/256) =
0,5 + 0,0039 = 0,5039 mA
Ur = 0,5039 x 10 = 5,039 V
Nous aurons donc bien en sortie de l'amplificateur opérationnel une tension négative de 5,039 V, ce dernier étant monté en inverseur/convertisseur courant-tension.

LA CARTE CONVERTISSEUR

Notre carte convertisseur aura donc une résolution d'environ 0,04 V par pas. Comme vous avez pu le constater, si nous employons une Vref positive, nous aurons en sortie une tension négative. A l'inverse, si nous prenons une tension Vref négative, nous aurons une tension positive en sortie de l'amplificateur opérationnel.
Nous avons pensé qu'il serait plus opportun de prévoir une tension de sortie bipolaire, c'est-à-dire pouvant varier de – 5 V à + 5 V. Rien n'est plus simple. Reportez-vous à la **figure 4**. Nous avons fait suivre l'amplificateur opérationnel de sortie du CNA par un second AOP monté en ampli sommateur. Son fonctionnement est le suivant : R2 est égale à R5, la résistance de contre-réaction, ce qui nous fait un gain de 1 ; R3 est égale à R5 / 2 et donne un gain de 2. La résistance R2 a l'un de ses pôles relié à la tension de REF. Supposons que nous ayons écrit l'octet 1 0 0 0 0 0 0 0 dans le CNA et que nous ayons donc -Vref/2 (soit -2,5 V) en sortie du premier AOP. Au noeud A, nous aurons (- 2,5 V x 2) + 5V de Vref, ce qui nous fera bien 0V en sortie. Prenons un second exemple :
octet 0 0 0 0 0 0 0 0 soit 0/256 de -Vref = 0 V
0 V (R5/R2) = 0 V
5 V (R5/R3) = 5 V
5 V + 0 V = 5 V qui deviennent -5 V puisque l'ampli est monté en inverseur.

La tension de référence

Cette tension de référence doit être très stable puisque c'est de sa stabilité que dépendra la tension de sortie. Imaginez un peu les résultats déplorables qu'entraîneraient une simple fluctuation de 2 ou 3/10 de volt de cette tension, alors que la résolution d'un bit est de 4/100 de volt.
Nous avons prévu deux moyens pour la «fabriquer» :
1/ le premier est le plus simple. Ce n'est pas à proprement parler une vraie source de tension de référence. Mais, suivant l'usage que vous ferez de votre carte, elle pourra très bien convenir dans la majorité des cas. Nous avons utilisé pour celà un simple LM317, régulateur de tension bien connu de la plupart d'entre vous. Il a des caractéristiques plus qu'honorables en régulation de ligne, puisqu'elles sont de 0,01%.
2/ le deuxième moyen est un peu plus complexe (quoique...), mais les résultats sont à la hauteur de cette complexité. Nous avons pour celà fait appel à une vraie tension de référence en employant une Zener haute précision et stabilité, la LM336, dont la tension Zener de 2,5 V est amplifiée à l'aide d'un amplificateur opérationnel monté en source de tension. Le schéma est donné à la **figure 5**. La tension de sortie est règlable par une résistance ajustable multitours.
NOTE.
Nous avons fixé la tension de référence à + 5 V car une tension de sortie bipolaire de - 5V à + 5 V nous a paru la plus pratique et la plus appropriée dans beaucoup de cas. Celà ne vous oblige nullement à nous suivre dans cette voie. Vous pourrez à votre aise diminuer ou augmenter cette tension Vref.

Le décodage des adresses

Le schéma d'ensemble du circuit est donné **figure 6**. Le décodage des adresses de notre carte ne nécessite que quatre boîtiers. Nous aurions pu réduire ce nombre à trois en ne nous servant pas d'une porte AND (IC4A). Mais nous préférons toujours isoler toutes les lignes du bus du PC, des cartes que nous insérons dans des slots. Nous pensons que c'est une sécurité qui ne coûte pas bien cher. Huit adresses sont disponibles sur la carte par la manœuvre des huit petits commutateurs. Vous aurez ainsi la place en mémoire pour l'insertion de futures cartes d'entrées-sorties.

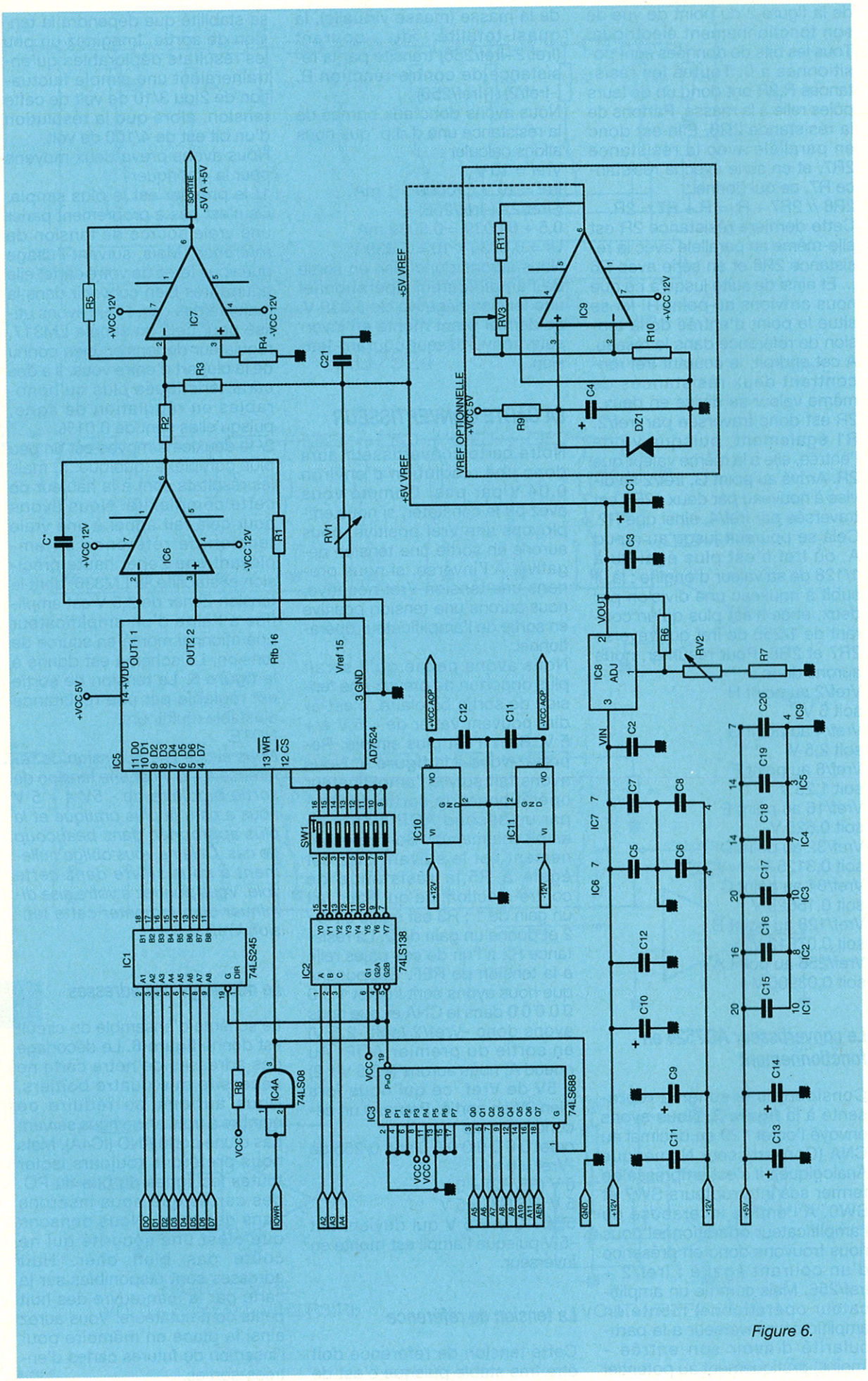

SORTIE -5V A +5V
IC7
IC6
IC9
R1
R2
R3
R4
R5
R9
R10
R11
RV1
RV3
C*
C1
C3
C4
C21
DZ1
+VCC 12V
-VCC 12V
+VCC 5V
+5V VREF
VREF OPTIONNELLE
IC5
AD7524
OUT1 1
OUT2 2
Rfb 16
Vref 15
3 GND
14 +VDD
13 WR
12 CS
11 D0
10 D1
9 D2
8 D3
7 D4
6 D5
5 D6
4 D7
IC1
74LS245
IC2
74LS138
IC3
74LS688
IC4A
74LS08
SW1
R8
VCC
DOWR
IC8
ADJ
VOUT
VIN
R6
RV2
R7
C2
C5
C6
C7
C8
C9
C10
C11
C12
C13
C14
C15
C16
C17
C18
C19
C20
IC10
IC11
+VCC AOP
-12V
+12V
GND
IC4
IC5
IC7
IC9

Figure 6.

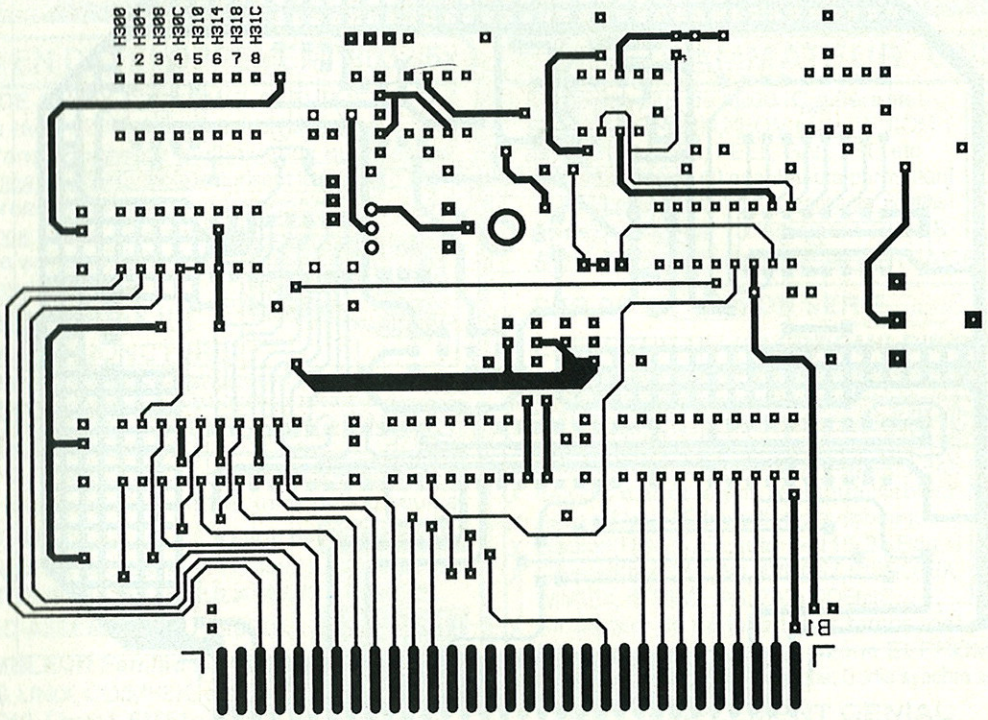


Figure 7.

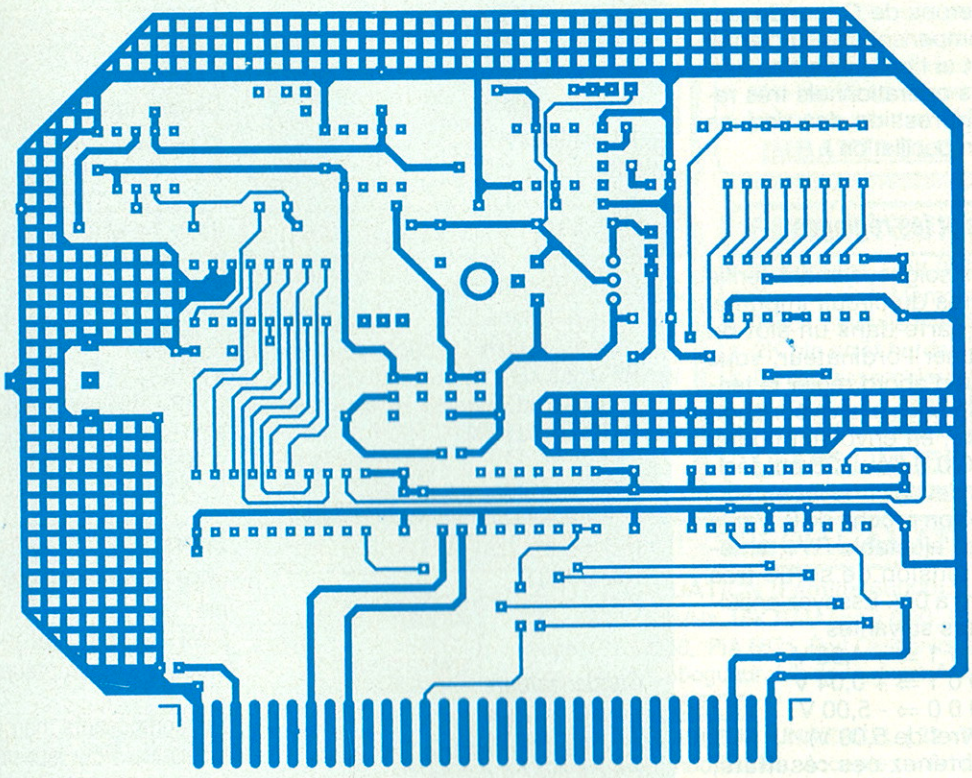


Figure 8.

Réalisation de la carte

Le circuit imprimé côté composants est donné à la **figure 7**, celui côté soudures à la **figure 8**. Pour l'implantation des composants, vous pourrez vous reporter à la **figure 9**. Pour ce qui est de la tension de référence, quand vous choisirez l'option,vous implanterez soit le LM317 et ses composants périphériques, soit les composants mis dans une fenêtre et marquée Vref optionnelle.

Même chose pour l'alimentation des deux amplificateurs opérationnels IC6 et IC7. Ils sont normalement alimentés en + 12 V et -12 V prélevés sur le PC. Il est prévu sur la carte l'implantation

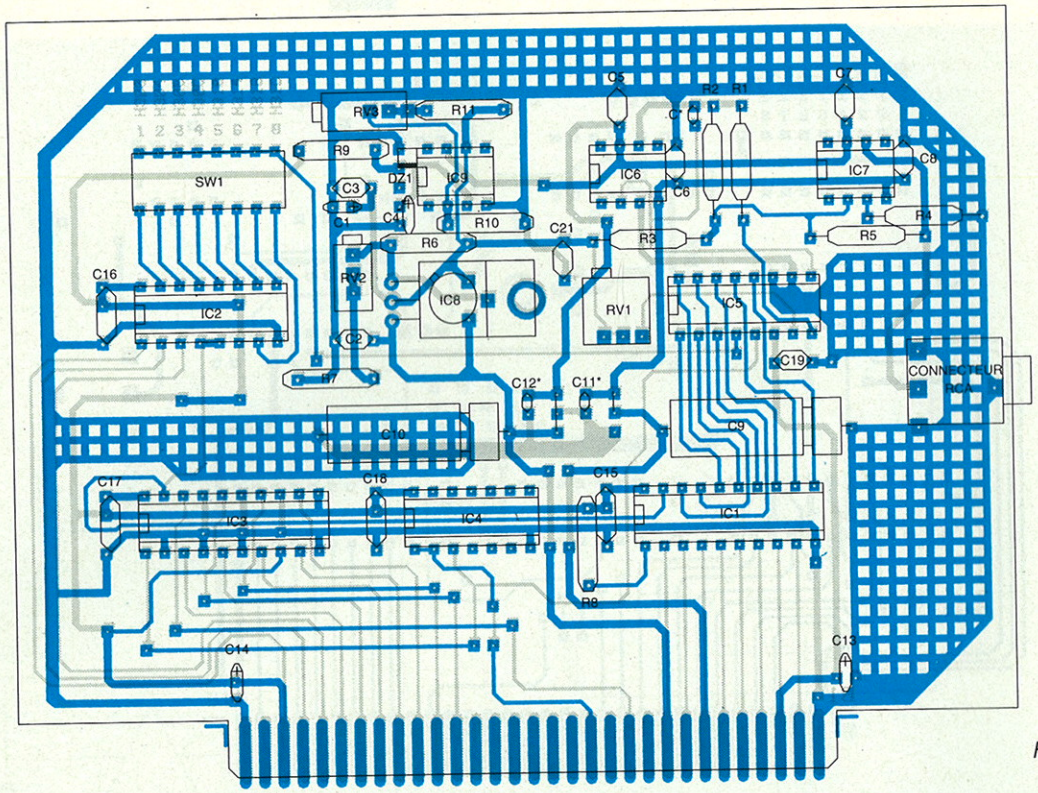


Figure 9.

facultative de IC10 et IC11, régulateurs de tension respectivement de + 9 V et - 9 V. Pour finir la revue des composants facultatifs, nous parlerons de C, condensateur de compensation à implanter seulement si l'on utilise des amplificateurs opérationnels très rapides (suppression des risques de mise en oscillation).

Les essais et les réglages

Après avoir soigneusement vérifié les soudures du circuit imprimé, insérer la carte dans un slot du PC et allumer l'ordinateur, vous devrez tout d'abord règler la tension de référence à la valeur choisie. Ensuite, en envoyant l'octet 1 0 0 0 0 0 0 0 (ou 128 en décimal), vous devriez trouver en sortie une tension proche de 0. Par le règlage de l'ajustable RV1, amener cette tension de sortie très exactement à 0 V. Essayez ensuite les valeurs suivantes :

1 1 1 1 1 1 1 1 ⇒ + 4,98 V
1 0 0 0 0 0 0 1 ⇒ + 0,04 V
0 0 0 0 0 0 0 0 ⇒ - 5,00 V
(pour une Vref de 5,00 V)

Si vous obtenez ces résultats, votre carte fonctionne parfaitement. A partir de l'octet 0, chaque pas supplémentaire augmentera la tension de sortie de 0,04 V. Avec l'octet 255, vous n'obtiendrez en sortie que 4,98 V puisque dans ce cas, le CNA ne sort que : Vref (255/256) = 5 (255/256) = 4,98 V

OGUIC Patrice

NOMENCLATURE

Résistances:

R1 = 1 kΩ 1%
R2 = 10 kΩ 1%
R3 = 20 KΩ 1%
R4 = 5 kΩ 1%
R5 = 20 kΩ 1%
R6 = 220 ohms 5%
R7 = 220 ohms 5%
R8 = 4,7 kΩ 5%
R9* = 2,5 kΩ 5%
R10*= 4,7 kΩ 5%
R11*= 3,9 kΩ 5%

Résistances ajustables multitours :

RV1 = 2 kΩ
RV2 = 1 kΩ
RV3 = 1 kΩ

Condensateurs :

C* = 10 à 15 pF
C1,C4 = 10 µF tantale 25V
C2,C3,C5,C6,C7,C8,C11,C12,C15, C16,C17,C18,C19,C20 = 100nF
C13,C14 = 22 µF tantale 15V
C9,C10 = 47 µF tantale 25V
C21 = 1 µF

Circuits intégrés :

IC1 = 74HCT245
IC2 = 74HCT138
IC3 = 74HCT688
IC4 = 74HCT08
IC5 = AD7524
IC6 et IC7 = LF351
IC8 = LM317 en boîtier TO220 ou TO39
IC9* = LF351
IC10*= 78L09 en boîtier TO92
IC11*= 79L09 en boîtier TO92
DZ1* = LM336 Z 2,5V

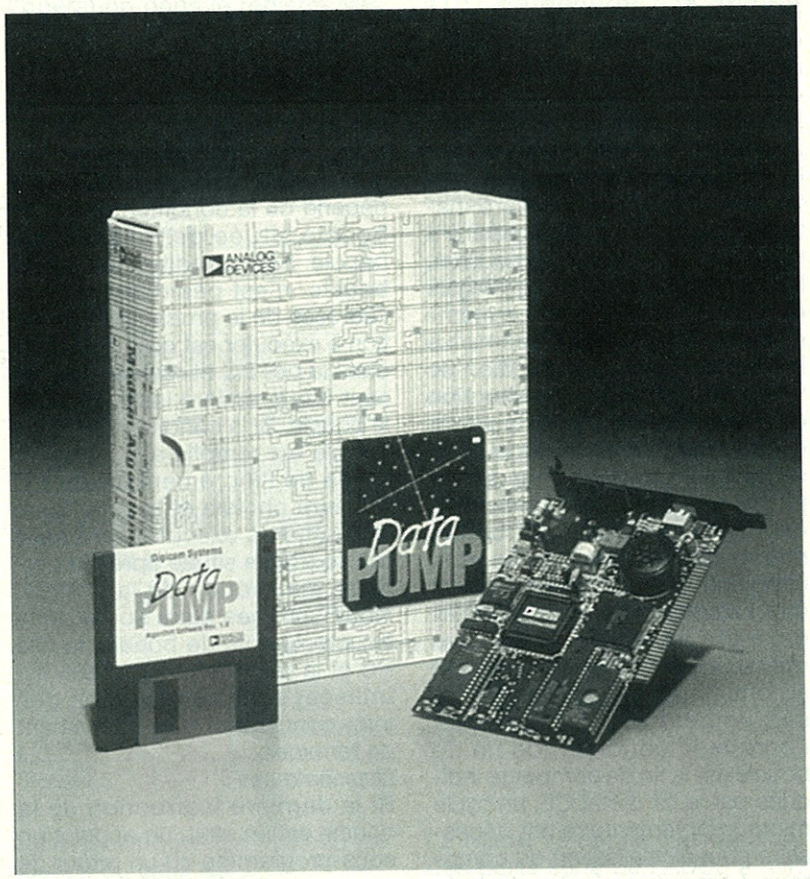
Divers :

prise RCA femelle pour circuit imprimé
SW1= commutateurs en DIP16 broches 8 interrupteurs

Les composants marqués d'un * sont facultatifs. Pour leur utilisation, voir le texte.

Les DSPs Analog Devices (2)

Nous poursuivons et terminons dans cet article la présentation et l'étude des DSPs «d'entrée de gamme» Analog Devices commencée dans le n° 543, en détaillant plus particulièrement leur mise en œuvre et les méthodes de programmation appropriées. Enfin, nous terminerons par un petit comparatif entre le DSP TMS320CS25 Texas et l'ADSP 2100A afin de faire mieux ressortir leurs domaines d'applications respectifs.



L'utilisation du registre IFC :
Ce registre 12 bits contient pour chacune des interruptions, un bit pour l'acquittement (ou la mise à zéro) et un bit pour le «forçage». Les bits sont répartis comme mentionné dans le **tableau 3**. Les interruptions sur front en attente de traitement peuvent être acquittées , annulées, ou mise à zéro, en écrivant un «1» logique dans le bit correspondant du registre IFC (bits 0 à 5). Les interruptions actives sur front sont normalement remises à zéro automatiquement lorsque la routine d'interruption correspondante a été lancée. Les interruptions peuvent être «forcées» par programme en écrivant un «1» logique dans le bit correspondant du registre IFC (bits 6 à 11). Ceci a pour effet de n'autoriser l'interruption à n'être traitée qu'une seule fois, excepté si elle a été préalablement masquée ; auquel cas elle sera ignorée. Les interruptions timer et des ports série se comportent comme les interruptions actives sur front et peuvent être masquées, mises à zéro ou forcées.

Bit 0	mise à zéro de l'interruption Timer.
Bit 1	mise à zéro de l'interruption $\overline{IRQ0}$ ou de réception sur SPORT 1.
Bit 2	mise à zéro de l'interruption $\overline{IRQ1}$ ou de transmission sur SPORT1.
Bit 3	mise à zéro de l'interruption de réception sur SPORT0.
Bit 4	mise à zéro de l'interruption de transmission sur SPORT0.
Bit 5	mise à zéro de l'interruption $\overline{IRQ2}$.
Bit 6	forçage de l'interruption du Timer.
Bit 7	forçage de l'interruption $\overline{IRQ0}$ ou de réception sur SPORT1.
Bit 8	forçage de l'interruption $\overline{IRQ1}$ ou de transmission sur SPORT1.
Bit 9	forçage de l'interruption de réception sur SPORT0.
Bit 10	forçage de l'interruption de transmission sur SPORT0.
Bit 11	forçage de l'interruption $\overline{IRQ2}$.

Tableau 3.

L'implantation des boucles :

L'instruction «DO UNTIL» réalise une boucle non consommatrice

en termes de cycles micro en utilisant le comparateur de boucle et la pile de boucle. Le comparateur de boucle compare, à chaque pas du programme, l'adresse de la dernière instruction de la boucle (donnée dans l'instruction DO UNTIL) à l'adresse de la prochaine instruction à exécuter. L'adresse de la première instruction de la boucle étant, elle, sauvegardée dans le haut de la pile PC. Lorsque la dernière instruction de boucle est atteinte, le processeur reviendra conditionnellement à la première instruction par un saut transparent vis-à-vis du temps d'exécution. La pile de boucle peut sauvegarder jusqu'à quatre niveaux imbriqués en gardant en mémoire l'adresse de fin et la condition de fin de boucle. La seule instruction consommatrice de temps de cycles improductifs, dans la réalisation d'un bouclage imbriqué de plusieurs boucles, est l'exécution de l'instruction DO UNTIL elle-même car l'adresse de fin et la condition de fin de boucle doivent être sauvegardées puis extraites de la pile de boucle. Toutes ces opérations sont bien évidemment automatiquement gérées par le séquenceur de programme. Lorsque la condition de fin de boucle est la fin de comptage indiquée par le bit d'état CE, un cycle micro supplémentaire est nécessaire pour l'initialisation du compteur. Lorsqu'une instruction de bouclage est exécutée, l'adresse sur 14 bits de la dernière instruction de la boucle et les 4 bits de condition de fin de boucle (toutes les deux contenues dans l'instruction DO UNTIL elle- même) sont sauvegardées dans la pile de boucle de 4 mots de 18 bits. Simultanément, la sortie d'incrémentation du PC est sauvegardée dans la pile PC. Du fait que l'instruction DO UNTIL est positionnée juste avant la première instruction de la boucle, la pile du PC contiendra l'adresse de cette première instruction de la boucle. La pile de boucle contiendra l'adresse de la dernière instruction de boucle et la condition de fin de boucle. L'indicateur de pile de boucle non vide active le comparateur de boucle qui compose l'adresse de haut de pile avec la prochaine instruction à exécuter. Quand ces deux adresses sont égales, le comparateur de boucle indique au sélecteur de la prochaine adresse à exécuter que c'est la dernière instruction de la boucle. A ce stade, il y a deux possibilités pour continuer. Ceci dépend de la dernière instruction de boucle. Le premier cas est le plus couramment rencontré et le deuxième est également envisageable mais nécessite une programmation plus complexe pour obtenir une exécution correcte.

Premier cas :

Si la dernière instruction de la boucle n'est pas un saut, un appel à un sous-programme ou un retour de sous-programme, alors le sélecteur d'adresse choisira comme prochaine instruction à exécuter, celle dont l'adresse dépend de la condition de fin de boucle située dans la pile de boucle. Si la condition de fin de boucle n'est pas remplie alors l'adresse de la prochaine instruction à exécuter est celle contenue dans la pile PC et réalise donc un saut à la première instruction de la boucle. Si la condition de fin de boucle est remplie alors c'est la sortie de l'incrémenteur de PC qui sera choisie et la prochaine instruction à exécuter sera celle qui se trouve située après la dernière instruction de la boucle. Nous sommes alors sortis de la boucle. La pile de boucle, la pile PC et la pile compteur (si elle est utilisée) sont alors vidées des infos concernant la boucle venant de terminer.

Deuxième cas :

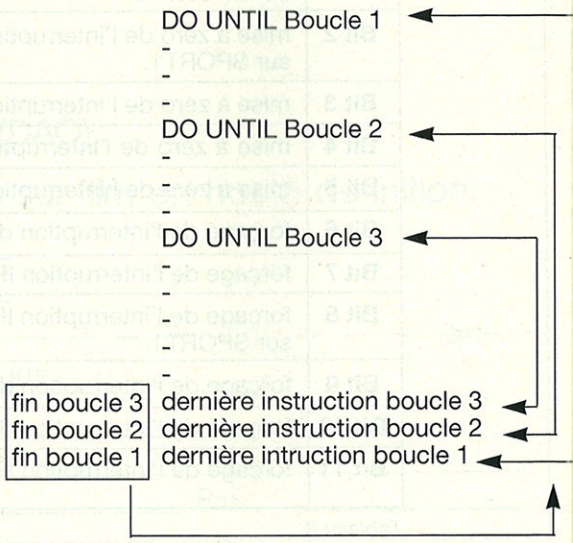
Si la dernière instruction de la boucle est un saut, un appel à un sous-programme ou un retour de sous-programme, alors le programme l'exécutera avant de considérer le séquencement de la boucle. Si la condition éventuelle contenue dans la dernière instruction de la boucle n'est pas réalisée, alors le séquencement continue normalement et nous nous retrouvons dans le premier cas. Si la condition est réalisée, alors le contrôleur de programme réalisera le transfert à l'adresse de saut du sous-programme ou de retour. Toutes les actions s'exécutant normalement lorsqu'une fin de boucle est rencontrée ne sont pas réalisées : saut en début de boucle, sorti de la boucle en rétablissant le contexte dans les piles PC, de boucle et de compteur ou bien la décrémentation du compteur.

Attention, il est important de remarquer que lors de l'exécution d'un retour, dans une boucle, le contrôleur de programme initialisera le PC avec le haut de la pile PC, c'est-à-dire la première instruction de la boucle. Il faut toutefois préciser qu'il est important de prendre toutes les précautions nécessaires lors de l'utilisation de saut, de retour, d'appel à un sous-programme en fin d'une boucle. Il en est de même d'une sortie prématurée de la boucle. En effet, les mécanismes de séquencement de boucle étant laissés en état, nous nous retrouvons à l'extérieur de la boucle tout en ayant gardé les informations de boucle dans les piles PC, boucle et compteur.

Il faut donc rétablir la situation par des instructions réalisant l'extraction de ces informations devenues inutiles et sources de problèmes (saturation de pile, sauts non contrôlés, etc.). Il y a un gros problème au niveau de l'appel à un sous-programme dans cette situation lorsque cet appel est la dernière instruction de la boucle. En effet, le retour du sous-programme ramènera à l'exécution de l'instruction se trouvant immédiatement après la dernière instruction de boucle. Le mécanisme de boucle n'a alors pas fonctionné. Un appel à un sous-programme à l'intérieur d'une boucle ne posera, par contre, aucun problème.

La seule restriction concernant l'imbrication de boucles DO UNTIL est qu'il n'est pas possible de terminer les différentes boucles sur la même instruction. Ceci vient du fait que le comparateur de boucle ne peut effectuer qu'une seule comparaison à la fois.

La sortie d'une boucle interne par l'incrémentation du PC conduirait donc à aller au dehors de la boucle externe si elles se terminaient à la même adresse. Il faut donc prendre soin de terminer des boucles imbriquées sur des adresses au moins consécutives. (1)



La programmation des modes de fonctionnement de l'ADSP 2101 :

Le registre 7 bits MSTAT définit les divers modes de fonctionnement de l'ADSP 2101. Les instructions de contrôle de mode permettent de valider ou non un mode de fonctionnement. Les bits du registre MSTAT sont les suivants (**tableau 4**) :

Bit	Désignation.
0	sélection de la banque de registres de données
1	activation du renversement de bits sur DAG1.
2	mode de mémorisation de débordement sur l'ALU.
3	mode de saturation sur le registre AR.
4	mode de placement du registre P résultat de MAC.
5	validation du Timer.
6	mode G0

Tableau 4.

Le bit de sélection de banque de données détermine la banque de registres active (0 = banque principale, 1 = banque secondaire). Les registres de données en question de ces banques sont tous les registres résultat et entrée des unités de calcul ALU, MAC et l'unité de décalage (AX0, AX1, AY0, AY1, AF, AR, MX0, MX1, MY0, MY1, MF, MR0, MR1, MR2, SB, SE, SR0, SR1). Au reset du DSP, la banque de données sélectionnée est la banque principale. Le bit d'activation du mode de renversement de bit en sortie de DAG1 rend cette fonction active ou inactive. Cette fonction est très employée lors de l'implémentation de la FFT radix 2.

Les modes de positionnement du bit indicateur de débordement de l'ALU (bit AV) peuvent être «fugitif» ou «mémorisé». Le mode «fugitif» consiste au positionnement du bit lors d'un débordement de l'ALU et à sa remise à zéro lors de la première opération ne générant pas de débordement. Le mode «mémorisé» consiste à positionner le bit sur un débordement de l'ALU et à le laisser positionné jusqu'à ce qu'il soit mis à zéro en écrivant dans le registre d'état correspondant par l'intermédiaire du bus DMD. Le mode saturation (sur le registre AR) permet de forcer le résultat de l'opération traitée par l'ALU à la valeur la plus positive (soit 7 FFF hexa) ou la plus négative (soit 8000 hexa) lorsqu'a lieu un débordement à gauche ou à droite. Ce mode de fonctionnement n'est actif que si le bit 3 du registre MSTAT est positionné à «1».

Le bit de placement du résultat P de l'opération MAC, lorsqu'il est à zéro, conduit l'ADSP 2101 à effectuer un décalage de 1 bit lors de la sauvegarde du résultat de l'opération dans le registre MR. Lorsque ce bit est à 1, le décalage n'a pas lieu.

La décrémentation du timer n'est autorisée que lorsque le bit de validation du timer est à 1.

Le bit de mode GO, lorsqu'il est à 1, autorise le processeur à continuer l'exécution des instructions en interne (quand cela est possible) alors que les bus externes d'adresses et de données sont pris par ailleurs pendant un «bus grant» (cas du partage de bus entre 2 gestionnaires de bus DMA et DSP ou DSP/DSP par exemple). Les sauts et les appels à des sous-programmes peuvent non seulement être conditionnés par le résultat d'opérations précédemment exécutées mais également par l'état du signal d'entrée présent sur la pin FI du DSP. Cette dernière n'étant utilisable que si le port série 1 n'est pas utilisé.

Le Timer :

Un timer programmable permettant de générer des interruptions périodiques est disponible dans l'ADSP 2101. Lorsque le timer est validé, le compteur 16 bits TCOUNT est décrémenté tous les n cycles. La valeur n'étant initialisée en stockant (n - 1) dans le registre 8 bits TSCALE. Lorsque la valeur du compteur atteint zéro, une interruption est générée et le compteur TCOUNT est rechargé à partir du registre 16 bits TPERIOD. S'il est nécessaire, l'interruption timer peut être masquée, forcée ou remise à zéro pour le soft. Le registre 8 bits de prédivision TSCALE permet à l'ADSP 2101 de générer une grande gamme de périodicités d'interruption. Avec un temps de cycle DSP à 80 ns, par exemple, la périodicité est comprise entre 80 ns et 1,34 s.

Les ports série

L'ADSP 2101 possède deux ports série complets (SPORT0 et SPORT1) permettant la communication série et la coordination dans un environnement multiprocesseur. Chacun des ports série est interfacé par 5 signaux d'entrées/sorties dont la fonction est la suivante (**tableau 5**) :

Nom du signal	Fonction	Type de signal
SCLK	horloge série	entrée ou sortie
RFS	synchro trame réception	entrée ou sortie
TFS	synchro trame émission	entrée ou sortie
DR	réception de données série	entrée
DT	émission de données série	sortie

Tableau 5.

La **figure 15** donne l'architecture des ports série de l'ADSP 2101. Nous allons maintenant lister les performances qu'il est possible d'obtenir avec les ports série :

- Chacun des ports communique de manière bidirectionnelle sur deux lignes émission et réception séparées et indépendantes.
- Deux jeux de registres (un pour la réception et un pour l'émission) permettent de gérer la mémoire tampon associée à chacun des sens de communication. Ceci donne une souplesse supplémentaire dans la répartition des tâches à traiter par le logiciel.
- Chacun des deux ports peut utiliser une horloge externe au DSP dont la fréquence max est limitée au cycle DSP, ou bien générer sa propre horloge en interne qui est alors programmable de 94 Hz à 1/2 f cycle.
- Le récepteur et l'émetteur des ports série peuvent fonctionner en mode trame ou non ; avec une génération interne ou externe de synchro trame qu'il est possible de programmer comme étant active sur l'état 1 ou sur l'état zéro ; avec la possibilité d'avoir deux largeurs et deux timings synchro différents. La constitution de la

trame du récepteur est totalement indépendante de celle de l'émetteur. Par contre, l'horloge réception est identique à l'horloge émission. Des exemples de communication série avec formatage en trames ou sans formatage sont donnés **figures 16 et 17**. Le fonctionnement en liaison synchrone n'est pas possible.

• Les deux ports série supportent une programmation de la longueur des mots transmis variant de 3 à 16.

• Les ports série permettent de réaliser la compression et la décompression de données conformément aux lois de codage A et μ de la recommandation G 711 du CCITT. Les lois de compression peuvent être différentes sur les deux ports. Cette option permet de traiter les voies téléphoniques sans perdre le temps nécessaire à la compression par un traitement SOFT. Celle-ci étant réalisée en hard dans l'ADSP 2101.

• L'interruption des ports série peut être programmée pour être active mot à mot ou bien par blocs de mots en utilisant les buffers.

• L'ADSP 2101 possède la possibilité de recevoir et/ou d'émettre un buffer plein de données avec une lecture ou écriture de ce dernier en un cycle micro par mot seulement. Les transferts entre les ports série et les buffers circulaires sont automatiques et ne demandent pas de programmation spécifique. Une interruption est seulement générée lorsque le pointeur du buffer a fait un tour complet.

• Le port série SPORT0 possède un mode de fonctionnement multicanal permettant le multiplexage temporel. Ceci étant très utile dans les niveaux T1 ou CEPT de l'interfaçage avec des multiplexeurs téléphoniques numériques. Les mots de 24 ou 32 bits utilisés dans ce mode sont donc le fruit d'un multiplexage temporel de mots de 8 bits par exemple.

• Les signaux du port série SPORT 1 peuvent être configurés en interruptions externes (IRQ0 et IRQ1) et en signal flag d'entrée et de sortie. L'horloge interne peut être utilisée dans cette configuration.

• Les performances des ports série permettent à l'ADSP 2101 d'interfacer très facilement la plupart des CODECS, des convertisseurs analogiques/numériques et numériques/analogiques sans hard additionnel et avec des drivers SOFT réduits à leur plus simple expression.

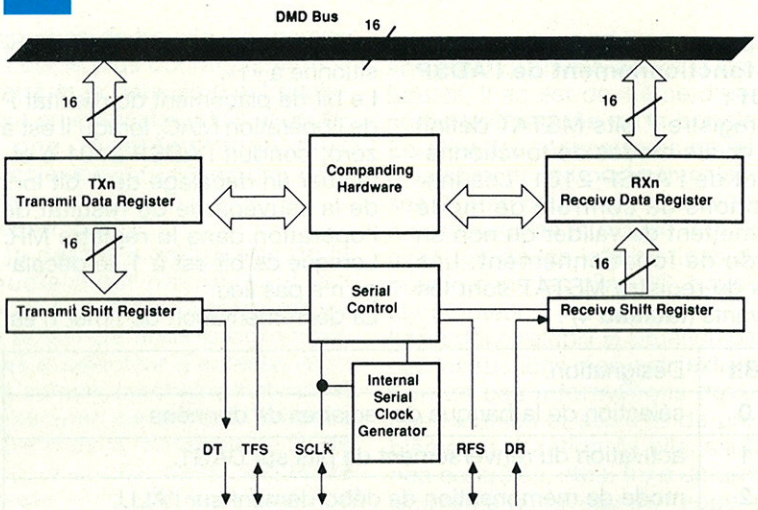


Figure 15 : structure des ports série.

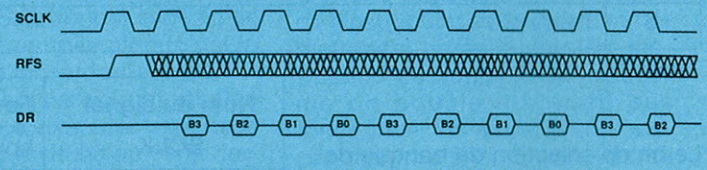


Figure 16.

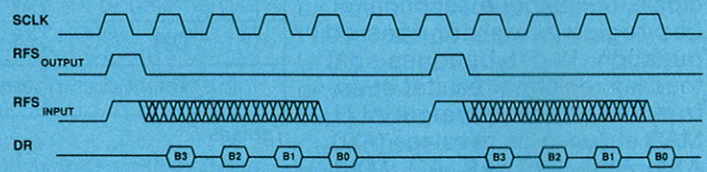


Figure 17.

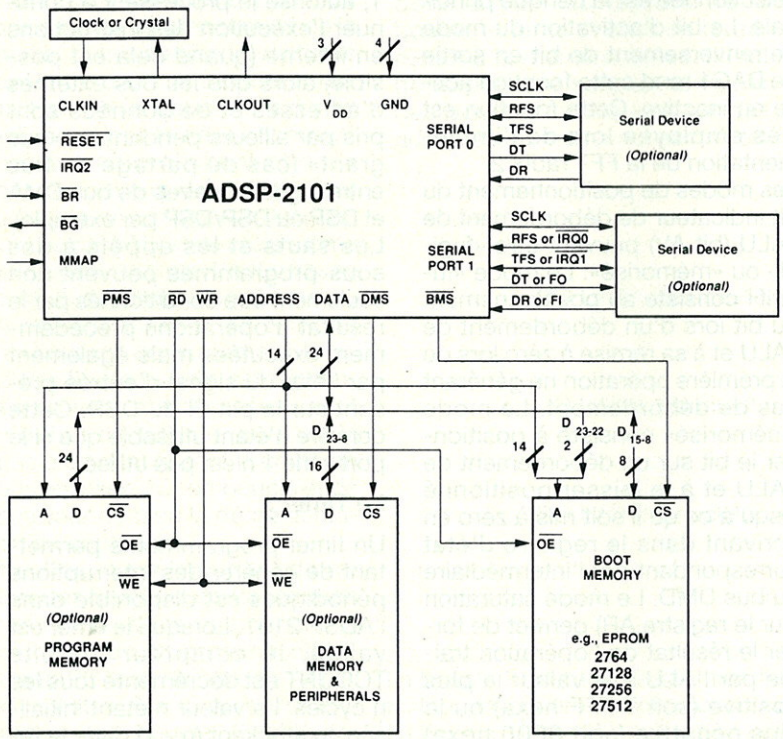


Figure 18 : configuration de base avec l'ADSP 2101. Les 2 MSBS du bus d'adresse de l'EPROM de Boot sont également les 2 MSBS du bus de données. Ceci est nécessaire uniquement pour les EPROM 27256 et 27512.

L'ADSP 2101 au cœur d'un système

La **figure 18** donne un exemple de configuration système avec un ADSP 2101 comme processeur. Il est entouré de deux CODECS, d'une mémoire EPROM de Boot et des mémoires programme et données externes optionnelles. La configuration donnée figure 18 peut supporter 16 Kmots de mémoire donnée et 16 Kmots de mémoire programme.
La programmation de wait state autorise le DSP à fonctionner avec des mémoires externes lentes. L'ADSP 2101 dispose également d'une interruption externe et de deux ports série ou bien de trois interruptions externes et d'un port série, suivant la configuration programmée par l'utilisateur.

Le signal d'horloge

L'ADSP 2101 accepte un signal TTL à son entrée horloge CLKIN, définissant la fréquence d'exécution des instructions. Une période de cette horloge correspondant à un cycle DSP. Comme l'ADSP 2101 incorpore un oscillateur interne, il est possible d'y connecter un quartz à la place d'utiliser un oscillateur externe. Un signal d'horloge CLKOUT, synchrone du cycle DSP est généré par l'ADSP 2101. Les fronts montants de CLKOUT et CLKIN sont simultanés. CLKIN ne peut être stoppée ou changée pendant le fonctionnement du DSP ou bien être inférieure à la fréquence minimale spécifiée par le data sheet.

L'interfacage des bus :

L'ADSP 2101 peut laisser le contrôle de ses bus externes de donnée et d'adresse à un autre composant extérieur. Lorsque ce composant externe doit utiliser la même mémoire que le DSP, il demande l'accès aux bus en positionnant le signal BR. Après l'exécution de l'instruction en cours, le DSP arrête son exécution ou bien la continue mais uniquement en interne et libère ses bus en les mettant en tristate ainsi que les signaux PMS, DMS, BMS, RD, WR. L'autorisation d'accès est alors donnée au composant demandeur par le positionnement du signal BG (bus grant). Lorsque le signal BR retrouve son état initial P, le DSP reprend le contrôle en passant BG à «1» et en réactivant les signaux précédemment positionnés en tristate. Le processeur reprend alors l'exécution du programme où il s'était arrêté.

L'interfaçage avec des périphériques ou mémoires lents

L'ADSP 2101 peut interfacer très facilement les mémoires et périphériques lents par l'utilisation de wait states (temps d'attentes) programmables.
Trois registres contrôlent la génération de wait states pour l'interfaçage des mémoires boot, programme de donnée. Au RESET, le DSP initialise l'interfaçage avec la mémoire boot à 3 wait states alors que les mémoires programme et donnée sont configurées par défaut à 7 wait states.
Il est possible de programmer 0 à 7 wait states pour chacun des interfaces mémoires. C'est-à-dire programme et données.

Les configurations mémoires avec l'ADSP 2101 :

Les bus d'adresse PMA et donnée PMD de la mémoire programme sont multiplexés avec les bus adresse DMA et donnée DMD de la mémoire de donnée et former un unique bus de donnée externe. Les 14 bits du bus d'adresse permettent l'adressage direct des 16 Kmots dont 2 Kmots sont en interne. Le bus de donnée est bidirectionnel et possède 24 bits. La mémoire programme interne n'impose pas un emplacement particulier pour les parties programme et donnée exceptés les vecteurs d'interruption et de RESET. Le bus de donnée de la mémoire de programme est également bidirectionnel. Le signal de sélection de la mémoire de programme PMS indique qu'un accès à la mémoire programme est demandé. Ce signal peut être utilisé comme «chip sélect». Les signaux d'écriture WR et de lecture RD indiquent que le processeur réalise une écriture ou une lecture.
Comme le bus de donnée interne DMD ne possède que 16 bits, l'ADSP 2101 ne pourra lire des données 24 bits que par l'intermédiaire du registre PX comme il a été décrit plus haut.

La carte mémoire de l'ADSP 2101 :

La mémoire programme peut être structurée de deux manières différentes, tout dépend de l'état appliqué à l'entrée MMAP du DSP. La **figure 14** donne ces deux configurations possibles.
Lorsque MMAP est initialisé à zéro, la RAM interne occupe les 2 Kmots commençant à 0000 ; la mémoire programme externe utilise alors 14 Kmots restant localisés à partir de 0800 hexa. Dans cette configuration, la mémoire programme est téléchargée automatiquement par la séquence de boot quand un RESET apparaît.
Lorsque MMAP est initialisé à un, les 14 Kmots de la mémoire de programme externe commencent à 0000 et la RAM interne se retrouve alors située dans les 2 Kmots du haut, c'est-à-dire à partir de l'adresse 3800 hexa. Dans cette configuration, la mémoire programme n'est pas téléchargée et peut être utilisée comme mémoire de donnée.

L' interface mémoire de Boot :

Le champ d'adresse de la mémoire de Boot est de 64 Kmots de 8 bits, divisé en 8 pages de 8 Kmots de 8 bits. Trois bits du registre de contrôle système permettent de sélectionner la page qui est téléchargée de la mémoire Boot.
Un autre bit du registre de contrôle système permet à l'utilisateur de réaliser la séquence de Boot sous le contrôle du SOFT. Le téléchargement n'a lieu après un RESET du DSP que si le signal MMAP est à zéro. L'interface mémoire de Boot est initialisé à 3 wait states après le RESET et peut être ensuite reconfiguré dans la gamme de 0 à 7 wait states. Les signaux BMS et RD permettent de sélectionner et de valider l'interfaçage avec la mémoire de Boot. Seulement 8 bits de donnée sont lus sur le bus de donnée. De manière à adresser les 8 pages de la mémoire de Boot, le DSP utilise les 2 MSBS du bus de donnée externe comme les deux MSBS d'adresse de la mémoire de Boot.
Au RESET, l'ADSP 2001 génère trois wait states pour le téléchargement. Ceci permet d'interfacer des mémoires EPROM faible coût de 250 ns de temps d'accès lorsque le processeur tourne à 12,5 MHz. Le programme est chargé byte par byte (8 bits) et convertit en mots de 24 bits. Le signal de demande d'accès au bus BR est valide pendant le téléchargement. Le DSP réagira de la même manière que lors de son fonctionnement normal. Un BR pendant un Boot peut être utilisé pour contrôler le téléchargement avec un processeur hôte. L'assembleur, linkeur pour les ADSP

210X, supporte la création de structures de programmes et de données demandant le téléchargement de plusieurs pages alors que le DSP est en cours d'exécution d'un programme. Ceci permet de télécharger des programmes différents par SOFT afin d'optimiser le temps d'exécution des programmes.

Structure de la mémoire de données

Le signal DMS signale qu'un accès à la mémoire de donnée est en cours d'exécution. Ce signal peut être utilisé comme «chip select» et favorise l'interfaçage à la mémoire de donnée externe sans ajout de composant. L'ADSP 2001 permet d'interfacer des périphériques externes dans la zone d'adressage de la mémoire de donnée. L'utilisateur devra réaliser son décodage d'adresse en conséquence.

La mémoire de donnée interne est une mémoire de 1 Kmots commançant à l'adresse 3800 hexa comme indiqué **figure 19.** De plus, la zone mémoire située entre l'adresse 3000 hexa et la fin de la mémoire, c'est-à-dire à l'adresse 3 FFF hexa, est réservée pour les registres systèmes, timer, configuration des wait states, et des ports série.

Les 14 Kmots de mémoire de données restants sont externes au DSP. La mémoire de données externe est divisée en 5 zones associées à 5 wait states différents. Ceci permet de regrouper les périphériques lents par zone de besoin en wait states. La figure 19 donne la répartition de ces zones.

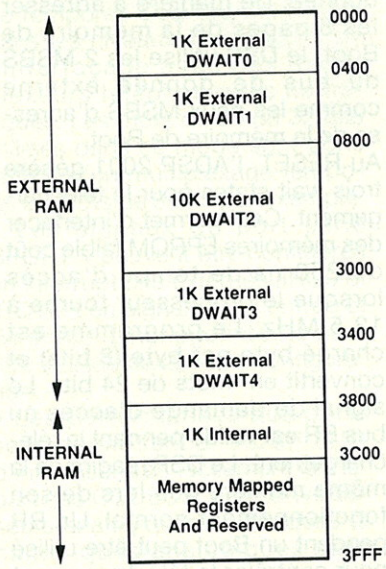


Figure 19 : structure de la mémoire de données.

Chacune des zones peut posséder un nombre de wait states différents des autres.

Communication inter-processeurs

Les ports série donnent une manière de réaliser un lien bidirectionnel entre deux ADSP 2101 sans ajout de hard. La **figure 21** illustre cette application.

Le jeu d'instructions de l'ADSP 2101

L'assembleur de l'ADSP 2101 utilise une syntaxe algébrique comme celui de l'ADSP 2100. Ceci rend la lecture et le codage des programmes plus simples et donc plus rapides. Les données sources et destinations dans les calculs et les transferts de données sont écrits explicitement pour chacune des étapes décrites. Ceci élimine le lourd codage des assembleurs classiques. L'assembleur de l'ADSP 2101 et des DSP d'Analog Devices en général sont présentés comme des langages évolués, à mi-chemin entre l'assembleur et le BASIC par exemple. Chaque instruction est codée sur 24 bits et exécutée en un seul cycle micro. Une grande variété d'instructions sont disponibles et sont structurées pour permettre le maximum de parallélisme. Il y a cinq catégories d'instructions : le transfert de données, les instructions de calcul, les instructions multifonctions, les instructions de contrôle de déroulement du programme, et les instructions diverses. Le manuel «ADSP 210X Cross Software Manual» donne en détail le jeu d'instructions et leur fonctionnement.

La compatibilité SOFT entre l'ADSP 2100 et l'ADSP 2101

L'ADSP 2101 est compatible aussi bien pour la source que pour le code objet avec l'ADSP 2100. Toutefois, un programme ADSP 2100 devra être relogé pour être compatible avec la mémoire interne de l'ADSP 2101 et être conforme à la nouvelle allocation des vecteurs d'interruption. Attention, ce serait trop beau si la compatibilité était à 100% et la petite exception est l'instruction TRAP qui n'a pas lieu d'être sur l'ADSP 2101 puisque ce dernier ne possède pas l'entrée TRAP/HALT.

Les instructions de transfert de données

Les registres de l'ADSP 2101 peuvent aussi bien contenir une donnée (ou un status) qu'une adresse. Le DSP traitera toujours un registre comme une donnée mémoire sans faire aucune différence. Les transferts de donnée couvrent les transferts entre registres, entre la mémoire de donnée et les registres internes, entre la mémoire programme et les registres internes et le chargement en immédiat des registres et des mémoires de données. Deux modes d'adressage sont disponibles dans le transfert de la mémoire de donnée : l'adressage direct et l'adressage indirect. Dans l'adressage direct l'adresse de la mémoire à traiter est contenue dans l'instruction à exécuter. Dans l'adressage indirect, c'est l'un des deux générateurs d'adresse (DAG) qui fournit l'adresse de la case mémoire à traiter. Lors de l'utilisation de l'adressage direct, le contenu de la case mémoire peut être écrit ou lu par n'importe quel registre. Lors de l'utilisation de l'adressage indirect, le contenu de la case mémoire ne peut être écrit ou lu que par les registres de donnée. Le chargement immédiat d'une donnée dans la mémoire de donnée n'est possible que par l'intermédiaire de l'adressage indirect. Seul l'adressage indirect permet de faire des transferts de donnée dans la mémoire programme. Le contenu de la mémoire programme peut être lu et écrit par les registres de donnée.

Les opérations de l'ADSP 2101

L'ADSP 2101 possède 3 types d'opérations associées aux unités de calcul : les opérations arithmétiques et logiques associées à l'ALU, les opérations de multiplication et d'accumulation associées au MAC et les opérations de décalages associées à l'unité de décalage. En dehors de quelques exceptions, toutes ces instructions peuvent être exécutées conditionnellement. Chacune des unités de calcul possède son propre jeu de registre d'entrée et de sortie.

Les instructions multifonctions

Les instructions multifonctions exécutent une opération de calcul en même temps qu'un ou deux transferts. Toutes les instructions multifonctions utilisent les différentes combinaisons possibles d'opération de calcul et d'opération de transfert de données décritent plus haut. Du fait

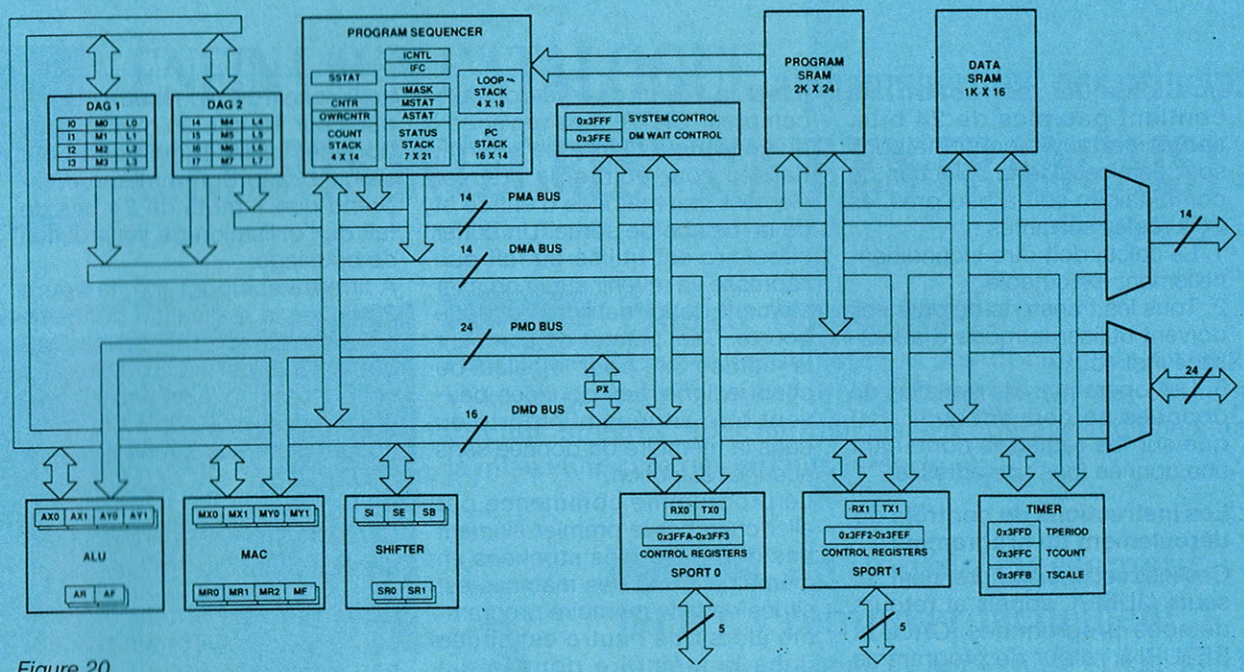


Figure 20.

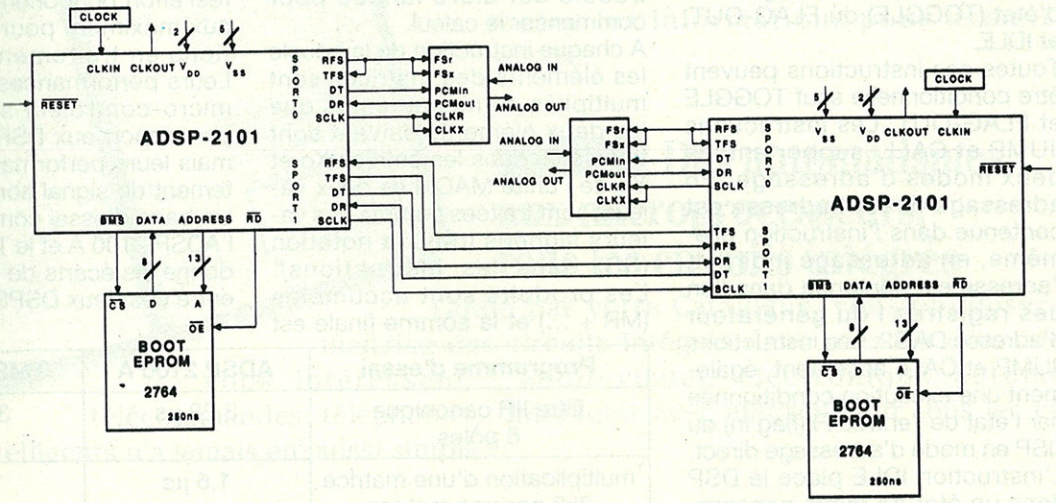


Figure 21 : communication interprocesseur par liaison série spécifique.

```
start:      MX0=DM(I0,M0), MY0=PM(I4,M4);
            CNTR=3;
            DO row_loop UNTIL CE;
                MR=MX0*MY0(SS), MX0=DM(I0,M0), MY0=PM(I4,M4);
                MR=MR+MX0*MY0(SS), MX0=DM(I0,M0), MY0=PM(I4,M4);
                MR=MR+MX0*MY0(RND), MX0=DM(I0,M0), MY0=PM(I4,M4);
row_loop:   DM(I1,M0)=MR1;
```

$$\begin{pmatrix} a11\ a12\ a13 \\ a21\ a22\ a23 \\ a31\ a32\ a33 \end{pmatrix} \times \begin{pmatrix} b1 \\ b2 \\ b3 \end{pmatrix} = \begin{pmatrix} a11b1 + a12b2 + a13b3 \\ a21b1 + a22b2 + a23b3 \\ a31b1 + a32b2 + a33b3 \end{pmatrix}$$

Figure 22 : programme de multiplication d'une matrice 3x3 par une matrice colonne 3x1 avec l'ADSP 2101.

```
LT a1
MPY b1
LTP a2
MPY b2
LTA a3
MPY b3
LTA a4
SACH R1,S
MPY b1
LTP a5
MPY b2
LTA a6
MPY b3
LTA a7
SACH R2,S
MPY b1
LTP a8
MPY b2
LTA a9
MPY b3
APAC
SACH R3,S
```

Figure 23 : même programme qu'à la figure 22 mais implémenté avec un TMS 320 C25.

que chaque instruction ne contient pas plus de 24 bits, seules certaines combinaisons sont pemises. Cette sélection de combinaison suit à peu près les trois règles suivantes :
1. Le calcul doit être inconditionnellement exécutable ;
2. Tous les transferts de données doivent utiliser le mode d'adressage indirect ;
3. Les opérations de transfert de données ne peuvent avoir lieu que sur les registres contenant une donnée (pas une adresse).

Les instructions de contrôle de déroulement du programme

Ces instructions comprennent les sauts (JUMP), appels et retours de sous-programmes (CALL et RETURN), retour de programme d'interruption, boucles (DO UNTIL), mise à un (SET), mise à zéro (CLEAR), et changement d'état (TOGGLE) du FLAG-OUT, et IDLE.
Toutes ces instructions peuvent être conditionnelle sauf TOGGLE et FLAG-OUT. Les instructions JUMP et CALL supportent les deux modes d'adressage. En adressage direct l'adresse est contenue dans l'instruction elle-même, en adressage indirect, l'adresse est contenue dans l'un des registres I du générateur d'adresse DAG2. Les instructions JUMP et CALL acceptent également une exécution conditionnée par l'état de l'entrée Fi (flag In) du DSP en mode d'adressage direct. L'instruction IDLE place le DSP dans un état de faible consommation et en attente d'une interruption pour redémarrer.

Les instructions divers

Ces instructions sont : la modification indirecte de registre, le contrôle de pile, le contrôle du mode de fonctionnement et le NOP. Le contrôle de mode permet à l'utilisateur d'activer ou de désactiver le mode d'inversement de bits sur GAG 1, de mémoriser les débordements de l'ALU, de gérer les saturations de AR,de commuter sur l'autre banque de registre pour changer de contexte, d'activer le mode GO, d'ajuster le format dans les opérations MAC et de gérer le timer.

Exemple de programme écrit en assembleur ADSP 2101 :

Le programme **figure 22** utilise les capacités de bouclage de l'ADSP 2101 et permet d'étendre ce programme de multiplication de matrices en changeant simplement le nombre de boucles (c'est la valeur chargée dans le compteur CNTR). Les registres I du générateur d'adresse sont initialisés pour pointer le premier élément des matrices d'entrée et de la matrice de sortie. Un buffer circulaire est utilisé du fait que l'adresse va revenir sur le premier élément de la matrice à chaque boucle. Ceci permet de parcourir la matrice 3x3 pour le calcul de chaque ligne. Les données peuvent être situées n'importe où dans la mémoire de donnée sans aucune restriction.
Le programme commence par aller chercher le premier élément des deux matrices stockées en mémoire. L'une des matrices est située dans la mémoire programme alors que l'autre est située dans la mémoire donnée. Le compteur est ensuite initialisé par le nombre de lignes à calculer. La boucle est alors lancée pour commencer le calcul.
A chaque instruction de la boucle les éléments des matrices sont multipliés en même temps que les deux éléments suivant sont transférés dans les entrées Xo et Yo de l'unité MAC. Les deux valeurs sont traitées comme des valeurs signées (d'où la notation (SS) dans les instructions). Les produits sont accumulés (MR + ...) et la somme finale est annoncée (RND) pour être mémorisée sur 16 bits en mémoire de donnée. La taille mémoire pour stocker ce programme ne comprend que 7 mots de 24 bits du fait de l'utilisation de l'instruction de bouclage.
A titre de comparaison, la **figure 23** donne la réalisation du même programme en assembleur TMS 320 C2S. Il est clair au premier coup d'œil que la lecture du programme est plus facile et la programmation plus structurée avec l'ADSP 2101.

Comparaisons des performances des DSPS Analog et Texas

Les tableaux de performances ci-contre (6a et b) donnent un aperçu des possibilités respectives des DSPS. Il ressort qu'ANALOG DEVICES a fait un réel effort pour orienter ses DSPS aux maximum pour les applications en traitement de signal. Leurs performances en tant que micro-contrôleur sont limitées par rapport aux DSPS de TEXAS mais leurs performances en traitement de signal sont meilleures. Un banc d'essai comparatif entre l'ADSP 2100 A et le TMS 320 C25 donne les écarts de performance entre ces deux DSPS.

J.Y. Bedu

Programme d'essai	ADSP 2100 A	TMS 320 C25
filtre IIR canonique 8 pôles	3,28 µs	3,52 µs
multiplication d'une matrice 3x3 par une matrice 3x1	1,6 µs	1,8 µs
transformée de Fourier rapide 1024 points FFT complexe radix 2	4,23 ms pour 3161 mots	9,08 ms pour 23632 mots
FFT complexe 1024 points radix 4	2,97 ms*	7,1 ms*

Tableau 6a :
** Le programme n'est pas optimisé de la même manière dans les deux cas. La comparaison n'est peut-être pas réaliste. Il faut toujours se méfier dans ce genre de données.*

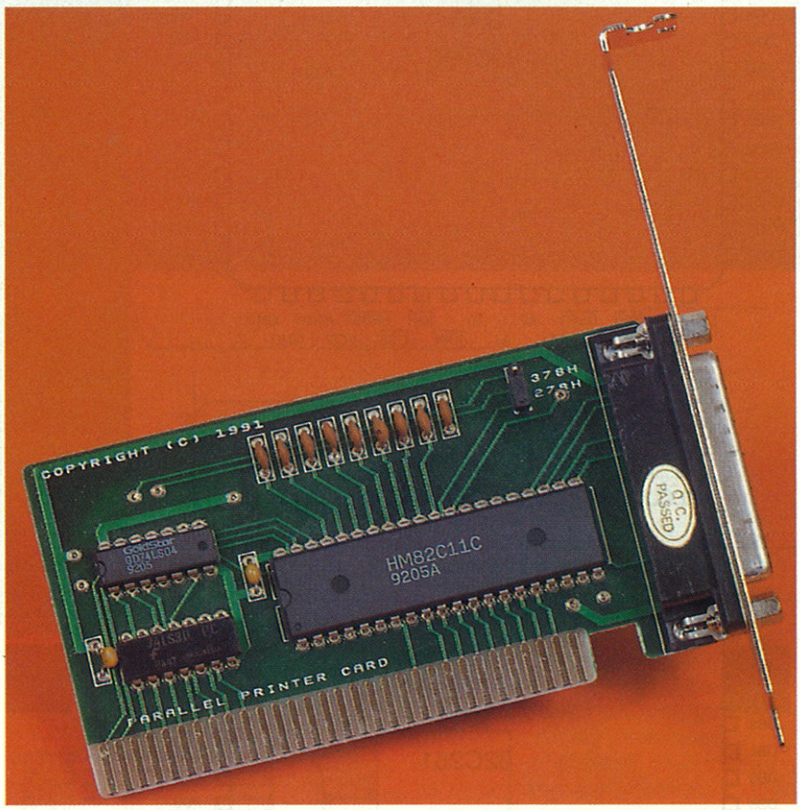
Fabricant	modèle	Format de Données	Donnée (bits)	Multiplication	Résultat Multip.	temps exec Multip. (nS)	Horloge (MHz)	RAM PROG interne	RAM données interne	ROM interne
ANALOG DEVICE	ADSP-2100A	ENTIER	16	16x16	40	80	12,5	0	0	0
	ADSP-2101	ENTIER	16	16x16	40	80	12,5	2k x 24b	1k x 16b	0
	ADSP-2102	ENTIER	16	16x16	40	80	12,5	2k x 24b	1k x 16b	2k x 24 prog
	ADSP-2105	ENTIER	16	16x16	40	100	10,2	1k x 24b	512 x 16b	0
	ADSP-2111	ENTIER	16	16x16	40	60	16,67	2k x 24b	1k x 16b	0
	ADSP-21020	FLOTTANT	40 IEEE 754/854	32x32	64	50	20	0	0	0
TEXAS INSTRUMENTS	TMS320C25-5	ENTIER	16	16x16	32	80	40	0	544 x 16	4k x 16 prog
	TMS320C26	ENTIER	16	16x16	32	100	40	0	1632 x 16	256 x 16 prog ou boot
	TMS320C30	FLOTTANT	24 Mant / 8 Exp	32x32	40	60	33	0	2k x 32	4k x 32
	TMS320C50	ENTIER	16	16x16	32	50/35	57	0	8,2k x 16	2k x 16 boot

Tableau 6b.

Mémoire Externe	Entrées/Sorties parallèles	Entrée/Sortie série	bus données	bus externes adresses	mode faible conso	conso (mW)	boitier
32k x 24 prog 16k x 16 don	non	non	2	2	non	790	100 PGA / 100 POFP
14k x 24 prog 14k x 16 don	non	2	1	1	oui	825	68 PGA / 68 PLCC
14k x 24 prog 14k x 16 don	non	2	1	1	oui	825	68 PGA / 68 PLCC
14k x 24 prog 14k x 16 don	non	1	1	1	oui	750	68 PLCC
14k x 24 prog 14k x 16 don	non	2	1	1	oui	425	100 PGA / 100 POFP
16M x 48 prog 4,2G x 40 don	non	0	2	2	oui	1200	223 PGA
64k x 16 prog 64k x 16 don	non	oui	2	0	oui	925	68 PGA / 68 PLCC
64k x 16 prog 64k x 16 don	non	oui	2	0	oui	925	68 PLCC
16M x 32	oui	oui	2	2	non	1500	180 PGA
128k x 16	oui	oui	2	2	non	?	84 CLCC

Carte Interface Bidirectionnelle pour PC

Dans le numéro d'ERP 536 d'avril 1992, nous avons découvert comment modifier une carte MDA (TEXTE) ou CGA de première génération pour disposer d'une interface imprimante bidirectionnelle identique à celle du PS2 et de nombreux portables. Les nouvelles cartes utilisent des circuits VLSI ; nous allons décrire trois circuits que l'on trouve sur les cartes «orientales», et le problème que nous avons eu !

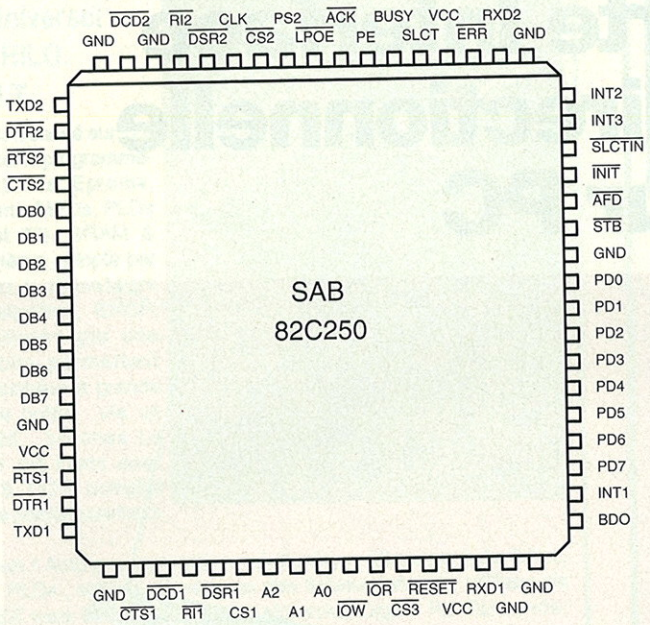


Bref historique.

Pour les lecteurs qui prendraient le train en marche, voici un court résumé de l'épisode précédent.
L'IBM transmet les caractères à l'imprimante par la carte interface Centronics, cette interface est unidirectionnelle.
Très rapidement, des fabricants d'extensions (STREAMER par exemple) ont voulu utiliser cette prise pour entrer ou sortir des données.
En utilisant une interface standard, le transfert ne peut se faire que par quatre bits.
En analysant le schéma électrique de l'interface d'IBM (ERP 536), il est apparu qu'en ajoutant un cavalier et en coupant une piste, on peut effectuer des transferts dans les deux sens, tout en RESTANT compatible avec le PC.
IBM a «officialisé» cette modification dans le PS2.
Dans le registre de contrôle de l'interface, le bit 5 est normalement à 0 (mode sortant), quand il est mis à 1, les données présentées peuvent être lues.
Un lecteur nous a signalé une autre méthode : la ligne INIT active indique que l'interface est configurée en mode entrée.

Les circuits SAB82C251 et SAB82C250.

Nous allons commencer avec deux circuits qui sont prévus à l'origine pour fonctionner en mode PS2, toutefois, ils sont souvent câblés en mode normal.
La **figure 1** donne la configuration des broches de ces deux circuits, la configuration est semblable, le 82C250 peut gérer deux liaisons séries, alors que le 82C251 ne peut en contrôler qu'une, tous deux possèdent les circuits nécessaires pour la gestion du port imprimante.
La **figure 2** donne la structure interne des circuits.



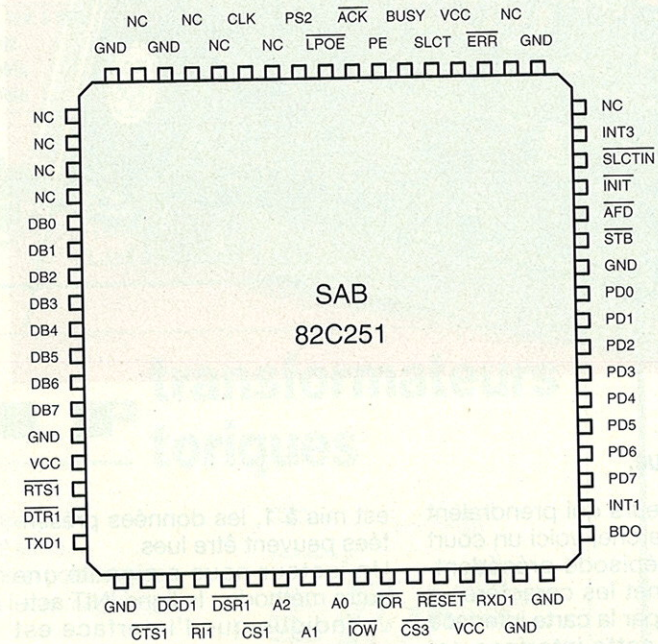


Figure 1 : Brochage des 82C250 et 82C251.

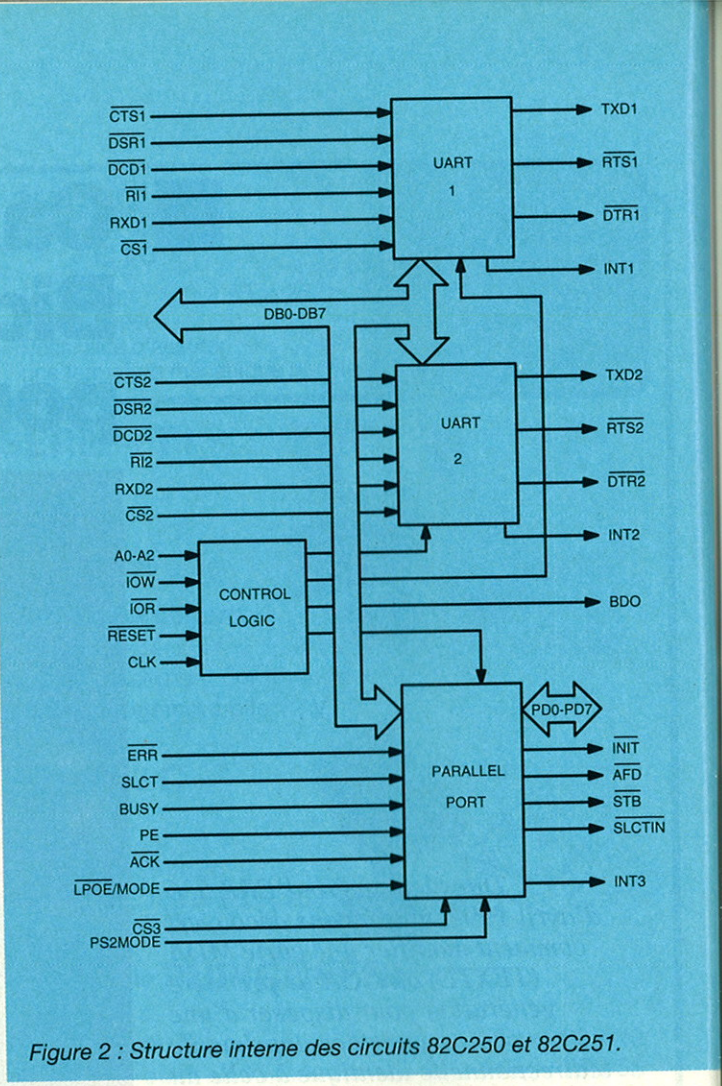
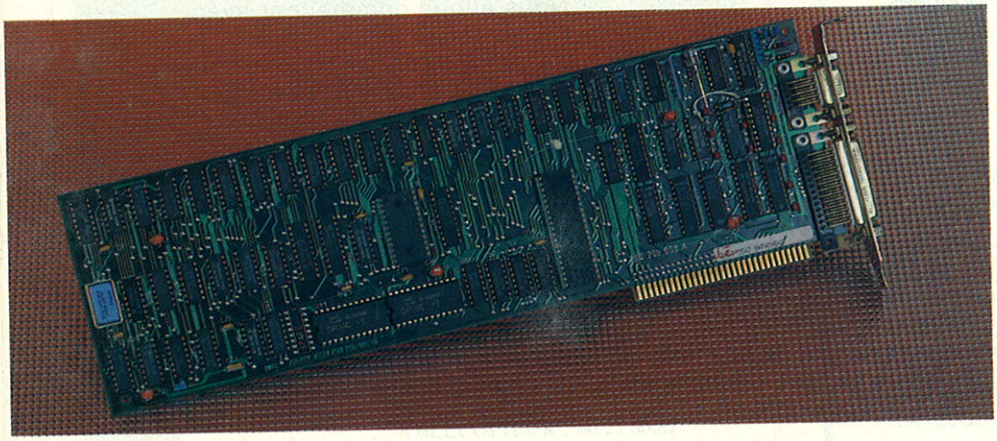


Figure 2 : Structure interne des circuits 82C250 et 82C251.



Le BUS du PC arrive sur DB0-DB7, les signaux de contrôle sont A0-A2, IOW, IOR, RESET. Chaque module possède son Chip Select : CS1, CS2 pour les UARTs et CS3 pour l'imprimante. Les signaux d'états de l'imprimante arrivent à gauche : ERR, SLCT, BUSY, PE, ACK.

A droite, nous trouvons le bus de données Centronics PD0-PD7, ainsi que les signaux de commande : INIT, AFD, STB, SLTCIN ; la ligne INT3 retourne sur le BUS du PC, pour une gestion par interruptions de la carte.

L'état des deux lignes LPOE/MODE et PS2MODE définit le fonctionnement de l'interface.

Si PS2MODE et LPOE sont à ZERO, l'interface fonctionne comme une carte parrallèle compatible XT/AT. Avec LPOE à un, les données ne sortent plus, en lecture on recupère l'état de PD0-PD7.

Si PS2MODE et LPOE sont à UN, le circuit est en mode PS2, son fonctionnement est défini par la valeur du bit 5 du registre de contrôle.

Si ce bit est à 0, l'interface est compatible XT ou AT, dans l'autre cas les sorties sont désactivées, l'interface est en mode entrée.

Enfin, dans le dernier cas : PS2MODE = 1 et LPOE = 0, les

sorties sont actives, mais lors d'une relecture, on lit à la sortie du registre interne et non pas les valeurs sur PD0-PD7.
En conclusion, PS2MODE = LPOE = 0 configure le circuit en mode XT/AT, avec PS2MODE = LPOE = 1 le circuit fonctionne dans le mode PS2.

Le 82C11 d'UMC

Le constructeur UMC (importateur CDE), fabrique à Taiwan (et autour) des circuits qui ont la caractéristique d'être «porteur». Dans son catalogue, on trouve des circuits compatibles avec ceux des grands constructeurs (INTEL, MOTOROLA...). Nombre de ces circuits sont utilisés dans un PC. Le 82C11 est l'un des quelques circuits développés par ce constructeur, il a été conçu pour gérer l'interface imprimante. La **figure 3** donne le brochage du 82C11. Ce circuit contient une interface imprimante et un circuit oscillateur. Sur X1, X2 on peut placer un quartz de 18, XXMHz, la sortie CLK donne la fréquence fondamentale, la sortie DCLK donne la valeur divisée par 10, ce qui, comme par hasard, fournit l'horloge nécessaire au fonctionnement du 8250 (le circuit utilisé sur les cartes COMX, RS232). Pour le reste, on trouve les signaux qui ont été décrits dans le chapitre précédent, toutefois ce circuit ne dispose pas du mode PS2.

Le problème du POE du 82C11

Dans la suite de cet article, nous ferons référence à ce circuit avec PXX, pour indiquer un numéro de patte de ce circuit.
La notice du constructeur est très explicite sur l'utilisation du POE, la **figure 4** donne les extraits concernant cette patte.
Pour passer en mode bidirectionnelle, il faut contrôler l'entrée POE (P19). Quand cette entrée est mise à un, les buffers de sorties passent en haute impédance, nous sommes configurés en entrée, la lecture du port donne les signaux à l'entrée. Malheureusement nous allons voir qu'il y a un «léger» problème. La carte interface imprimante (de très faible prix) est équipée d'un circuit référencé HM82C11C et non pas UM82C11.

LES MONTAGES D'ADAPTATION

Le plan type d'une carte imprimante est donné dans la **figure 5**.

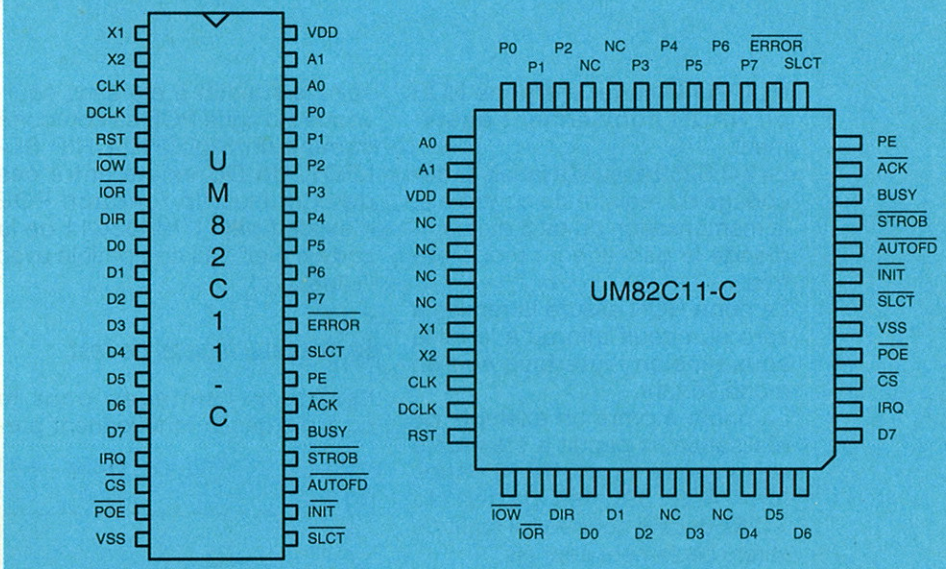


Figure 3 : Brochage du UM82C11.

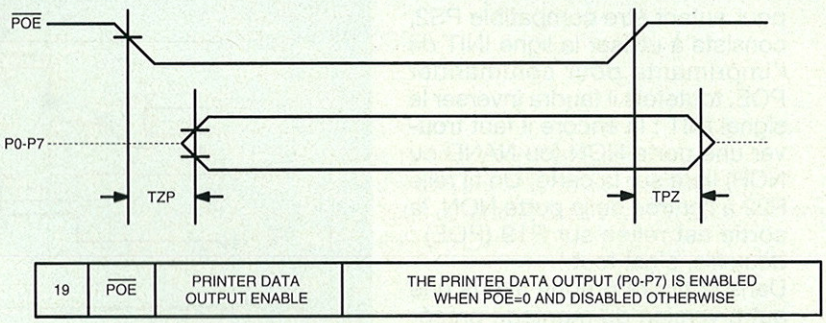


Figure 4 : Spécification de la patte POE.

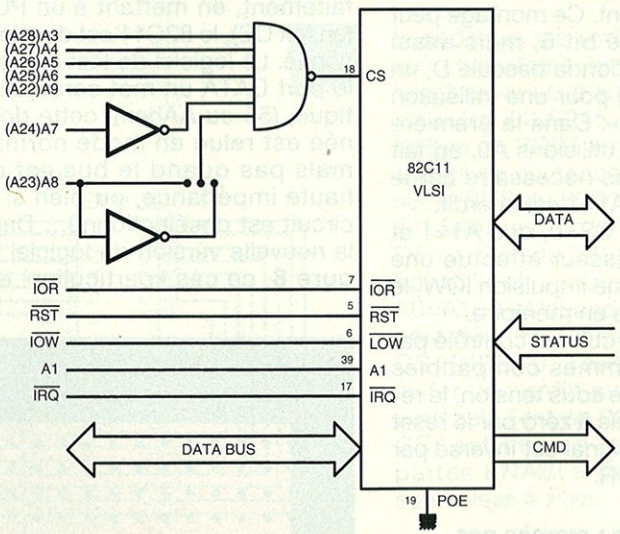


Figure 5 : Plan type d'une carte imprimante.

Une logique combinatoire génère le signal CS pour le 82C11. Sur cet exemple seuls les deux sixièmes d'un 74LS04 sont utilisés, une des portes libres va nous servir pour ce premier montage. Le schéma électrique de la **figure 6** est le plus simple qui soit. Pour pouvoir être utilisé, il faut pouvoir disposer d'une porte

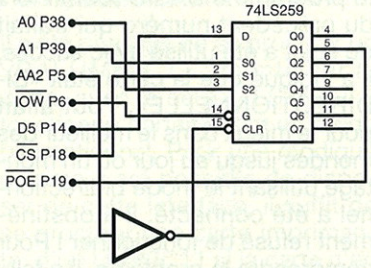


Figure 6 : Première version du montage (74LS259).

NON sur la carte, une porte NOR ou NAND conviennent également.
Le 74LS259 assure à la fois le décodage du registre de contrôle et la mémorisation du bit 5 qui commande le passage en mode entrée.
La porte NON assure la remise à zéro du circuit afin qu'à la mise sous tension l'interface soit en mode sortant.
La photo montre un exemple de réalisation, le circuit a été monté sur un autre circuit de 16 pattes (un 74LS139), les pattes du 74259 ont été coupées, il suffit de «tirer» seulement sept fils.
Une solution encore plus simple, si l'on souhaite disposer de cette interface bidirectionnelle sans pour autant être compatible PS2, consiste à utiliser la ligne INIT de l'imprimante pour commander POE, toutefois il faudra inverser le signal INIT ; là encore il faut trouver une porte NON (ou NAND ou NOR) libre sur la carte. Un fil relie P22 à l'entrée de la porte NON, la sortie est reliée sur P19 (POE) : deux fils, c'est tout !
Dans la figure 6 nous avons une autre version du montage précédent, il utilise deux circuits intégrés. Ce montage est autonome, il n'est pas nécessaire de trouver sur la carte la porte NON du montage précédent. Ce montage peut mémoriser le bit 5, mais aussi grâce à la seconde bascule D, un autre bit (6,7) pour une utilisation «à discrétion». Dans la première version nous utilisions A0, en fait cela n'est pas nécessaire car le cas A0=1 et A1=1 est interdit.
Dès lors que CS=0, que A1=1 et que le processeur effectue une écriture par une impulsion IOW, le bit D5 est mis en mémoire.
Le POE du circuit est contrôlé par D5, nous sommes compatibles PS2. A la mise sous tension, le registre est remis à zéro par le reset du CPU, ce signal est inversé par une porte NOR.

Et quand ça ne marche pas...

Une fois ces modifications faites, le programme BASIC fournit lors du précédent numéro qui traitait du sujet a été utilisé avec succès, il a indiqué que la carte était «BIDIRECTIONNELLE». Tout allait pour le mieux dans le meilleur des mondes jusqu'au jour où un montage utilisant le mode bidirectionnel a été connecté, il a obstinément refusé de fonctionner ! Pour comprendre le problème, il a fallu utiliser le logiciel DEBUG (fournit avec le DOS), après quelques essais, le constat a été sans équivoque : la ligne POE se comporte comme un SECOND CHIP SELECT. Un OU existe entre ces deux pattes, la fonction POE n'existait pas. L'HM82C11 de la carte n'était pas compatible avec l'UM82C11.

Le nouveau logiciel de test

Les deux montages pour le contrôle de D5 fonctionnent parfaitement, en mettant à un POE (en fait CS), le 82C11 est desélectionné. Le logiciel de test sort sur le port DATA un mot caractéristique, (55 ou AAhex), cette donnée est relue en mode normal, mais pas quand le bus est en haute impédance, ou bien si le circuit est desélectionné... Dans la nouvelle version du logiciel **figure 8**, ce cas «particulier» est géré. Pour savoir si la carte est toujours présente, le logiciel teste en plus la fonctionnalité de la partie contrôle, qui doit toujours rester opérationnelle, dans le cas contraire, nous avons un problème.

Furax... mais obstiné

Après avoir installé le 74LS259, le problème «POE» ne fut pas très apprécié, un adaptateur fut monté sur la carte...
Comme le montre la photo, deux 74LS245 ont été sous-utilisés (un seul sens), ils étaient à portée de mains. Un choix de deux 74HCT541 aurait été plus judicieux. La **figure 9** donne le schéma électrique du montage. Les sorties P0.P7 du HM82C11 sont connectées sur un 74LS245 qui va assurer le passage en haute

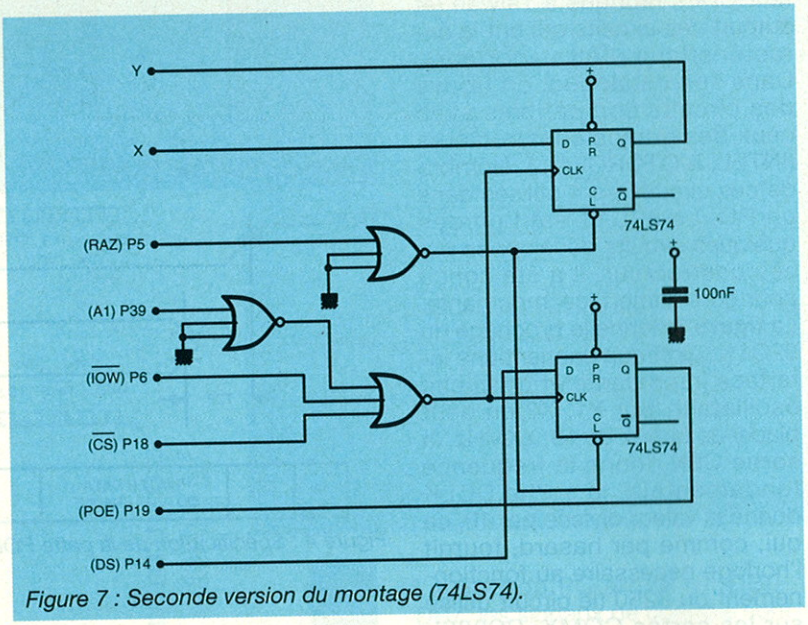
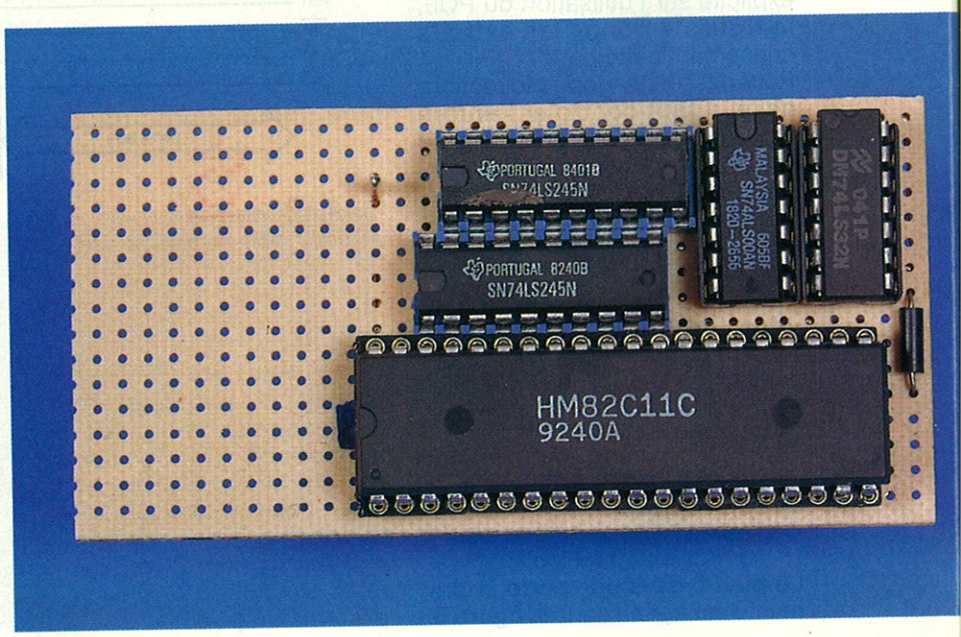


Figure 7 : Seconde version du montage (74LS74).



```
10 CLS
20 PRINT "TEST SI L'INTERFACE IMPRIMANTE EST BIDIRECTIONNELLE"
30 PRINT "COPYRIGHT X.FENARD 1993"
40 REM
50 GOSUB 1000 : REM adresse display
60 GOSUB 100
70 GOSUB 1100 : REM adresse PRINTER
80 GOSUB 100
90 GOSUB 1200 : REM adresse PRINTER
95 GOSUB 100
99 END
100 REM TEST
105 OUT CTRL%, 5
110 GOSUB 2010
120 GOSUB 2055 : REM compte rendu
130 IF N = 0 GOTO 200
140 GOSUB 3000
200 RETURN
1000 REM Adresse pour le port Display
1001 PRINT "Recherche sur le port DISPLAY en 3BC"
1010 PRND% = &H3BC: CTRL% = &H3BE: STATI = &H3BD
1030 RETURN
1100 REM Adresse pour le port printer
1101 PRINT "Recherche sur le port PRINTER en 378"
1110 PRND% = &H378: CTRL% = &H37A: STATI = &H379
1130 RETURN
1200 REM Adresse pour le port printer
1201 PRINT "Recherche sur le port PRINTER en 278"
1209 REM en lecture/écriture
1210 PRND% = &H278: CTRL% = &H27A: STATI = &H379
1230 RETURN
2000 REM Détection de CARTE
2005 IF ((((INP(CTRL%)) AND &HF) <> 5) GOTO 2051
2010 OUT PRND%, &H55
2020 IF (&H55 <> INP(PRND%)) GOTO 2050
2030 OUT PRND%, &HAA
2040 IF (&HAA <> INP(PRND%)) GOTO 2050
2045 N = 1: RETURN
2050 N = 0: RETURN
2051 PRINT "ATTENTION DESELECTION CARTE DETECTEE"
2052 GOTO 2010
2055 IF N = 0 GOTO 2070
2060 PRINT "Interface imprimante détectee": RETURN
2070 PRINT "Interface imprimante pas détectée à cette adresse": RETURN
3000 PRINT " RECHERCHE d'une configuration entrée "
3010 K = 5: OUT CTRL%, (&H5 + 32)
3020 GOSUB 2000
3030 IF N = 0 GOTO 3090
3040 K = 6: OUT CTRL%, (&H5 + 64)
3050 GOSUB 2000
3060 IF N = 0 GOTO 3090
3070 K = 7: OUT CTRL%, (&H5 + 128)
3080 GOSUB 2000
3085 IF N = 0 GOTO 3090
3087 PRINT "PAS de configuration entrée possible"
3088 OUT CRTL%, (INP(CRTL%) AND &H1F): RETURN
3090 PRINT "Le bit "; K; " du contrôle mis à 1 configure le port en entrée"
3095 OUT CRTL%, (INP(CRTL%) AND &H1F): RETURN
```

Figure 8 : Le nouveau logiciel de test.

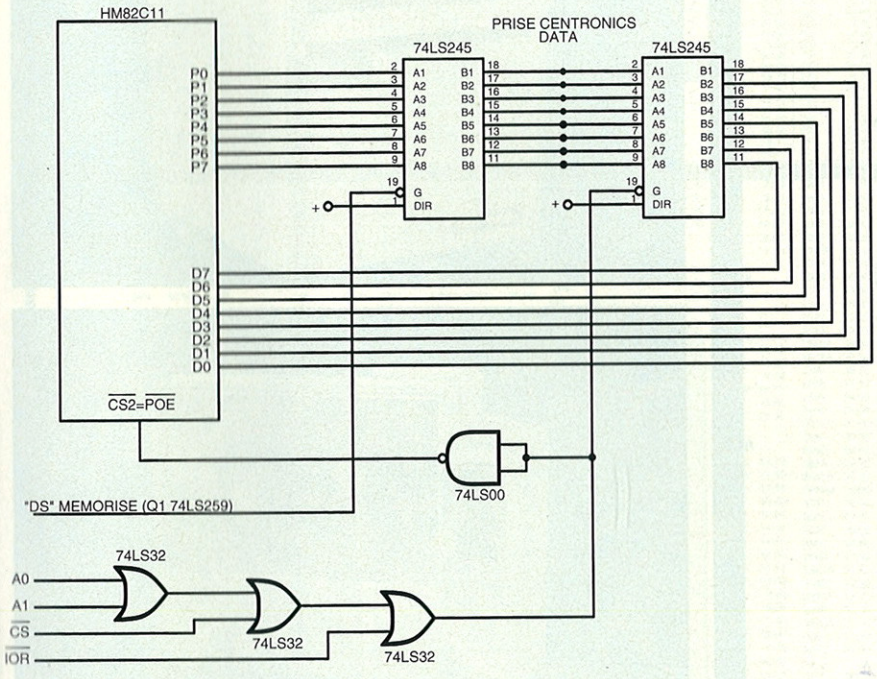


Figure 9 : Schéma électrique de la gestion des données pour le HM82C11.

impédance, les sorties de ce circuit vont, d'une part, vers le port imprimante et, d'autre part, vers un autre 74LS245 qui assure la lecture du PORT imprimante. Les sorties de ce second circuit vont sur le BUS du 82C11. Le premier 74LS245 est contrôlé par le bit D5 sortant du 74LS259. Le second est «ouvert» quand A0=A1=0 et quand le circuit est sélectionné en LECTURE CS=OIRD=0. Toutefois, il faut éviter un conflit avec le 82C11, pour cela l'entrée POE (qui est un CS) est mise à un quand les pattes ENABLE du 74HCT541 sont mises à zéro.

Pour quelques dollars de plus...

Il a été possible de se procurer un VRAI UM82C11 ; monté sur la carte, avec le seul 74LS259, il a fonctionné parfaitement en mode bidirectionnel. Pour une modique somme il est possible de disposer de cette interface, il suffit de se procurer une carte imprimante, d'un UM82C11 si la carte n'en est pas équipée avec un support 40 pattes et du 74LS259.

RÉALISATION DE L'INTERFACE

Il faut commencer par charger le logiciel donné à la figure 8.
En le lancant une première fois on détermine les adresses déjà utilisées (trois sont possibles).
La seconde opération consiste à acquérir une carte imprimante avec de préférence un UM82C11, sinon prendre la version avec le HM82C11.
Installer la carte à une adresse disponible, le logiciel doit la détecter.
Il faut maintenant commencer sa modification, elle s'effectue en plusieurs étapes : enlever le XX82C11, isoler le POE, mettre un support, enfin câbler le 74LS259.

Démontage du circuit

Les virtuoses de la pompe à dessouder peuvent sauter ce paragraphe. Les cartes sont à trous métallisés, c'est solide mais pas trop. Le fer à souder n'est pas une hache, il doit être propre, toujours proche de son éponge humide, aucune surcharge de soudure ne doit être admise. Avec un fer bien chaud, de la tresse ou une pompe «sans recul» (pas un marteau piqueur), on peut dessouder le cicuit. Dans le cas contraire, si «ça commence mal» il ne faut pas hésiter à avoir le comportement d'un «pro», on supprime le circuit en coupant toutes les pattes à l'aide d'une pince coupante au ras du circuit, puis à l'aide d'une pince (à épiler) et du fer on enlève une à une les pattes, enfin on vide les trous avec de la tresse. Evidemment, on perd les quelques francs du circuit, mais on sauve le cuivre, et les mauvais contacts, cela fait des heures de travail en plus...

Isoler le POE et installer le 74LS259

C'est la patte P19, elle est reliée à la masse par la patte P20. Mais il faut faire attention, sur certaines cartes, une piste supplémentaire arrive côté composants sous le 82C11. De plus, pour la «sonnette», il faut se méfier car la masse est prise sur plusieurs points du connecteur, elle n'est pas continue sur toute la carte.
Tous les fils doivent être étamés avant d'être soudés sur la carte (sauf les fils à wrapper !).
Dans un des exemples, les fils ont été tirés à partir d'une place libre qui était prévue pour un autre 82C11, vérifier les équipotentielles entre ces deux circuits.
Pour les fils, il ne faut jamais les souder à partir du connecteur. Il faut trouver où aboutissent ces équipotentielles avec une «sonnette», tirer ces fils à partir des circuits intégrés ou des pastilles.
Les connecteurs femelle de la carte mère du PC sont fragiles et véhiculent des tensions (+ 12V, - 12V) qui, si elles entraient en contact avec d'autres fils du PC, signeraient l'arrêt de mort de votre PC.

CONCLUSION

Nous voulions trouver une solution simple pour convertir une carte interface imprimante unidirectionnelle en une carte bidirectionnelle, nous y sommes presque parvenus. Presque, parce qu'aujourd'hui il faut savoir composer avec le système D et des circuits d'un troisième type.

X. Fenard

SOCEM-ELEC

Le style et l'efficacité

DES MACHINES À GRAVER PAR PULVÉRISATION POUR LES «LABO» ET PETITES SÉRIES,
CONSULTEZ-NOUS POUR D'AUTRES MODÈLES CONFORME À VOS BESOINS.
PLAQUES PRÉSENSIBILISÉES - MARQUAGE ALU - PERCHLO - FILMS ...

DÉPARTEMENT LABORATOIRE

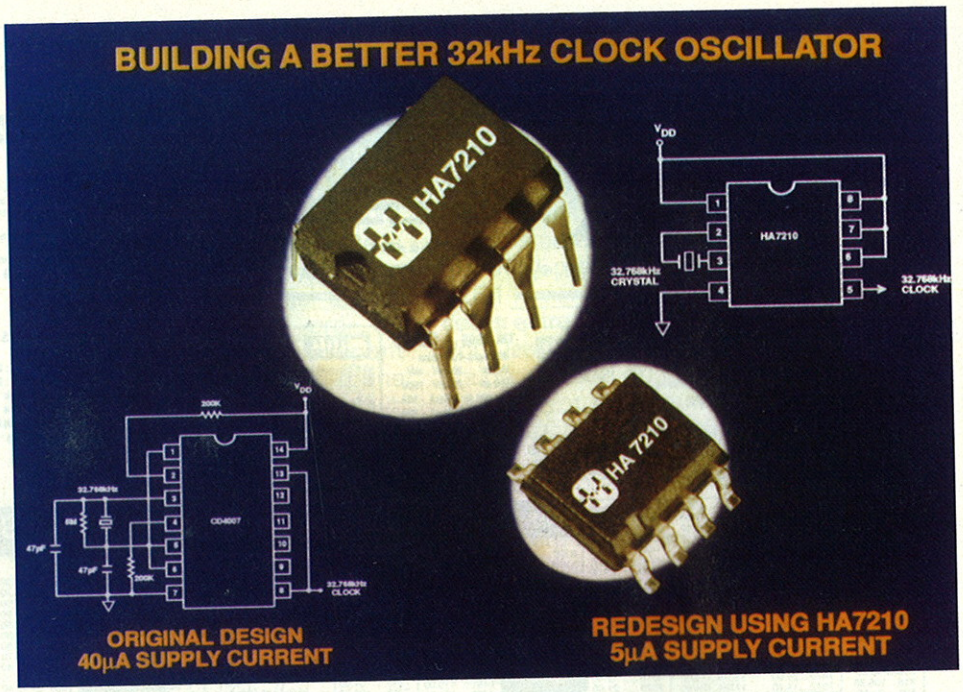
ZAC
40, Boulevard de Nesles
77420 CHAMPS-S./MARNE
Tél. : (1) 64 68 23 37
Fax : (1) 64 68 29 75

— SERVICE APRÈS-VENTE —

Machine à graver
MINI-JET

Machine à graver
STAT-LAB

Le HA7210 : CI oscillateur basse tension, faible consommation



Harris Semiconductor propose un nouveau circuit permettant pour la première fois aux concepteurs de développer des circuits d'horloge faible puissance (5 µA à 32 kHz) pour systèmes basse fréquence fonctionnant sous une tension d'alimentation comprise entre 2 et 7 V. En réduisant le nombre des composants et en divisant par huit la valeur du courant d'alimentation du circuit d'horloge, ce circuit, référencé HA7210, permet aux fabricants de systèmes portables faible puissance d'augmenter la durée de vie de la batterie et, par conséquent, la valeur de leurs produits.
Cette amélioration concerne principalement les ordinateurs, les multimètres portables et autres systèmes à base de microcontrôleurs ou microprocesseurs 8 bits faible tension. Jusqu'à présent, les seuls circuits oscillateurs à quartz adaptés aux applications à 32 kHz nécessitaient un courant d'alimentation de 40 µA.
Avec seulement un quartz externe, ce nouvel oscillateur peut remplacer les circuits d'horloge nécessitant généralement plusieurs composants : un inverseur, ainsi que plusieurs résistances et condensateurs. Le concepteur peut par conséquent réduire le niveau du courant d'alimentation de 40 à 5 µA dans des applications à 32 kHz (le HA7210 est spécifié pour une alimentation de 5 µA à 32 kHz et de 130 µA à 1 MHz).
A l'aide d'un seul quartz, le HA7210 peut être programmé en externe pour fonctionner entre 10 kHz et 10 MHz. Toutefois, cette nouvelle puce trouvera ses principales applications dans la plage des 32 kHz, notamment parce que 32,768 kHz constitue la fréquence de base pour créer des incréments de 1 seconde. Le HA7210, qui peut commander deux charges CMOS, se caractérise par un mode «Invalidation» faisant passer la sortie à l'état «haute impédance» lorsque la broche «Validation» (Enable) est désactivée. Le mode Invalidation est utilisé dans les opérations de test, dans les configurations multi-oscillateurs et pour minimiser la dissipation de puissance lorsque la sortie de l'oscillateur est désactivée. La sortie haute impédance forme un canal haute résistance jusqu'à la masse pour empêcher que les entrées CMOS ne soient flottantes.
Ultra-stable, le HA7210 peut fonctionner sous une tension d'alimentation unique comprise entre 2 et 7 V. Il est opérationnel dans la plage de température industrielle (- 40 à + 85 °C).
Enfin, ce circuit est disponible en boîtier SOIC 8 contacts ou PDIP 8 contacts, ainsi que sous forme de puce nue.
Harris Semiconductor
2, 4, avenue de l'Europe
78140 Vélizy
Tél. : (1) 34 65 40 89

Le générateur de mires SIDER 920

La Société SIDER ONDYNE complète sa gamme en commercialisant un nouveau générateur de mires : le modèle 920. Ce générateur est particulièrement adapté au service après-vente pour les utilisateurs désirant réaliser un investissement modeste.

Caractéristiques principales :

- Standards vidéo : Secam-Pal
- Images obtenues : pureté (6 couleurs), mires de barres normalisées, géométrie - convergence, découpage.
- Sorties disponibles : vidéo composite, R.V.B. - péritel, Y/C (S-VHS) et H.F.
- 3 normes H.F. : L/L' - B/G - K'
- Canaux hertziens synthétisés et mémorisés.
- Affichage du canal (2 digits).
- Commutation format 4/3 - 16/9 par la prise péritel.

Il s'agit en fait d'une version simplifiée du générateur de mires Sider 890 que nous avions présentée dans ces colonnes en avril 92.

Le modèle 920 est proposé au prix de 8700 F HT.

SIDER
11, rue Pascal, 75005 Paris.
Tél. : 45.87.30.76.

INFO

Le compteur universel HP 53131A

Il s'agit du dernier appareil HP entrant dans la série des instruments de base et distribué à ce titre par HP Direct.
Afin d'offrir une résolution de 10 chiffres par seconde, le HP 53131 A fait appel à une nouvelle technologie développée initialement pour les analyseurs de modulation HP.
Avec ces possibilités, le HP 53131A acquiert des milliers de fois la quantité d'informations acquise dans le même laps de temps par un compteur classique à réciprocité. Le traitement du signal en temps réel exploite au maximum ces informations supplémentaires afin de fournir une quantité de mesures et une résolution jamais offertes auparavant dans cette gamme de prix.
Si l'aspect rapidité est le plus important, comme c'est souvent le cas dans les applications de test automatique, les mesures à la résolution standard peuvent être effectuées en dix fois moins de temps que précédemment, voire même mieux. L'ingénieur de test peut désormais choisir un compromis entre vitesse et résolution afin d'optimiser les tests dans le cadre d'une application donnée.
Ce compteur offre les possibilités de mesures typiques d'un compteur, c'est-à-dire la fréquence, l'intervalle de temps et la période. l'offre de plus certaines fonctions élaborées telles que les calculs statistiques, le test aux limites, un mode de réglage analogique ainsi, qu'une copie sur papier.
Pour les applications sur table, la conception robuste de l'appareil lui offre un surcroît de protection contre les chocs. Un port standard RS-232 (sortie seulement) permet le support d'une imprimante ou le transfert de données vers un ordinateur utilisant un programme d'émulation de terminal.
L'interface HP-IB (IEEE 488.2) est fournie d'origine. La programmation est compatible SCPI, ce qui assure la pérennité du logiciel du système de test. le HP 53131A transfert des données à une cadence pouvant atteindre 200 lectures par seconde.
Quelques caractéristiques du HP 53131A :

* Bande passante : 225 MHz, avec une option à 3 GHz ;
* Résolution : 10 chiffres par seconde ;
* Résolution sur intervalle de temps unique : 500 ps, quelques dizaines de ps avec la fonction moyenne ;
* Cadence de sortie sur HP-IB : 200 mesures entièrement formatées par seconde ;
* Mesures standards : fréquence, période, rapport, intervalle de temps, largeur d'impulsion, angle de phase, rapport cyclique, totalisation, tension de crête, temps de montée, ainsi que divers autres fonctions.
* Mémorisation de 20 configurations de mesure pour un rappel rapide par simple action sur une touche.
* Test aux limites ;
* Statistiques ;
* Mode d'affichage analogique destiné au réglage interactif d'appareils.

Cet appareil disponible début avril sera présenté à Solutronic.

HP Direct test et mesure
ZI de Courtabœuf
1, avenue du Canada
91947 - Les Ulis Cedex.

EEPROM série I2C 16 kbits

Aujourd'hui, nombre d'équipements – postes téléphoniques, magnétoscopes, téléviseurs, récepteurs satellite et autoradios – requièrent une capacité de stockage mémoire non volatile de plus en plus importante. Pour faire face à cette demande croissante, SGS-Thomson Microelectronics complète sa famille de mémoire EEPROM série compatibles I2C avec un nouveau modèle référencé ST24C16C. Parfaitement adapté à une large gamme d'applications, ce nouveau modèle se caractérise par une capacité mémoire de 16 kbits – la plus importante taille mémoire adressable par l'adresse 11 bits du protocole I2C – et par sa configuration interne (8 blocs de 256 octets).
A l'image des autres membres de la famille ST24, avec lesquels il est totalement compatible, le ST24C16C offre une endurance élevée, avec un minimum de 100 000 cycles d'écriture/effacement garantis. De telles performances sont le résultat de la conception de cellules mémoires brevetée par SCG-Thomson où la configuration traditionnelle – empilage vertical des portes – est remplacée par une structure latérale minimisant les contraintes thermiques sur la couche d'oxyde engendrant un effet tunnel parasite au cours des opérations de traitement ultérieures.
Le ST14C16C est pourvu d'un mode de protection en écriture permettant de protéger intégralement ou partiellement la partie supérieure du réseau contre toute opération d'effacement/écriture non autorisée. La protection peut commencer en s'appliquant à partir de toute section 16 octets comprise dans les quatre blocs supérieurs de 256x8 bits, l'adresse de départ de la zone protégée étant déterminée par deux broches d'entrée et par le contenu du Registre de Protection. Dans la mesure où le Registre de Protection est physiquement le dernier octet du bloc supérieur, il est toujours situé dans la zone protégée. C'est pourquoi, une fois fixée, la configuration de protection ne peut être modifiée qu'en mettant la broche AO/PRE à la masse et en écrivant les nouvelles données dans le Registre de Protection.
La mémoire ST24C16C est proposée en boîtier DIP 8 broches et SO 14 broches dans les plages de température de fonctionnement commerciale, industrielle et militaire. Elle est parfaitement adaptée à la mémorisation des données de configuration, des tables de consultation, des courbes de référence et des données d'étalonnage dans les applications grand public, industrielles et informatiques.

SGS-THOMSON
7, avenue Galliéni
94253 Gentilly Cedex
Tél. : (1) 47.40.75.21
Fax : (1) 47.40.79.24