

# ELECTRONIQUE APPLICATIONS

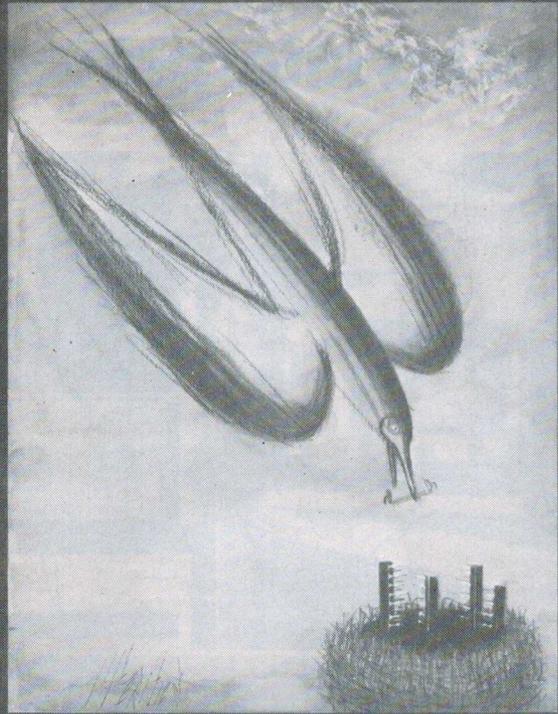
I.S.S.N. 0243 489X

Bimestriel N° 18 - Juin/Juillet 1981 - 18 F



# ELECTRONIQUE APPLICATIONS

Bimestriel N° 18 - Juin/Juillet 1981 - 18 F



SUISSE : 9,00 FS - TUNISIE : 2070 MIL. - CANADA : CAN 5 3,75 - ESPAGNE : 200 PESETAS - ITALIE : 480 LIRE - BELGIQUE : 145 F.B.

## Société Parisienne d'Édition

Société anonyme au capital de 1 950 000 F  
Siège social : 43, rue de Dunkerque, 75010 Paris  
Direction - Rédaction - Administration - Ventes :  
2 à 12, rue de Bellevue, 75940 Paris Cedex 19  
Tél. : 200.33.05 - Télex : PGV 230472 F

Président-Directeur Général ; Directeur de la Publication : **Jean-Pierre Ventillard.**

Rédacteur en chef : **Jean-Claude Roussez**      Coordinateur Technique : **Jean-Marc Le Roux**

Publicité : Société Auxiliaire de Publicité  
2 à 12, rue de Bellevue, 75940 Paris Cédex 19  
Tél. : 200.33.05



Advertising International Manager : **Michel Sabbagh**      Chef de Publicité : **Francine Fohrer**

Ont participé à ce numéro : **J. Bellin, J. Ceccaldi, R. Charles, J. De Neff, P. Gueulle, D. Jacovopoulos, H. Kadima, P. Lemeunier, J.-F. Renaud, D. Pasquet, J. Sabourin, J. Trémolières.**

Maquette : **Michel Raby**  
Couverture : **Gilbert L'Héritier**

Ce numéro a été tiré à  
**60 000 exemplaires**

Abonnements : 2 à 12, rue de Bellevue, 75019 Paris.  
1 an (6 numéros) : **87 F (France) - 110 F (Etranger)**  
Copyright 1981 - Société Parisienne d'Édition  
Dépôt légal 2<sup>e</sup> trimestre 1981    N° éditeur : 901

« La loi du 11 mars 1957 n'autorisant, aux termes des alinéas 2 et 3 de l'article 41, d'une part, que « les copies ou reproductions strictement réservées à l'usage privé du copiste et non destinées à une utilisation collective » et, d'autre part, que les analyses et les courtes citations dans un but d'exemple et d'illustration, « toute représentation ou reproduction intégrale, ou partielle, faite sans le consentement de l'auteur ou de ses ayants-droit ou ayants-cause, est illicite » (alinéa 1<sup>er</sup> de l'article 40).  
« Cette représentation ou reproduction, par quelque procédé que ce soit constituerait donc une contrefaçon sanctionnée par les articles 425 et suivants du Code Pénal. »

Electronique Applications décline toute responsabilité quant aux opinions formulées dans les articles, celles-ci n'engageant que leurs auteurs.

Distribué par SAEM Transports Presse - Imprimerie : Edicis, 75019 Paris.

## SOMMAIRE



Une pompe à chaleur : le module Peltier 5



Principes et applications des codecs 11  
L'amplification H.F. en classe E (fin) 19  
Conversion binaire/BCD en logique combinatoire 37  
Les alimentations régulées en courant 75



Translation de la page graphique haute résolution du système Apple II vers la gauche 31  
Réalisation d'un clavier ASCII à partir d'un clavier hexadécimal 115



Typologie des chaînes de mesure 43  
Synthèse de fonctions en calcul analogique 49



Emploi des triacs sur charge inductive 55  
Le Quadrafet : principe et applications (fin) 91



De l'effet Kirlian à l'aura humaine 99

Fiches techniques : diviseurs de fréquence UHF 61  
La structure de la matière (fin) 105  
Nouveautés-Informations 117  
Bibliographie 126  
Cartes « Service-Lecteurs » 131 - 132

S'il existe de nombreux principes de conversion Binaire-BCD, leur application pratique entraîne cependant toujours certains inconvénients inhérents à la technologie. Les principaux défauts sont : la vitesse d'exécution, la consommation du montage, la complexité du schéma, le prix de revient, etc.

Certains de ces paramètres sont liés entre eux et, souvent, on se voit contraint d'adopter des compromis.

Le dispositif proposé dans cet article est basé sur un principe de calcul arithmétique et son exécution se fait en logique combinatoire.

# Conversion binaire-BCD en logique combinatoire

## Généralités

### Transcodage

La conversion de code ou transcodage est une fonction qui se réalise en général en logique combinatoire de par sa définition même.

En effet, soit à convertir le code 1 en code 2 (fig. 1) ; chaque mot exprimé dans le code 1 devra avoir un correspondant unique dans le code 2.

$$\langle A_0 A_1 \dots A_{(N-1)} \rangle \rightarrow \langle S_0 S_1 \dots S_{(p-1)} \rangle \quad \forall A_i \in \{0, 1\}$$

Donc toute variable de sortie  $S_i$  sera fonction uniquement des variables d'entrée.

$$S_i = f [ \langle A_0, A_1, \dots, A_{(N-1)} \rangle ]$$

$$\forall_i \in \{0, 1, \dots, p-1\}$$

### Efficacité, redondance

Un code binaire peut être caractérisé, outre son format ou sa capacité de codage, par son efficacité ou sa redondance.

La capacité maximale  $M$  d'un

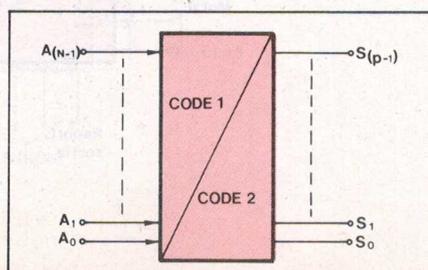


Fig. 1. — Représentation d'un transcodeur code 1/code 2.

code à  $N$  positions est :  $M = 2^N$ . Si ce code ne génère que  $P$  mots, on dit que son rendement est :

$$\eta = \frac{P}{M}$$

ou sa redondance est :

$$R = 1 - \eta, \text{ soit : } R = 1 - \frac{P}{M}$$

### Exemples :

● Code binaire naturel :

$$\eta = \frac{2^N}{2^N} = 1 \text{ (ou 100 \%)}$$

$$R = 0 \quad \text{(ou 0 \%)}$$

● Code BCD :

$$\eta = \frac{10}{16} = 0,63 \text{ (ou 63 \%)}$$

$$R = 1 - 0,63 = 0,37 \text{ (ou 37 \%)}$$

Les notions de redondance ou d'efficacité d'un code sont importantes lorsqu'on s'intéresse aux possibilités d'erreurs ainsi que pour le décodage.

Du fait de la redondance (non nulle) du code BCD, la conversion BINAIRE  $\rightarrow$  BCD n'est pas simplifiée.

### Conversion BINAIRE $\rightarrow$ BCD

La conversion BINAIRE  $\rightarrow$  BCD peut être effectuée en :

- logique combinatoire,
- logique séquentielle,
- logique programmée.

● Dans le premier cas, il existe trois possibilités triviales :

- programmation d'une mémoire PROM (ou ROM),
- utilisation de portes logiques,
- utilisation de fonctions arithmétiques.

● En logique séquentielle, le couplage d'un compteur binaire à un compteur BCD est une solution simple.

● En logique programmée, l'utilisation d'un des algorithmes existants permet de résoudre le problème facilement.

Le principe qui sera décrit au paragraphe suivant utilise le calcul arithmétique en logique combinatoire.

Ses avantages, comparé aux autres systèmes, seront exposés plus loin.

## Principe de la conversion

Le schéma-bloc d'un convertisseur BINAIRE/BCD est représenté à la figure 2.

Pour une entrée de N bits ( $A_0$  à  $A_{N-1}$ ), P digits codés en BCD sont nécessaires ; P étant le premier entier naturel supérieur à  $(N \cdot \text{Log. } 2)$ .

Sur la figure 2, on trouve la signification de chaque bit, c'est-à-dire son « poids » dans un code donné.

Ainsi, les poids respectifs sont :

BINAIRE :

$$2^0, 2^1, \dots, 2^{N-1}$$

BCD :

$$\underbrace{2^0 \cdot 10^0, 2^1 \cdot 10^0, 2^2 \cdot 10^0, 2^3 \cdot 10^0}_{\text{Digit 1}}$$

Digit 1

$$\underbrace{2^0 \cdot 10^1, 2^1 \cdot 10^1, 2^2 \cdot 10^1, 2^3 \cdot 10^1}_{\text{Digit 2}}$$

Digit 2

$$\underbrace{2^0 \cdot 10^{P-1}, \dots, 2^3 \cdot 10^{P-1}}_{\text{Digit P}}$$

Digit P

Tout entier naturel M,  $M > 2^N$ , peut s'exprimer suivant les deux équations :

$$M = A_0 \cdot 2^0 + A_1 \cdot 2^1 + \dots + A_{N-1} \cdot 2^{N-1} \quad (1)$$

ou :

$$M = (S_0 \cdot 2^0 + \dots + S_3 \cdot 2^3) \cdot 10^0 + \dots + (S_0^{P-1} \cdot 2^0 + \dots + S_3^{P-1} \cdot 2^3) \cdot 10^{P-1} \quad (2)$$

avec :  $A_i$  et  $S_i^k = 0$  ou 1.

La fonction d'un convertisseur BINAIRE/BCD est de valider l'équation (2), quelle que soit l'équation (1).

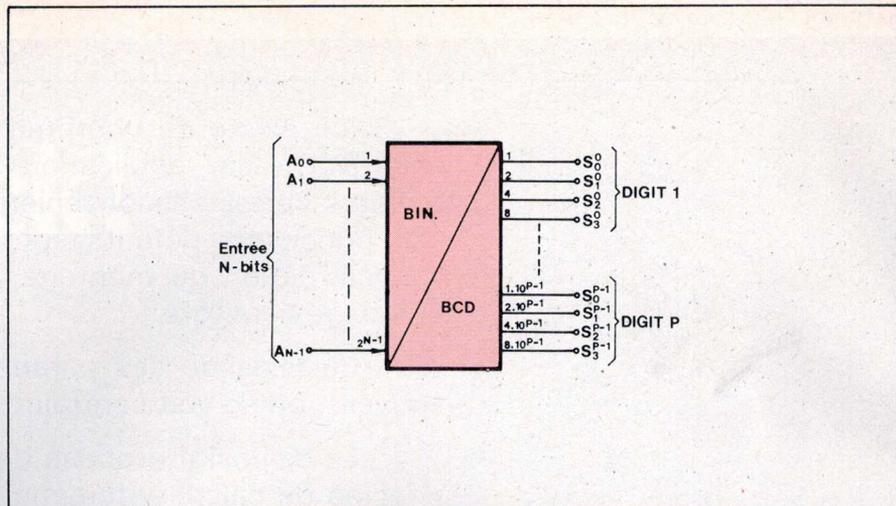


Fig. 2. - Configuration d'un convertisseur binaire/BCD. Il apparaît le poids de chaque bit.

Le principe de la conversion utilisée dans cette étude est le suivant :

- chaque bit à l'entrée binaire du convertisseur est décomposé en composantes élémentaires du code BCD

(exemple :

$$2^5 = 32 = 2^1 \cdot 10^1 + 2^0 \cdot 10^1 + 2^1 \cdot 10^0)$$

- tous les bits ainsi obtenus (de « poids BCD ») sont ensuite sommés par un additionneur BCD à plusieurs entrées.

Les équations (1) et (2) se trouvent ainsi vérifiées en raison des propriétés d'associativité de l'addition dans N (Entiers Naturels) et celles d'un additionneur BCD.

## Réalisation pratique

L'application technologique du principe décrit plus haut est faite avec, comme circuit de base, le MC14560 B (Motorola). C'est un additionneur BCD complet (deux fois quatre bits et un report à l'entrée, sortie BCD et report).

nement est décrit par les figures 3 et 4. C'est un circuit C-MOS.

Un convertisseur 12 bits réalisé avec ce circuit est représenté à la figure 5. Le poids de chaque bit y figure.

Pour que l'ensemble fonctionne correctement, il faut et il suffit que chaque MC 14560 B « voit » à ses entrées A et B des mots binaires dont les valeurs décimales sont inférieures à 10.

Ceci est réalisé en utilisant les deux montages élémentaires des figures 6 et 7. Ces deux cas de figures sont utilisés respectivement dans le premier étage puis les suivants du convertisseur.

Pour bien comprendre le fonctionnement, il suffit de suivre le cheminement des bits d'entrée dans l'additionneur, en notant le poids des bits aux divers endroits de celui-ci.

Un prototype de cet ensemble a été réalisé par l'auteur. L'appareil complet consiste en un outil de mise

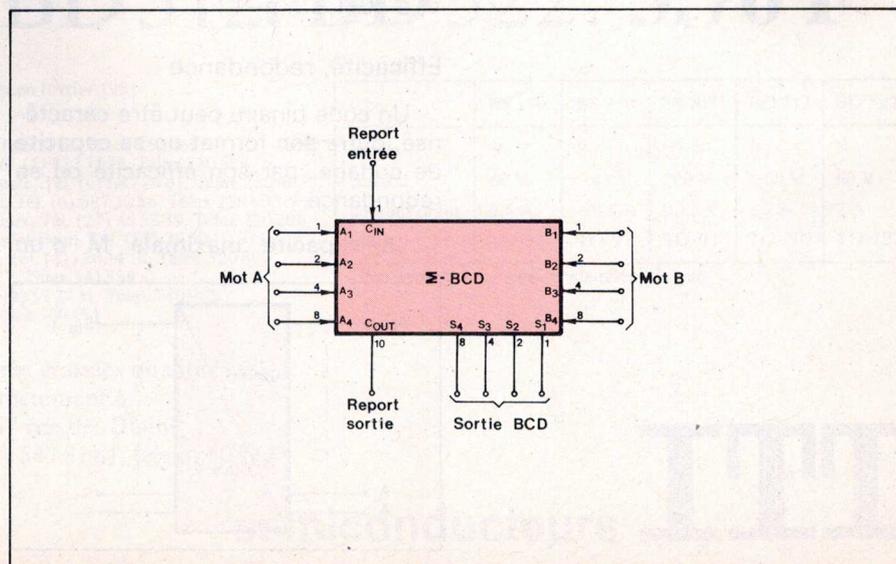


Fig. 3. - Configuration du MC14560 B.

ENTREES										SORTIES				
A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	C <sub>IN</sub>	C <sub>OUT</sub>	S <sub>4</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	1	0	0	0	0	1	
0	1	0	0	0	0	1	1	0	0	0	1	1	1	
0	1	0	0	0	0	1	1	1	0	1	0	0	0	
0	1	1	1	0	1	0	0	0	1	0	0	0	1	
0	1	1	1	0	1	0	0	1	1	0	0	1	0	
1	0	0	0	0	1	0	1	0	1	0	0	1	1	
0	1	1	0	1	0	0	0	0	1	0	1	0	0	
1	0	0	1	1	0	0	1	1	1	1	0	0	1	

Fig. 4. — Table de vérité partielle du MC14560 B.

## Bibliographie

- MC-MOS Handbook (Motorola).
- Circuits intégrés et techniques numériques (Delsol/Sup'Aero).
- Feuilles de caractéristiques du MC14560 B (Motorola).

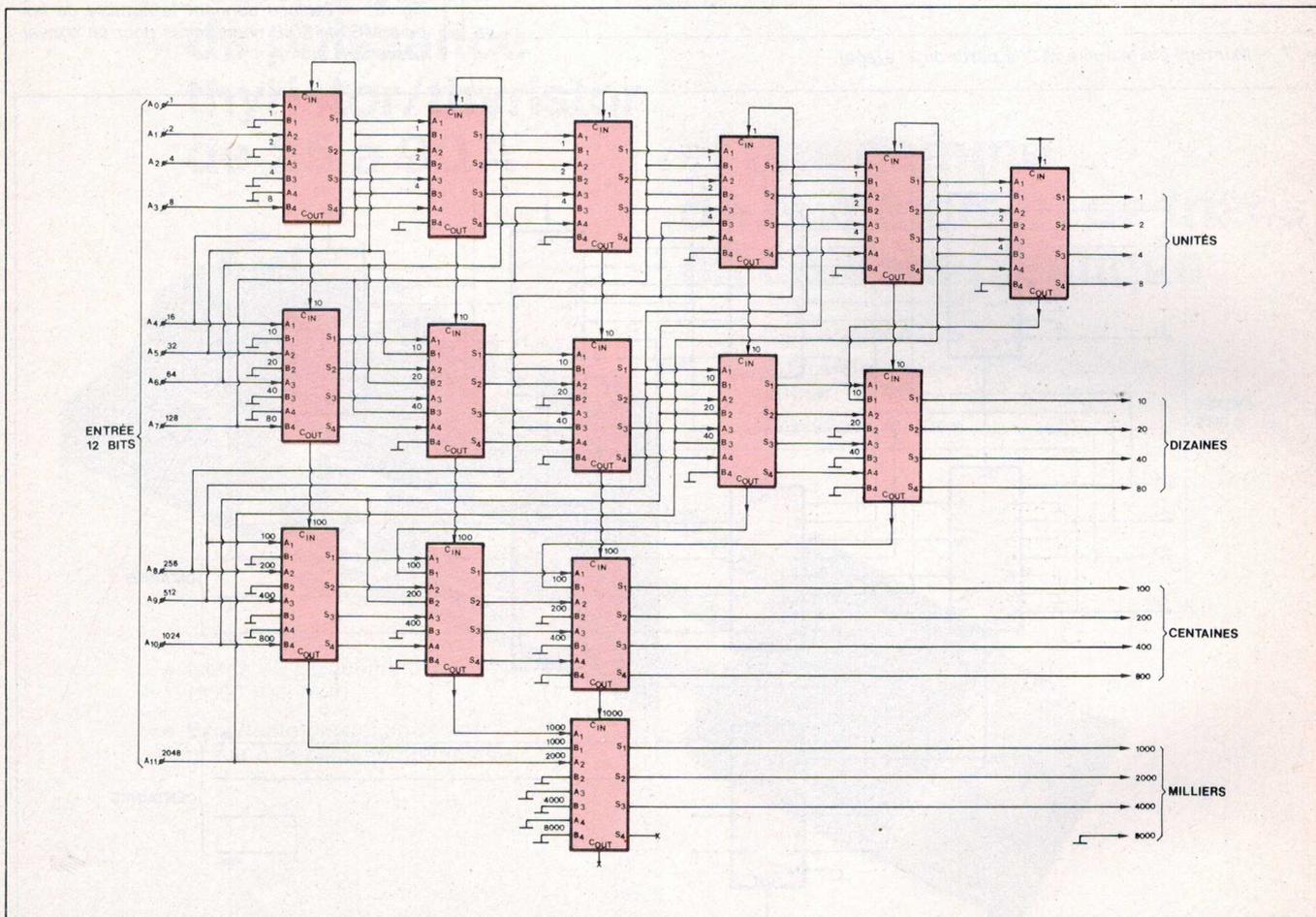


Fig. 5. — Schéma de principe d'un convertisseur binaire/BCD de 12 bits. Tous les circuits sont des additionneurs BCD (MC14560 B).

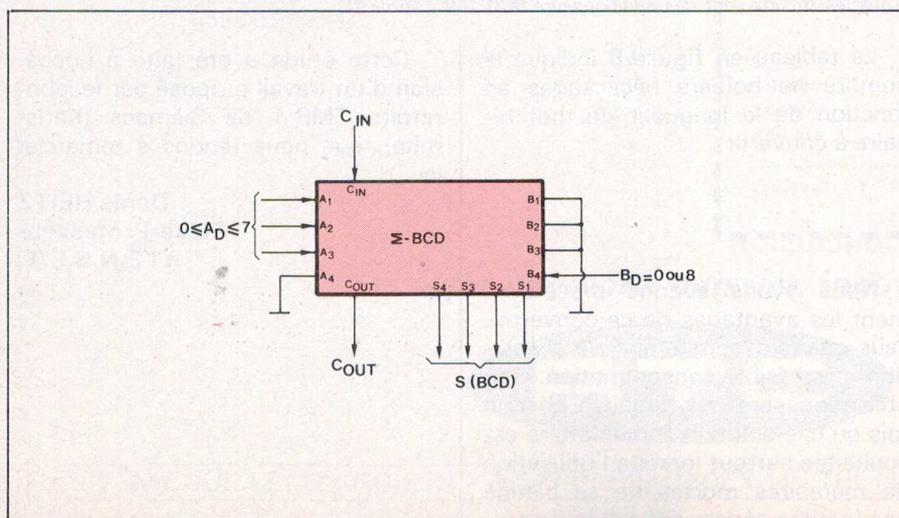


Fig. 6. — Montage élémentaire n° 1 (1<sup>er</sup> étage). L'indice D indique : « valeur décimale ».

au point avec affichage sur LED 7 segments et un interface d'entrée compatible TTL/C-MOS.

Le temps de conversion inférieur à 20  $\mu$ s (sous 5 V) et la consommation quasi-nulle de ce convertisseur rendent son utilisation intéressante dans bien des cas.

### Variantes

Le schéma de la figure 5 peut être facilement adapté à un nombre de bits d'entrée différent de 12. Ainsi, par exemple, pour 8 bits (fig. 9), 8 boîtiers MC14560 sont nécessaires alors que pour 4 bits, un seul suffit.

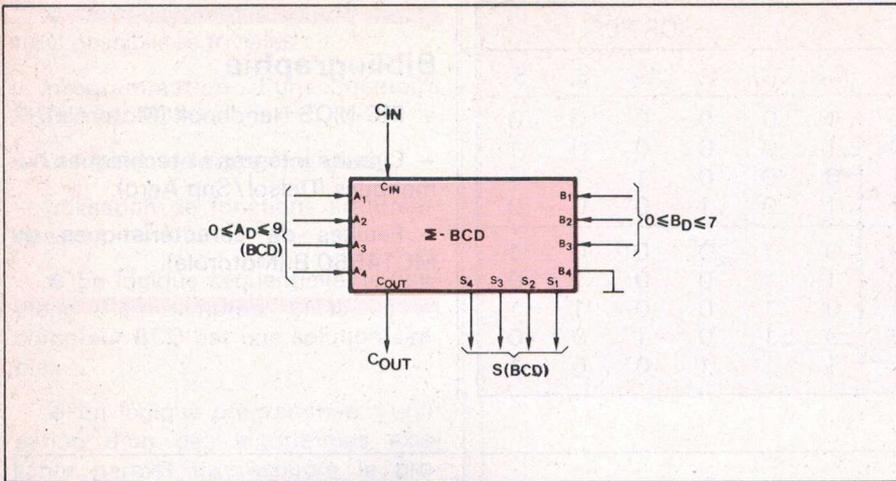


Fig. 7. - Montage élémentaire n° 2 (à partir du 2° étage).

N-bits	Boîtiers
4	1
5	3
6	4
7	6
8	8
9	11
10, 11	14
12	15

Fig. 8. - Tableau donnant le nombre de boîtiers MC14560 B nécessaires pour un convertisseur à N bits.

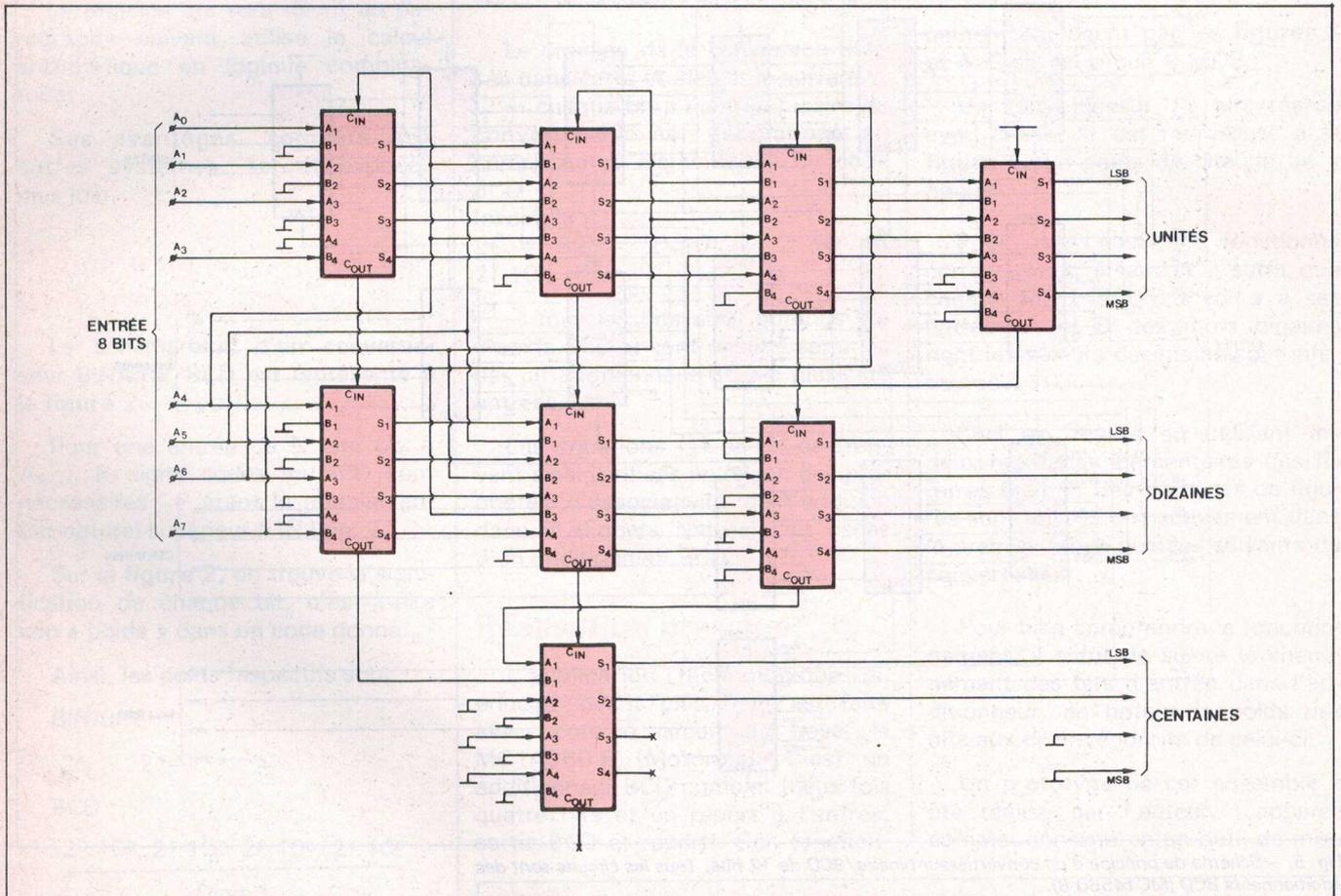
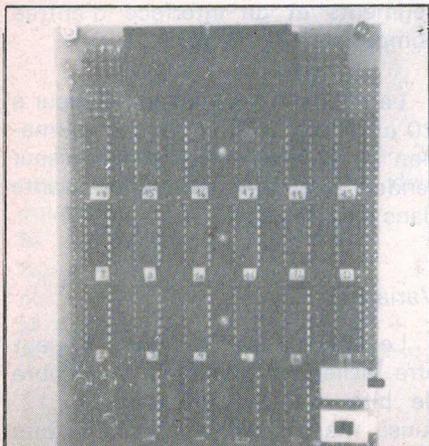


Fig. 9. - Un convertisseur binaire/BCD de 8 bits. Tous les circuits sont des additionneurs BCD (MC14560 B).



Exemple d'application d'un convertisseur BINAIRE/BCD 12 bits dans un outil d'aide à la mise au point.

Le tableau en **figure 8** indique le nombre de boîtiers nécessaires en fonction de la longueur du mot binaire à convertir.

### Conclusion

Nous avons évoqué précédemment les avantages de ce convertisseur quant à son temps de résolution et sa faible consommation. Son utilisation sera avantageuse chaque fois qu'une solution combinatoire est souhaitée surtout lorsque l'utilisation de mémoires mortes ne se justifie pas (petites séries, difficultés de programmation, prix de revient,...).

Cette étude a été faite à l'occasion d'un travail proposé par le laboratoire TMR 1 de Siemens (Karlsruhe), que nous tenons à remercier ici.

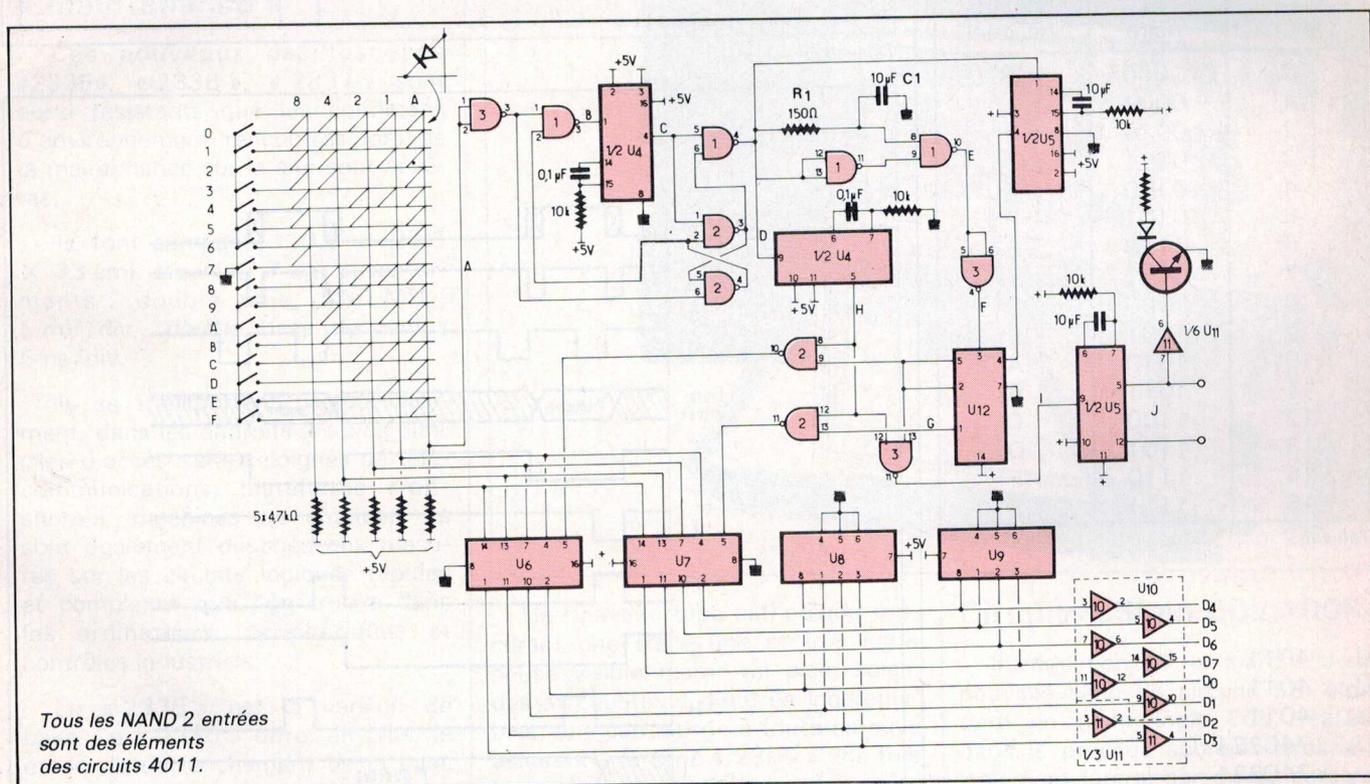
**Denis HEITZ**  
Elève-Professeur  
à l'E.N.S.E.T.



Ce montage permet, à partir d'un clavier hexadécimal, de codifier tous les caractères du code ASCII. Lorsque l'on appuie une première fois sur une touche, on codifie les quatre bits de poids les plus forts. Lorsque l'on appuie une seconde fois, on codifie les quatre bits de poids les plus faibles. A la fin de cette codification, un strobe donne l'ordre de lecture. On visualise sur afficheur hexadécimal le code tapé et une LED met en évidence le strobe. Un « reset » automatique permet de remettre à l'état initial si l'on n'a appuyé qu'une seule touche.

Le **tableau 1** donne la conversion du code hexadécimal en code ASCII.

# Réalisation d'un clavier ASCII à partir d'un clavier hexadécimal



Tous les NAND 2 entrées sont des éléments des circuits 4011.

Fig. 1.

## Fonctionnement

On se référera à la **figure 1**.

A partir de 16 touches d'un clavier, celles-ci sont codifiées en binaire pur par un réseau de diodes sur 4 fils de poids 1-2-4-8 ; un cinquième fil (A) permet de prendre en compte une touche enfoncée. Cette commande entre dans un circuit anti-rebond constitué par un monos-

table (1/2 74C221) et une bascule RS. On obtient au point D un niveau pendant tout le temps que la touche reste enfoncée.

Un générateur d'impulsions constitué par deux portes (4011, R<sub>1</sub>, C<sub>1</sub>) donne au point E une impulsion. Cette impulsion va d'une part positionner le bistable (U<sub>12</sub>) dont la sortie (G) autorise la mise en mémoire sur la bascule U<sub>6</sub> ; d'autre part, elle

commande un monostable qui délivre une impulsion (H) sur la bascule U<sub>E</sub>, mémorisant le premier quartet. A l'appui de la deuxième touche, le bistable (U<sub>12</sub>) autorise la mise en mémoire sur la bascule U<sub>7</sub> et l'impulsion (H) mémorise le deuxième quartet sur la bascule U<sub>7</sub>.

La sortie du bistable (G) combinée avec l'impulsion (H) à travers une porte (4011) commande un monostable (I). Celui-ci va délivrer un signal de durée réglable appelé strobe (J) donnant l'ordre de lecture.

Un dernier monostable réglable est commandé dès l'enfoncement d'une touche (C); son passage à zéro permet le fonctionnement du bistable (U<sub>12</sub>) en provoquant le « reset » de celui-ci à sa retombée. Il a pour but de remettre à l'état initial le système au cas où l'on aurait appuyé qu'une seule fois sur une touche.

L'histogramme des signaux est donné figure 2.

Le code hexadécimal est donné au tableau 2.

Décimal	Binnaire	Hexadécimal
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Tableau 2

### Nomenclature des circuits utilisés

- U<sub>1</sub> : 4011
- U<sub>2</sub> : 4011
- U<sub>3</sub> : 4011
- U<sub>4</sub> : 74C221
- U<sub>5</sub> : 74C221
- U<sub>6</sub> : 4042
- U<sub>7</sub> : 4042
- U<sub>8</sub> : HP 5082-7359
- U<sub>9</sub> : HP 5082-7359
- U<sub>10</sub> : 4049
- U<sub>11</sub> : 4049
- U<sub>12</sub> : 4013

Les afficheurs hexadécimaux, peuvent être remplacés par des LED d'un coût plus faible.

**Robert CHARLES**  
Ingénieur E.E.I.P.

GRAPHIC OR CONTROL	ASCII (HEXADECIMAL)	GRAPHIC OR CONTROL	ASCII (HEXADECIMAL)	GRAPHIC OR CONTROL	ASCII (HEXADECIMAL)
NUL	00	+	2B	V	56
SOH	01	.	2C	W	57
STX	02	-	2D	X	58
ETX	03	:	2E	Y	59
EOT	04	/	2F	Z	5A
ENO	05	0	30	[	5B
ACK	06	1	31	\	5C
BEL	07	2	32	]	5D
BS	08	3	33	^ (1)	5E
HT	09	4	34	~ (1)	5F
LF	0A	5	35	.	60
VT	0B	6	36	a	61
FF	0C	7	37	b	62
CR	0D	8	38	c	63
SO	0E	9	39	d	64
SI	0F	:	3A	e	65
DLE	10	;	3B	f	66
DC1 (X ON)	11	<	3C	g	67
DC2 (TAPE)	12	=	3D	h	68
DC3 (X OFF)	13	>	3E	i	69
DC4	14	?	3F	j	6A
NAK	15	⊙	40	k	6B
SYN	16	A	41	l	6C
ETB	17	B	42	m	6D
CAN	18	C	43	n	6E
EM	19	D	44	o	6F
SUB	1A	E	45	p	70
ESC	1B	F	46	q	71
FS	1C	G	47	r	72
GS	1D	H	48	s	73
RS	1E	I	49	t	74
US	1F	J	4A	u	75
SP	20	K	4B	v	76
!	21	L	4C	w	77
"	22	M	4D	x	78
#	23	N	4E	y	79
\$	24	O	4F	z	7A
%	25	P	50	{	7B
&	26	Q	51		7C
'	27	R	52	} (ALT MODE)	7D
(	28	S	53	~	7E
)	29	T	54	DEL (RUB OUT)	7F
*	2A	U	55		

Tableau 1.

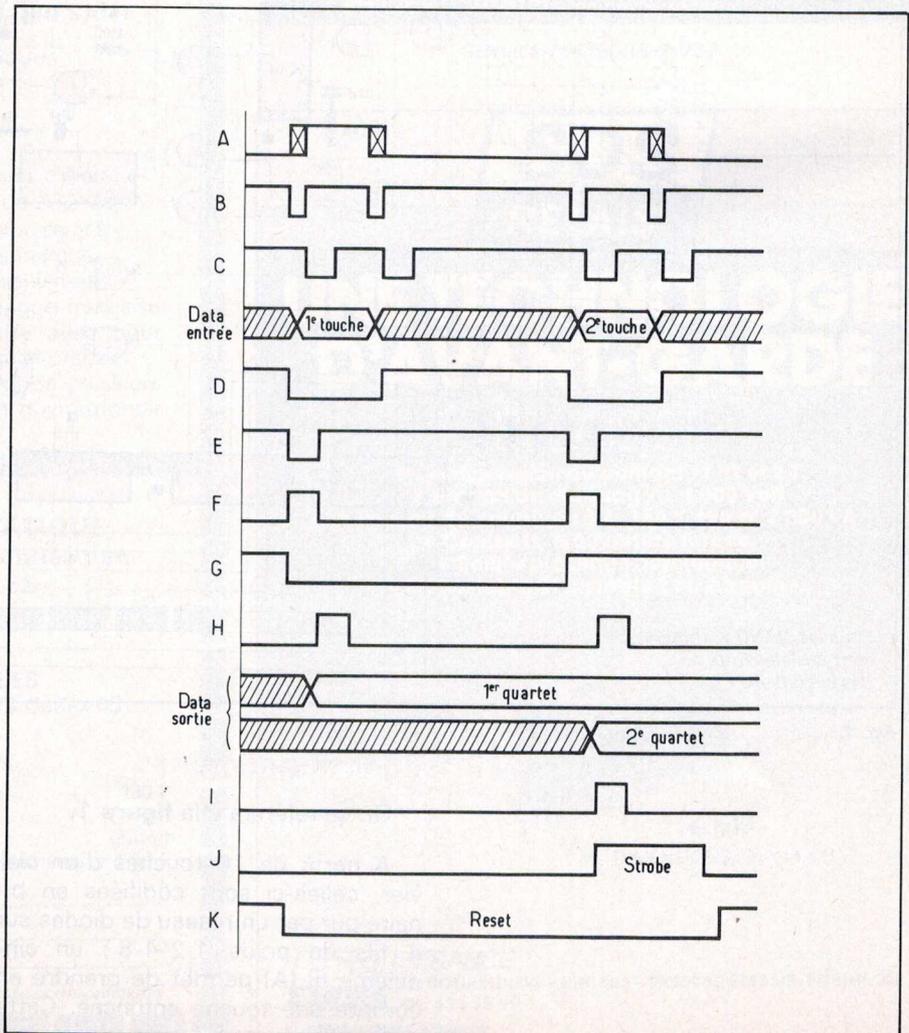


Fig. 2.